

การออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัล ชนิดเดลด้าซิกม่า ความเร็วสูง ความละเอียดสูง  
ด้วยโครงสร้างต่อเรียง 2-1-1



นาย ทวีศักดิ์ ธารทิพย์วรรณ

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า

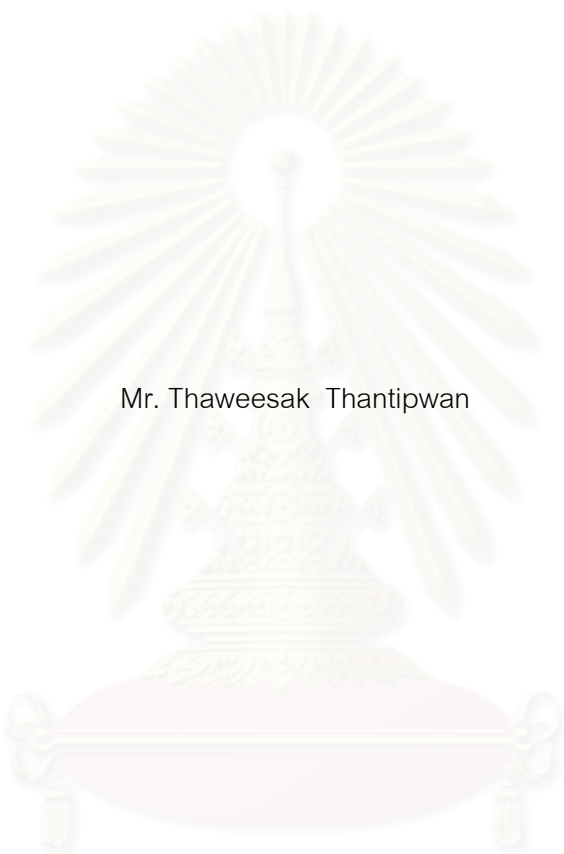
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2545

ISBN 974-17-1957-4

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

A DESIGN OF A HIGH-SPEED HIGH-RESOLUTION DELTA-SIGMA ANALOG-TO-DIGITAL  
CONVERTER USING CASCADE STRUCTURE 2-1-1



Mr. Thaweesak Thantipwan

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements  
for the Degree of Master of Engineering in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2002

ISBN 974-17-1957-4



ทวิศักดิ์ ธารทิพย์วรรณ : การออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกมา  
ความเร็วสูง ความละเอียดสูง ด้วยโครงสร้างต่อเรียง 2-1-1. (A DESIGN OF A HIGH-SPEED  
HIGH-RESOLUTION DELTA-SIGMA ANALOG-TO-DIGITAL CONVERTER USING  
CASCADE STRUCTURE 2-1-1) อ.ที่ปรึกษา : ผศ.ดร.นัยวุฒิ วงษ์โคเมท, 126 หน้า. ISBN 974-  
17-1957-4.

วิทยานิพนธ์นี้นำเสนอการออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกมา ที่มี  
ความละเอียด 16 บิต และอัตราการแปลงข้อมูล 1 MS/s ทำงานที่แรงดันแหล่งจ่าย 3.3 โวลต์  
ด้วยเทคโนโลยีซีมอสขนาด 0.5 ไมโครเมตร โครงสร้างของมอดูเลเตอร์เป็นแบบต่อเรียง 2-1-1 ที่มี  
ตัวควอนไทซ์ 1 บิตในมอดูเลเตอร์สองชั้นแรก และตัวควอนไทซ์ 3 บิตในชั้นสุดท้าย โดยใช้อัตรา  
การสุ่มเกินที่ 32 เท่า ข้อกำหนดขององค์ประกอบแต่ละส่วนในมอดูเลเตอร์หาโดยการจำลองเชิง  
พฤติกรรม การออปติไมซ์การกินกำลังงานรวมทำโดยการจัดสรรปริมาณสัญญาณรบกวนเชิง  
ความร้อนให้แก่ตัวอินทิเกรตในแต่ละชั้นต่อนอย่างเหมาะสม มอดูเลเตอร์ประกอบด้วยวงจร  
สำคัญคือ ออปแอมป์ ตัวเปรียบเทียบพลวัต ตัวเปรียบเทียบสถิต วงจรสร้างแรงดันอ้างอิง วงจร  
ไบแอส วงจรสร้างสัญญาณนาฬิกาไร้การรบกวน และวงจรบีบประจุ ออปแอมป์ในตัวอินทิเกรต  
เป็นแบบสองชั้นต่อนโดยมีการชดเชยแบบคาสโคดปรับปรุงซึ่งสามารถเพิ่มแบนด์วิดท์ในขณะที่  
การกินกำลังงานยังเท่าเดิม ตัวควอนไทซ์ 1 บิตสร้างโดยตัวเปรียบเทียบพลวัต และตัวควอนไทซ์  
3 บิตสร้างโดยตัวเปรียบเทียบสถิต พื้นที่วงจรรวมมีขนาด 12.1 ตารางมิลลิเมตร วงจรรวมของ  
มอดูเลเตอร์ต้นแบบที่ได้จากการเจือสารสามารถทำงานได้ที่สัญญาณนาฬิกา 32 MHz โดยมี  
อัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุด 75 dB สำหรับสัญญาณขาเข้าแบบไซน์ความถี่ 100  
kHz และเมื่อลดสัญญาณนาฬิกาเป็น 2 MHz อัตราส่วนสัญญาณต่อสัญญาณรบกวนเพิ่มขึ้นเป็น  
85 dB ในขณะที่พิสัยพลวัตมีค่า 93 dB หรือคิดเป็น 15 บิต สำหรับสัญญาณขาเข้าแบบไซน์  
ความถี่ 5.5 kHz การกินกำลังงานรวมมีค่า 188 mW

ภาควิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่ออนิสิต.....  
สาขาวิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่ออาจารย์ที่ปรึกษา.....  
ปีการศึกษา.....2545.....

# # 4370309921 : MAJOR ELECTRICAL ENGINEERING

KEY WORD : ANALOG-TO-DIGITAL CONVERTER / OVERSAMPLING /  
DELTA-SIGMA MODULATOR / MODIFIED CASCODE COMPENSATION /  
POWER OPTIMAZATION

THAWEESAK THANTIPWAN : A DESIGN OF A HIGH-SPEED HIGH-RESOLUTION DELTA-SIGMA ANALOG-TO-DIGITAL CONVERTER USING CASCADE STRUCTURE 2-1-1. THESIS ADVISOR : ASST. PROF. NAIYAVUDHI WONGKOMET, Ph.d.,126 pp. ISBN 974-17-1957-4.

This thesis presents a design of a 3.3-V 16-bit, 1-Ms/S delta-sigma analog-to-digital converter in a 0.5- $\mu$ m CMOS technology. The delta-sigma converter uses a 2-1-1 cascade structure with 1-bit quantizers in the first two stages and a 3-bit quantizer in the last stage and running at an oversampling ratio of 32. Specifications of each building block were determined by behavioral simulation and their power consumption was optimized by proper allocation of noise in each integrator. The modulator consists mainly of opamps, dynamic comparators, a static comparator, a voltage reference generator, bias circuits, a non-overlapping clock generator and charge-pump circuits. The opamps in the integrators are 2-stage opamps employing a modified cascode compensation to the improve bandwidth without increasing the power consumption. The 1-bit quantizers are dynamic comparators while the 3-bit quantizer is a static comparator. The total die area including pads is 12.1 sq.mm. The prototype modulator achieves a maximum SNR of 75 dB for a 100kHz sinusoidal wave input while operating at 32 MHz. When the operating frequency is reduced to 2 MHz, the SNR improves to 85 dB while the dynamic range is 93 dB which is equivalent to 15-bit for a 5.5kHz sinusoidal input. The total power dissipation is 188 mW.

Department ELECTRICAL ENGINEERING.....Student's signature.....  
Field of Study ELECTRICAL ENGINEERING.....Advisor's signature.....  
Academic year 2002.....

## กิตติกรรมประกาศ

ข้าพเจ้าขอขอบพระคุณ ผศ. ดร. นัยวุฒิ วงษ์โคเมท อาจารย์ที่ปรึกษาวิทยานิพนธ์ สำหรับคำแนะนำ ข้อเสนอแนะ และแนวทางในการแก้ปัญหาต่าง ๆ ในระหว่างการทำวิจัย อีกทั้งขอขอบพระคุณ คุณมานพ ธรรมศิริอนันต์ สำหรับคำแนะนำต่าง ๆ ในการออกแบบวงจรรวม และการวางผังวงจรรวม ขอขอบพระคุณ อาจารย์ ดร. วันเฉลิม โปธา สำหรับการใช้อุปกรณ์อิเล็กทรอนิกส์ในระหว่างการทำทดลองวงจรรวมและใช้คอมพิวเตอร์ให้ใช้ในการจำลองการทำงาน ทำให้งานวิจัยนี้สำเร็จลุล่วงด้วยดี และขอขอบพระคุณ รศ. ดร. เอกชัย สีสวัสดิ์ สำหรับข้อเสนอแนะต่าง ๆ ในการจำลองการทำงานของวงจร

ข้าพเจ้าขอขอบคุณศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) เป็นอย่างสูงในการสนับสนุนค่าใช้จ่ายในการส่งวงจรรวมไปตรวจสอบ

ข้าพเจ้าขอขอบคุณพี่ณพพงศ์ ปณิธานธรรม ที่ช่วยสอนการใช้งานโปรแกรมวาดผังวงจรรวมและตรวจสอบผังวงจรรวมก่อนส่งไปตรวจสอบ รวมถึงคำแนะนำและข้อคิดเห็นในการออกแบบวงจรรวม

ข้าพเจ้าขอบคุณพี่ ๆ เพื่อน ๆ น้อง ๆ ในห้องปฏิบัติการวิจัยการออกแบบและประยุกต์วงจรรวม (IDAR) ทุกคนที่ให้ใช้คอมพิวเตอร์ที่เดียวหลาย ๆ เครื่องและช่วยเหลือความปลอดภัยให้ในระหว่างการทำทดลองการทำงานอันยาวนาน ขอขอบคุณเพื่อน ๆ แอนะลิ๊ก กานต์ อาทิตย์ และน้องไฟโรจน์ ในการช่วยคิดแก้ปัญหาที่เกิดขึ้น และให้ข้อคิดเห็น ข้อเสนอแนะต่าง ๆ ในการออกแบบวงจร และขอขอบคุณกำลังใจจากทั้งเพื่อน ๆ ทั้งเก่า ทั้งใหม่ ทั้งรุ่นพี่และรุ่นน้องที่มีให้เสมอมา

สุดท้ายข้าพเจ้าขอขอบพระคุณบิดา มารดา ที่ให้ทั้งกำลังใจและกำลังทรัพย์ในการเล่าเรียนแก่ข้าพเจ้าตลอดมา

# สารบัญ

หน้า

บทคัดย่อภาษาไทย .....	ง
บทคัดย่อภาษาอังกฤษ .....	จ
กิตติกรรมประกาศ .....	ฉ
สารบัญ .....	ช
สารบัญตาราง .....	ฎ
สารบัญภาพ .....	ฏ
บทที่ 1 บทนำ .....	1
1.1 ความเป็นมาและความสำคัญของงานวิจัย .....	1
1.2 วัตถุประสงค์ของงานวิจัย .....	2
1.3 ขอบเขตการวิจัย .....	2
1.4 ประโยชน์ที่คาดว่าจะได้รับ .....	3
1.5 วิธีดำเนินการวิจัย .....	3
1.6 ลำดับเนื้อหาในวิทยานิพนธ์.....	4
บทที่ 2 ทฤษฎีพื้นฐานของการมอดูเลชันแบบเดลต้าซิกม่า.....	5
2.1 สัญญาณรบกวนควอนไทซ์ .....	5
2.2 การสุ่มตัวอย่างเกิน .....	5
2.3 การจัดสัญญาณสัญญาณรบกวนควอนไทซ์ด้วยการมอดูเลชันแบบเดลต้าซิกม่า.....	6
2.3.1 การจัดสัญญาณสัญญาณรบกวนอันดับที่หนึ่ง .....	7
2.3.2 การจัดสัญญาณสัญญาณรบกวนอันดับสูง.....	9
2.4 สถาปัตยกรรมของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกม่า .....	11
2.4.1 ตัวกรองเดซิเมชัน .....	12
2.5 สถาปัตยกรรมของมอดูเลเตอร์เดลต้าซิกม่า .....	13
2.5.1 มอดูเลเตอร์อันดับสอง .....	14
2.5.2 มอดูเลเตอร์อันดับสูง .....	14
2.5.2.1 มอดูเลเตอร์อันดับสูงแบบวงรอบเดี่ยวปกติ .....	14
2.5.2.2 มอดูเลเตอร์อันดับสูงแบบ Lee-Sodini .....	16
2.5.2.3 มอดูเลเตอร์อันดับสูงแบบอินเทอร์โพเลทีฟ .....	16



## สารบัญ (ต่อ)

2.5.2.4 มอดูเลเตอร์อันดับสูงแบบต่อเรียง .....	17
2.5.3 การใช้ตัวควอนไทซ์หลายบิต .....	18
2.6 ข้อพิจารณาในการออกแบบระบบ .....	19
2.6.1 เสถียรภาพของระบบ .....	19
2.6.2 อัตราขยายวงรอบเปิดที่ไม่เป็นอนันต์ของออปแอมป์ .....	19
2.6.3 ความผิดพลาดของอัตราขยายของตัวอินทิเกรต .....	20
2.6.4 การเข้าที่ไม่สมบูรณ์ของตัวอินทิเกรต .....	20
2.6.5 สัญญาณรบกวนอิเล็กทรอนิกส์ .....	20
2.6.6 ความไม่เป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกป้อนกลับ.....	21
2.7 สรุป .....	21
บทที่ 3 สถาปัตยกรรมของตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกมา.....	23
3.1 โครงสร้างมอดูเลเตอร์ชนิดเดลต้าซิกมา.....	23
3.2 โครงสร้างวงจรของมอดูเลเตอร์.....	33
3.2.1 การใช้วงจรแบบผลต่าง .....	33
3.2.2 การเลือกรูปแบบการป้อนกลับในตัวอินทิเกรต.....	33
3.2.3 การเลือกกระดပ်แรงดันอ้างอิง.....	37
3.2.4 โครงสร้างวงจรของมอดูเลเตอร์.....	38
3.3 ข้อกำหนดขององค์ประกอบแต่ละส่วนในระดับสถาปัตยกรรม.....	43
3.3.1 ข้อกำหนดของตัวอินทิเกรต.....	43
3.3.2 ข้อกำหนดของตัวควอนไทซ์ .....	46
3.4 การออปติไมซ์กำลังงาน .....	48
3.4.1 การออปติไมซ์กำลังงานในระดับตัวอินทิเกรต.....	49
3.4.2 การออปติไมซ์กำลังงานในระดับสถาปัตยกรรม .....	54
3.4.3 ผลการออปติไมซ์ .....	55
3.5 สรุป.....	56
บทที่ 4 การออกแบบวงจร.....	58
4.1 ออปแอมป์.....	58



สารบัญ (ต่อ)

4.1.1 การเลือกโครงสร้างของออปแอมป์.....	58
4.1.2 การเลือกรูปแบบการชดเชยในออปแอมป์.....	60
4.1.3 การออกแบบออปแอมป์.....	67
4.2 ตัวเปรียบเทียบพลวัต.....	73
4.3 ตัวเปรียบเทียบสถิต.....	76
4.4 วงจรกำเนิดแรงดันอ้างอิงและวงจรตามแรงดัน.....	79
4.5 วงจรไบแอส.....	85
4.6 วงจรกำเนิดสัญญาณนาฬิกา.....	86
4.7 วงจรป้อนประจุ.....	87
4.9 การวาดผังวงจรรวม.....	89
4.9 สรุป.....	95
บทที่ 5 การทดสอบวงจรรวม.....	97
5.1 ระบบทดสอบ.....	97
5.2 ผลการทดสอบและวิเคราะห์ผลการทดสอบ.....	98
5.2.1 การวัดอัตราส่วนสัญญาณต่อสัญญาณรบกวน.....	99
5.2.2 การวัดสัญญาณรบกวน.....	102
5.2.3 การวัดสเปกตรัมสัญญาณขาออกของตัวแปลง.....	102
5.2.4 การวัดการกินกำลังงาน.....	105
5.3 สรุป.....	105
บทที่ 6 ข้อสรุปและข้อเสนอแนะ.....	107
6.1 ข้อสรุป.....	108
6.2 ข้อเสนอแนะ.....	104
รายการอ้างอิง.....	109
ภาคผนวก.....	113
ภาคผนวก ก. การวิเคราะห์สัญญาณรบกวนในวงจรสวิตซ์ตัวเก็บประจุ.....	114

## สารบัญ (ต่อ)

ภาคผนวก ข รายละเอียดของวงจรรวม.....	118
ภาคผนวก ค แผงวงจรที่ใช้ในการทดสอบมอดูเลเตอร์ต้นแบบ.....	120
ภาคผนวก ง บทความที่ได้รับตีพิมพ์ใน International Symposium on Communication and Information Technology .....	121
ประวัติผู้เขียนวิทยานิพนธ์.....	126



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## สารบัญตาราง

ตาราง	หน้า
ตารางที่ 3.1	มอดูเลเตอร์โครงสร้างต่อเรียงที่ให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ในระดับ 104 เดซิเบล จำแนกตามอัตราการสุ่มเกิน.....26
ตารางที่ 3.2	เปอร์เซ็นต์ความผิดพลาดของอัตราขยายระหว่างชั้นที่ทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนลดลง 1 เดซิเบลเป็น 103 เดซิเบล จำแนกตามอัตราการสุ่มตัวอย่างเกิน.....28
ตารางที่ 3.3	ค่าสัมประสิทธิ์และอัตราขยายที่เหมาะสมที่ใช้ในมอดูเลเตอร์ และความผิดพลาดของค่าสัมประสิทธิ์และอัตราขยายซึ่งลดทอนค่า SNDR ลงเป็น 103 dB..... 31
ตารางที่ 3.4	ช่วงกว้างของสัญญาณขาออกสูงสุดของตัวอินทิเกรตแต่ละตัว..... 31
ตารางที่ 3.5	อัตราส่วนของตัวเก็บประจุในตัวอินทิเกรตแต่ละตัว..... 40
ตารางที่ 3.6	ข้อกำหนดด้านการเข้าที่ของตัวอินทิเกรต..... 46
ตารางที่ 3.7	ข้อกำหนดของตัวควอนไทซ์.....48
ตารางที่ 3.8	ค่าอัตราขยายคิดจากขาเข้าของตัวอินทิเกรตแต่ละตัวไปยังขาออกของตัวแปลง.....55
ตารางที่ 3.9	กำลังงานสัญญาณรบกวนและการกินกำลังงานที่ได้จากการออปติไมซ์..... 55
ตารางที่ 4.1	ตารางเปรียบเทียบตำแหน่งโพลและศูนย์วงรอบเปิดของออปแอมป์ที่มีการชดเชยแบบคาสโคดปกติและคาสโคดปรับปรุง.....64
ตารางที่ 4.2	ขนาดทรานซิสเตอร์และกระแสในออปแอมป์หลัก.....71
ตารางที่ 4.3	ขนาดทรานซิสเตอร์ในวงจรป้อนกลับโหมดร่วม.....72
ตารางที่ 4.4	ผลการจำลองการทำงานของออปแอมป์ในแต่ละขั้นตอน.....72
ตารางที่ 4.5	สรุปผลการจำลองสัญญาณรบกวนอ้างอิงที่ขาเข้าของตัวแปลงทั้งระบบ..... 72
ตารางที่ 4.6	ขนาดทรานซิสเตอร์ในตัวเปรียบเทียบพลวัต..... 76
ตารางที่ 4.7	ขนาดของทรานซิสเตอร์ในตัวเปรียบเทียบสถิต.....77
ตารางที่ 4.8	ขนาดของทรานซิสเตอร์ที่ใช้ในออปแอมป์สำหรับตามแรงดัน..... 82
ตารางที่ 4.9	ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรไบแอสของออปแอมป์.....86
ตารางที่ 4.10	ข้อมูลของสวิทช์บีบประจุ.....89
ตารางที่ 5.1	การกินกำลังงานของมอดูเลเตอร์ในส่วนต่าง ๆ .....105
ตารางที่ ข.1	รายละเอียดขาของวงจรมอดูเลเตอร์.....118

## สารบัญภาพ

ภาพประกอบ	หน้า
รูปที่ 2.1 สัญญาณรบกวนควอนไทซ์ในแถบผ่านสัญญาณ .....	5
รูปที่ 2.2 สัญญาณรบกวนควอนไทซ์ในแถบผ่านสัญญาณเมื่อทำการสุ่มตัวอย่างเกิน .....	6
รูปที่ 2.3 โครงสร้างพื้นฐานของตัวมอดูเลชันเดลต้าซิกม่า .....	7
รูปที่ 2.4 สันฐานของสเปกตรัมสัญญาณรบกวนที่เปลี่ยนไปเนื่องจากการมอดูเลชัน .....	8
รูปที่ 2.5 ฟังก์ชันจัดสันฐานสัญญาณรบกวนควอนไทซ์อันดับที่หนึ่ง สอง และ สาม .....	10
รูปที่ 2.6 ระบบของการแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบสุ่มเกินเดลต้าซิกม่า.....	11
รูปที่ 2.7 ผลตอบสนองทางความถี่ของตัวกรองเดซิเมชันอันดับสองที่มีอัตราเดซิเมชัน $M = 8$ เทียบกับฟังก์ชันจัดสันฐานสัญญาณรบกวนควอนไทซ์อันดับที่หนึ่ง .....	12
รูปที่ 2.8 โครงสร้างของตัวกรองเดซิเมชัน .....	13
รูปที่ 2.9 มอดูเลเตอร์อันดับสอง .....	14
รูปที่ 2.10 มอดูเลเตอร์แบบวงรอบเดี่ยว .....	15
รูปที่ 2.11 มอดูเลเตอร์แบบ Lee-Sodini .....	15
รูปที่ 2.12 โครงสร้างแบบอินเทอร์โพเลทีฟ .....	15
รูปที่ 2.13ก มอดูเลเตอร์แบบต่อเรียง .....	18
รูปที่ 2.13ข วงจรตรรกะหักล้างสัญญาณรบกวนควอนไทซ์.....	18
รูปที่ 3.1 มอดูเลเตอร์โครงสร้างต่อเรียง 2-1-1 ที่ใช้ในวิทยานิพนธ์ .....	29
รูปที่ 3.2 วงจรตรรกะหักล้างสัญญาณรบกวน.....	30
รูปที่ 3.3 ค่า SNR และ SNDR เทียบกับขนาดสัญญาณขาเข้าออร์แมลไลซ์จากการจำลองเชิง พหุติกรรม.....	32
รูปที่ 3.4 ค่า SNR และ SNDR เทียบกับขนาดสัญญาณขาเข้าออร์แมลไลซ์จากการจำลองเชิง พหุติกรรม.....	32
รูปที่ 3.5 ตัวอินทิเกรตที่ใช้ตัวเก็บประจุตัวเดียวในการสุ่มตัวอย่างและป้อนกลับ.....	34
รูปที่ 3.6 ตัวอินทิเกรตที่ใช้ตัวเก็บประจุหลายตัวในการสุ่มตัวอย่างและป้อนกลับ.....	34
รูปที่ 3.7 การรบกวนของสัญญาณขาเข้าไปยังแรงดันอ้างอิง.....	35
รูปที่ 3.8 วงจรสมมูลของแหล่งจ่ายแรงดันอ้างอิงและโหลดในตัวอินทิเกรตที่ใช้ตัวเก็บประจุ หลายตัวในการสุ่มตัวอย่างและป้อนกลับ.....	36

## สารบัญญภาพ (ต่อ)

ภาพประกอบ	หน้า
รูปที่ 3.9 ความผิดพลาดของสัญญาณอ้างอิงเมื่อถูกรบกวนจากสัญญาณขาเข้าในตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าตัวเดียว.....	37
รูปที่ 3.10 ความผิดพลาดของสัญญาณอ้างอิงในตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าหลายตัว	37
รูปที่ 3.11 ขนาดแรงดันอ้างอิงเทียบกับช่วงการแกว่งสัญญาณขาออกของออปแอมป์.....	38
รูปที่ 3.12 ไดอะแกรมเวลาของสัญญาณนาฬิกาไร้การเหลื่อม.....	39
รูปที่ 3.13ก โครงสร้างวงจรของมอดูเลเตอร์ในส่วนมอดูเลเตอร์ขั้นที่ 1 และ 2 .....	41
รูปที่ 3.13ข โครงสร้างวงจรของมอดูเลเตอร์ในส่วนมอดูเลเตอร์ขั้นที่ 3 .....	42
รูปที่ 3.14 ตัวอินทิเกรตขณะอยู่ในคาบเวลาสุ่มตัวอย่างและคาบเวลาอินทิเกรต.....	43
รูปที่ 3.15 อัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยน (SNDR) ของตัวอินทิเกรตตัวแรกเมื่อตัวอินทิเกรตเข้าที่ด้วยจำนวนค่าคงที่เวลาและค่าอัตราสุวอร์นอร์แมลไลซ์ต่าง ๆ .....	46
รูปที่ 3.16 ลักษณะโอนย้ายของตัวเปรียบเทียบไม่อุดมคติ.....	47
รูปที่ 3.17 ผลของออฟเซตที่มีต่ออัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยน.....	47
รูปที่ 3.18 ผลของฮีสเทอรีซิสที่มีต่ออัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยน..	47
รูปที่ 3.19 โครงสร้างของออปแอมป์สองขั้นตอนที่ใช้ในตัวอินทิเกรต.....	50
รูปที่ 3.20 จุดการกินกำลังงานต่ำสุดของตัวอินทิเกรตตัวสามขั้นตอนที่กำหนดขนาดสัญญาณรบกวนรวมให้.....	56
รูปที่ 4.1 รูปแบบของออปแอมป์ที่สามารถสร้างอัตราขยายได้ในระดับ 90 dB.....	59
รูปที่ 4.2 ออปแอมป์สองขั้นตอนที่มีการชดเชยแบบต่าง ๆ.....	61
รูปที่ 4.3 ออปแอมป์สองขั้นตอนที่มีการชดเชยตามที่ Ahuja เสนอ.....	62
รูปที่ 4.4ก แบบจำลองสัญญาณขนาดเล็กของออปแอมป์ที่มีการชดเชยแบบคาสโคดปกติ.....	63
รูปที่ 4.4ข แบบจำลองสัญญาณขนาดเล็กของออปแอมป์ที่มีการชดเชยแบบคาสโคดปรับปรุง.....	63
รูปที่ 4.5 ทางเดินรากของโพลอันเนื่องมาจากผลของตัวประกอบป้อนกลับที่ค่าความถี่อัตราขยายเป็นหนึ่งครั้งที่ค่าหนึ่ง ของออปแอมป์ที่ใช้การชดเชยแบบคาสโคดปรับปรุง.....	65
รูปที่ 4.6 ผลการเปรียบเทียบส่วนเฟสเทียบกับความถี่อัตราขยายเป็นหนึ่งระหว่างการชดเชยทั้งสองรูปแบบ เมื่อออปแอมป์มีการกินกำลังงานที่เท่ากัน.....	66
รูปที่ 4.7 อัตราการสุวอร์ที่ขาออกของออปแอมป์ที่มีการชดเชยแบบคาสโคดปรับปรุง.....	66

## สารบัญญภาพ (ต่อ)

ภาพประกอบ	หน้า
รูปที่ 4.8 ตำแหน่งของโพลวงรอบปิดของออปแอมป์เมื่อออปแอมป์มีค่าความถี่อัตราขยายเป็น หนึ่งต่างกันโดยการป้อนกลับที่ค่าตัวประกอบป้อนกลับค่าเดียวกัน.....	68
รูปที่ 4.9 ขั้นตอนการกำหนดขนาดทรานซิสเตอร์ในออปแอมป์.....	68
รูปที่ 4.10 ตำแหน่งโพลและศูนย์วงรอบเปิดและวงรอบปิดที่สำคัญของออปแอมป์ในทั้งสองช่วง การทำงาน.....	70
รูปที่ 4.11 วงจรป้อนกลับใหม่รวม.....	71
รูปที่ 4.12 ผลตอบชั่วครู่และค่าผิดพลาดในการเข้าที่ของตัวอินทิเกรตขั้นตอนที่หนึ่ง.....	72
รูปที่ 4.13 วงจรตัวเปรียบเทียบพลวัต.....	73
รูปที่ 4.14 แรงดันขีดเริ่มของตัวเปรียบเทียบที่ผิดไปสามเท่าของส่วนเบี่ยงเบนมาตรฐานผล เนื่องมาจากความไม่เข้าคู่ของทรานซิสเตอร์ขาเข้าที่ค่าความยาวต่าง.....	75
รูปที่ 4.15 วงจรตัวเปรียบเทียบสถิต.....	76
รูปที่ 4.16 วงจรตัวควอนไทซ์สามบิต.....	77
รูปที่ 4.17 วงจรสร้างแรงดันอ้างอิงที่ใช้ในวงจรรวม.....	80
รูปที่ 4.18 แหล่งแรงดันอ้างอิงขณะจ่ายโหลดตัวเก็บประจุ.....	80
รูปที่ 4.19 ออปแอมป์ที่ใช้ในวงจรตามแรงดัน.....	81
รูปที่ 4.20 ผลตอบสนองทางความถี่และอิมพีแดนซ์ขาออกของวงจรตามแรงดัน.....	83
รูปที่ 4.21 วงจรสร้างกระแสอ้างอิงสำหรับจ่ายให้แก่ออปแอมป์และตัวเปรียบเทียบสถิต.....	85
รูปที่ 4.22 วงจรไบแอสของออปแอมป์ที่ใช้ในตัวอินทิเกรต.....	86
รูปที่ 4.23 วงจรกำเนิดสัญญาณนาฬิกา.....	87
รูปที่ 4.24 วงจรสวิตช์บีบประจุ.....	88
รูปที่ 4.25 ผังวงจรรวมของมอดูเลเตอร์.....	90
รูปที่ 4.26 การวางการ์ดริงบนวงจรรวม.....	90
รูปที่ 4.27 การวางตัวเก็บประจุในตัวอินทิเกรตให้มีจุดเซนทรอยของอยู่ร่วมกันและมีตัวเก็บประจุ หุ้่นวางอยู่โดยรอบ.....	92
รูปที่ 4.28 แสดงการวางทรานซิสเตอร์ โดยมีจุดเซนทรอยอยู่ร่วมกันและมีทรานซิสเตอร์หุ้่นอยู่ที่ ปลายทั้งสองด้าน.....	93
รูปที่ 4.29 รูปถ่ายผลึกของวงจรมอดูเลเตอร์ที่ได้จากการเจือสาร.....	94
รูปที่ 4.30 ตัวถังที่บรรจุวงจรรวมและขาสัญญาณ.....	94



## สารบัญญภาพ (ต่อ)

ภาพประกอบ	หน้า
รูปที่ 4.31 การกินกำลังงานของวงจรในส่วนต่าง ๆ .....	96
รูปที่ 5.1 ระบบที่ใช้ทดสอบมอดูเลเตอร์เดลต้าซิกม่า .....	97
รูปที่ 5.2 วงจรแปลงสัญญาณออกด้านเดียวเป็นสัญญาณผลต่าง.....	98
รูปที่ 5.3 อัตราส่วนสัญญาณต่อสัญญาณรบกวนเทียบกับกำลังงานสัญญาณขาเข้า.....	99
รูปที่ 5.4 สัญญาณรบกวนบนแรงดันอ้างอิงอันเนื่องมาจากสัญญาณนาฬิกา.....	101
รูปที่ 5.5 ปริมาณกำลังงานสัญญาณรบกวนเมื่อมอดูเลเตอร์ทำงานที่ความถี่ต่าง ๆ .....	102
รูปที่ 5.6 สเปกตรัมสัญญาณขาออกของมอดูเลเตอร์คู่ตัวอย่างที่ความถี่ 32 MHz .....	103
รูปที่ 5.4 สเปกตรัมสัญญาณขาออกของมอดูเลเตอร์คู่ตัวอย่างที่ความถี่ 2 MHz.....	104
รูปที่ ก.1 สัญญาณรบกวนที่เกิดขึ้นบนตัวอินทิเกรตในช่วงเวลาต่าง ๆ.....	114
รูปที่ ข.1 ขาต่าง ๆ ของวงจรมอดูเลเตอร์.....	118
รูปที่ ค.1 แผงวงจรที่ใช้ทดสอบมอดูเลเตอร์ต้นแบบ.....	120



# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของงานวิจัย

อุปกรณ์และระบบอิเล็กทรอนิกส์สมัยใหม่โดยส่วนใหญ่ เป็นแบบสัญญาณผสม (Mixed-signal) ที่มีตัวแปลงแอนะล็อกเป็นดิจิทัล ทำการแปลงสัญญาณแอนะล็อกทางด้านขาเข้าของระบบ มาเป็นข้อมูลทางดิจิทัลเพื่อนำมาทำการประมวลผล เนื่องจากต้องการอาศัยข้อดีของระบบดิจิทัล เช่น ความทนทานต่อสัญญาณรบกวน ความสามารถในการจัดเก็บ ความถูกต้องและความแม่นยำในการคำนวณ การแก้ไขความผิดพลาด และการประยุกต์ใช้เทคนิคทางด้านประมวลผลสัญญาณดิจิทัล

คุณภาพของตัวแปลงแอนะล็อกเป็นดิจิทัลเป็นตัวกำหนดความแม่นยำของข้อมูลดิจิทัลที่ส่งต่อไปให้ภาคดิจิทัลประมวลผลและเป็นตัวกำหนดแบนด์วิดท์สูงสุดของสัญญาณที่ภาคดิจิทัลสามารถประมวลได้ ดังนั้นสมรรถนะของระบบสัญญาณผสมจึงขึ้นโดยตรงกับคุณภาพของตัวแปลงแอนะล็อกเป็นดิจิทัล ระบบที่ใช้ตัวแปลงแอนะล็อกเป็นดิจิทัลที่มีความละเอียด (Resolution) สูงหรือมีพิสัยพลวัต (Dynamic range) สูง สามารถแยกแยะสัญญาณที่ต้องการขนาดเล็กซึ่งปนอยู่ในสัญญาณอื่นหรือสัญญาณรบกวนที่มีขนาดใหญ่ได้ ในขณะที่ระบบที่ใช้ตัวแปลงแอนะล็อกเป็นดิจิทัลที่มีความเร็วในการแปลงสูงจะสามารถประมวลสัญญาณในแบนด์วิดท์ที่กว้างกว่าได้ ในปัจจุบัน ความต้องการตัวแปลงแอนะล็อกเป็นดิจิทัลความเร็วสูงและความละเอียดสูงได้เพิ่มมากขึ้นเพื่อใช้งานในหลายประเภท เช่น งานทางด้านสื่อสาร เครื่องมือวัดในทางอุตสาหกรรม เครื่องมือวัดในทางการแพทย์ โดยเฉพาะอย่างยิ่ง ในระบบสื่อสาร เพื่อใช้ในภาครับในเครื่องลูกข่ายโทรศัพท์เคลื่อนที่ หรือภาครับในระบบสายผู้เช่าแบบอสมมาตร (Asymmetric Digital Subscriber Line : ADSL) มีความต้องการตัวแปลงแอนะล็อกเป็นดิจิทัลที่มีทั้งความละเอียดสูงและความเร็วในการแปลงสูงเพื่อสามารถรองรับแบนด์วิดท์ที่กว้างกว่าย่านความถี่เสียงมากได้

สำหรับงานที่ต้องการความละเอียดสูงแล้ว องค์ประกอบต่าง ๆ ที่ใช้สร้างตัวแปลงต้องมีความเที่ยงตรงสูงตามไปด้วย ซึ่งบางครั้งก็อาจมากเกินไปเกินความสามารถของเทคโนโลยีวงจรรวมจะทำได้ แต่ด้วยหลักการสุ่มตัวอย่างเกินและการมอดูเลชันแบบเดลต้าซิกมา ( $\Delta\Sigma$ ) ร่วมกับการประมวลผลสัญญาณดิจิทัล ทำให้สามารถใช้ความสามารถในการทำงานด้วยความเร็วสูงของ

ทรานซิสเตอร์ที่มีอยู่ในกระบวนการผลิตวงจรรวมสมัยใหม่มาแลกเปลี่ยนความละเอียดของข้อมูลได้ ทำให้การสร้างตัวแปลงแอนะล็อกเป็นดิจิทัลที่มีความละเอียดสูงเป็นสิ่งที่สามารถทำได้

ตามพัฒนาการของการผลิตวงจรรวม แรงดันของแหล่งจ่ายกำลังสำหรับวงจรรวม ได้ถูกบังคับลดลงตามความบางของชั้นออกไซด์ของทรานซิสเตอร์ เพื่อไม่ให้เกิดการพังทลายของชั้นออกไซด์ [1] การลดลงของแรงดันของแหล่งจ่ายกำลังนี้ส่งผลดีโดยตรงในการลดการกินกำลังงานของวงจรรวมดิจิทัล แต่สำหรับวงจรรวมแอนะล็อกแล้วจะทำให้ช่วงการแกว่งของสัญญาณลดลง ในขณะที่สัญญาณรบกวนในวงจรรวมอินทิเกรตยังคงมีขนาดเท่าเดิม ดังนั้นเพื่อให้วงจรรวมแอนะล็อกทำงานได้ในพิสัยพลวัตเท่าเดิม ค่าทรานสคอนดักแตนซ์ (Transconductance :  $g_m$ ) ของทรานซิสเตอร์และค่าตัวเก็บประจุที่ใช้ในวงจรรวมจำเป็นต้องมีขนาดเพิ่มขึ้นเพื่อลดขนาดสัญญาณรบกวนเชิงความร้อนลง ซึ่งส่งผลให้วงจรรวมในส่วนแอนะล็อกกินกำลังงานมากขึ้น ปัจจุบันตัวแปลงแอนะล็อกเป็นดิจิทัลได้ถูกรวมไว้ในอุปกรณ์อินทิเกรตแบบพกพาสมัยใหม่ซึ่งมีความต้องการการกินกำลังงานที่ต่ำเพื่อให้แบตเตอรี่ขนาดเล็กสามารถใช้งานได้ยาวนาน ด้วยเหตุนี้ การออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัลให้กินกำลังงานต่ำจึงเป็นประเด็นสำคัญอีกประเด็นหนึ่งในงานวิจัยทางด้าน การออกแบบวงจรรวมในปัจจุบัน [1]-[7]

วิทยานิพนธ์นี้นำเสนอการออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลด้าชิกม่าที่มีความละเอียด 16 บิต สามารถแปลงสัญญาณได้ในแบนด์วิดท์ไม่ต่ำกว่า 250 kHz สำหรับประยุกต์ใช้ในงานประมวลสัญญาณดิจิทัลที่มีความต้องการความละเอียดสูงหรืออุปกรณ์ในระบบสื่อสาร โดยในการออกแบบจะพิจารณาถึงแนวทางต่าง ๆ ในการลดการกินกำลัง เป็นหลัก

## 1.2 วัตถุประสงค์ของการวิจัย

เพื่อออกแบบและพัฒนาตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลด้าชิกม่าที่มีอัตราการแปลงข้อมูลสูง ความละเอียดสูง สามารถใช้ใน งานวิจัยทางด้านประมวลสัญญาณดิจิทัล, งานวิจัยทางด้านเสียง ระบบการวัด หรือ ระบบสื่อสารได้

## 1.3 ขอบเขตของการวิจัย

สร้างมอดูเลเตอร์ในรูปแบบวงจรรวมเพื่อนำมาทำตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลด้าชิกม่า โดยใช้เทคโนโลยีซีมอส 0.5 ไมครอนของบริษัท อัลคาเทล ซึ่งมีข้อกำหนดดังนี้

- ความละเอียดข้อมูลดิจิทัลขาออก 16 บิต
- แบนด์วิดท์สัญญาณขาเข้า > 250 กิโลเฮิรตซ์
- อันดับการทำมอดูเลชัน อันดับ 4
- แรงดันแหล่งจ่าย 3.3 โวลต์
- โครงสร้างมอดูเลเตอร์ แบบต่อเรียง (Cascade) 2-1-1

และทดสอบคุณสมบัติของวงจรรวมที่ได้จากการเชื่อม

#### 1.4 ประโยชน์ที่คาดว่าจะได้รับ

1. ต้นแบบตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลด้าชิกม่าซึ่งสามารถใช้ในการวิจัยเกี่ยวกับระบบกรรรมวิธีสัญญาณดิจิทัลที่ต้องการความละเอียดสูงความเร็วสูง เช่น ระบบไร้สาย สัญญาณเสียง หรือ หัววัดที่ต้องการความละเอียดสูง
2. นำความรู้ในการออกแบบตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลด้าชิกม่า เพื่อเป็นพื้นฐานในการออกแบบตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลด้าชิกม่าแบบอื่นต่อไปได้ เช่น ตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลที่มีความเร็วสูงขึ้น, มีความละเอียดสูงขึ้น หรือ ตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลด้าชิกม่าแบบผ่าน
3. สามารถนำวงจรที่ออกแบบไปใช้เป็นองค์ประกอบย่อยในวงจรรวมขนาดใหญ่ได้ต่อไป
4. สามารถนำวงจรต้นแบบไปพัฒนาต่อเพื่อผลิตในเชิงอุตสาหกรรมได้

#### 1.5 วิธีดำเนินการวิจัย

1. ศึกษาการประยุกต์ใช้งานตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลและกำหนดข้อกำหนด
2. ศึกษาโมดูลเดลด้าชิกม่า ในแบบต่าง ๆ และเลือกแบบที่เหมาะสม
3. เขียนแบบจำลองและซอฟต์แวร์ที่จำเป็นสำหรับการจำลองและวัดคุณสมบัติของระบบ
4. จำลองระบบในระดับพฤติกรรม เพื่อหา โครงสร้าง อันดับ อัตราสุ่มเกิน ที่เหมาะสม
5. ศึกษาความไม่เป็นอุดมคติที่เกิดขึ้นรวมทั้งสร้างแบบจำลองของความไม่เป็นอุดมคติต่าง ๆ
6. จำลองความไม่เป็นอุดมคติ เพื่อหาข้อกำหนดของอุปกรณ์แต่ละส่วนในระดับวงจร
7. ออกแบบวงจรรวมในระดับทรานซิสเตอร์
8. ทำการวาดผังวงจรรวมสำหรับส่งไปเชื่อม
9. สร้างฮาร์ดแวร์และเขียนซอฟต์แวร์เฉพาะเพื่อทดสอบคุณสมบัติของวงจรรวม
10. นำวงจรรวมที่ได้จากการเชื่อมมาทำการทดสอบ
11. สรุปผลการทดสอบและเขียนวิทยานิพนธ์

## 1.6 ลำดับเนื้อหาในวิทยานิพนธ์

วิทยานิพนธ์นี้ถูกแบ่งเนื้อหาเป็น 5 บท คือ เริ่มจากบทที่ 2 กล่าวถึง ทฤษฎีพื้นฐาน แนวความคิด และหลักการสำคัญ ของตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้า ซิกม่า รวมไปถึงข้อพิจารณาต่าง ๆ ในการออกแบบตัวแปลงด้วย

ในบทที่ 3 กล่าวถึง การออกแบบตัวแปลงในระดับสถาปัตยกรรม ซึ่งเกี่ยวข้องกับ การเลือกโครงสร้างของมอดูเลเตอร์ การเลือกพารามิเตอร์ของระบบ การกำหนดข้อกำหนดของ องค์ประกอบแต่ละส่วนของระบบจากการจำลองเชิงพฤติกรรม และกระบวนการออปติไมซ์กำลังงาน

ในบทที่ 4 แสดงรายละเอียด การออกแบบวงจรต่าง ๆ ในระดับทรานซิสเตอร์ของ องค์ประกอบแต่ละส่วนของระบบเพื่อให้ได้สมรรถนะตามข้อกำหนดในระดับสถาปัตยกรรม ใน บทนี้จะกล่าวรวมไปถึงการวาดผังวงจรรวมด้วย

ส่วนการทดสอบวงจรรวมและผลการทดสอบวงจรรวมที่ได้จากการเจือสาร และ วิเคราะห์ผลการทดสอบวงจรรวมเปรียบเทียบได้อธิบายไว้ในบทที่ 5

สุดท้าย ในบทที่ 6 กล่าวถึง ข้อเสนอที่ได้จากการออกแบบตัวแปลงแอนะล็อกเป็น ดิจิทัลนี้ พร้อมทั้งเสนอข้อเสนอแนะ และแนวทางในการพัฒนาต่อไป

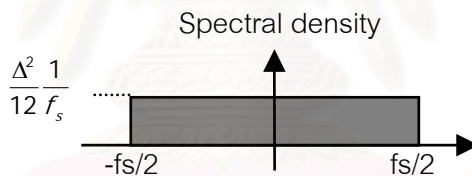
สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## บทที่ 2

### ทฤษฎีพื้นฐานของการมอดูเลชันแบบเดลต้าซิกม่า

#### 2.1 สัญญาณรบกวนควอนไทซ์

เมื่อสัญญาณถูกควอนไทซ์จะทำให้ข้อมูลที่ได้มีความผิดพลาดเกิดขึ้นเสมอ เนื่องจากค่าแอนะล็อกจะถูกแปลงไปเป็นข้อมูลดิจิทัลซึ่งแทนระดับสัญญาณแอนะล็อกที่ใกล้เคียงค่าแอนะล็อกเดิมมากที่สุด โดยสามารถพิจารณาความผิดพลาดดังกล่าวเสมือนเป็นสัญญาณรบกวนได้ สัญญาณรบกวนดังกล่าวมีกำลังขนาด  $\frac{\Delta^2}{12}$  (เมื่อ  $\Delta$  คือขนาดของระดับขั้นของตัวควอนไทซ์) ปรากฏอยู่ในแถบความถี่ใช้งาน โดยสมมุติฐานที่ว่าสัญญาณที่เข้าสู่ตัวควอนไทซ์ไม่มีสหสัมพันธ์ (Uncorrelated) ในแต่ละตัวอย่าง สัญญาณรบกวนดังกล่าวสามารถประมาณได้ว่าเป็นสัญญาณรบกวนขาวกระจายอยู่ในช่วง  $\pm \frac{f_s}{2}$  ได้ [8] โดย  $f_s$  คืออัตราการสุ่มตัวอย่าง ดังนั้นความหนาแน่นของสเปกตรัมของสัญญาณรบกวนมีค่าเป็น  $\frac{\Delta^2}{12} \frac{1}{f_s}$  ซึ่งมีแสดงดังรูปที่ 2.1



รูปที่ 2.1 สัญญาณรบกวนควอนไทซ์ในแถบผ่านสัญญาณ

ความสัมพันธ์ระหว่างจำนวนบิตของตัวควอนไทซ์  $N$  กับอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุด (ของสัญญาณรูปไซน์) หาได้จากกำลังสัญญาณสูงสุด (ค่ายอด  $\frac{\Delta(2^N - 1)}{2}$ ) ต่อกำลังสัญญาณรบกวน แสดงได้ดังสมการที่ 2.1ก และ 2.1ข

$$SNR_{MAX} = \frac{P_{Signal}}{P_{Q.Noise}} = \left( \frac{(\Delta(2^N - 1)/2)^2}{2} \right) / \left( \frac{\Delta^2}{12} \right) \quad (2.1ก)$$

$$SNR_{MAX} (dB) = 6.02N + 1.76 \quad (2.1ข)$$

#### 2.2 การสุ่มตัวอย่างเกิน (Oversampling)

เมื่อสัญญาณถูกสุ่มตัวอย่างด้วยอัตราที่สูงกว่าความถี่ในควิสต์  $OSR$  เท่า นั่นคือ

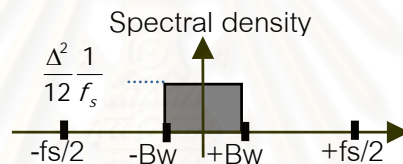
$$OSR = \frac{f_s}{f_N} = \frac{f_s/2}{BW} \quad (2.2)$$



โดยที่  $OSR$  คืออัตราการสุ่มตัวอย่างเกิน (Oversampling Ratio)  $f_s$  คืออัตราการสุ่มตัวอย่าง  $f_N$  คือความถี่ในควิสต์ และ  $BW$  คือแบนด์วิดท์สูงสุดของสัญญาณ จะพบว่าความหนาแน่นของสเปกตรัมกำลังงานของสัญญาณรบกวนมีค่าลดลง เนื่องจากปริมาณกำลังงานเท่าเดิมถูกกระจายออกในแบนด์วิดท์ของการสุ่มตัวอย่างที่กว้างขึ้น ถ้านำข้อมูลจากการควอนไทซ์ดังกล่าวมาผ่านตัวกรองผ่านต่ำอุดมคติคัดเฉพาะภายในแบนด์วิดท์ของสัญญาณ จะพบว่าปริมาณสัญญาณรบกวนที่ปรากฏต่อสัญญาณในแถบผ่านมีค่าลดลง ดังแสดงในรูปที่ 2.2 สมการที่ 2.3 แสดงอัตราส่วนสัญญาณต่อสัญญาณรบกวนเพิ่มขึ้น นั่นคือจำนวนบิตประสิทธิภาพเพิ่มขึ้น คิดเป็นจำนวนบิตเพิ่มขึ้น 0.5 บิตทุก ๆ 2 เท่าของอัตราการสุ่มเกิน

$$SNR_{MAX} = \frac{P_{Signal}}{P_{Q.Noise}} = \left( \frac{(\Delta(2^N - 1)/2)^2}{2} \right) / \left( \frac{\Delta^2}{12} \frac{1}{OSR} \right) \quad (2.3ก)$$

$$SNR_{MAX}(dB) = 6.02N + 1.76 + 10 \log(OSR) \quad (2.3ข)$$

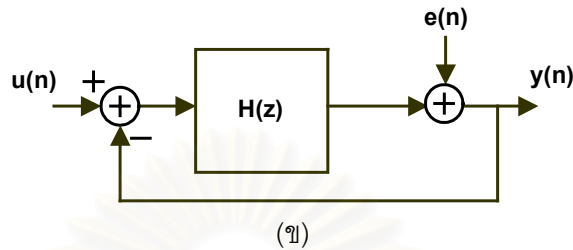
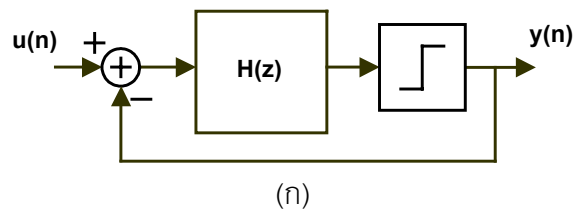


รูปที่ 2.2 สัญญาณรบกวนควอนไทซ์ในแถบผ่านสัญญาณเมื่อทำการสุ่มตัวอย่างเกิน

## 2.3 การจัดสรรฐานสัญญาณรบกวนควอนไทซ์ด้วยการมอดูเลชันแบบเดลต้าซิกม่า

การสุ่มตัวอย่างเกินเพียงอย่างเดียวสามารถเพิ่มระดับความละเอียดข้อมูลได้น้อย โดยส่วนใหญ่จะไม่เพียงพอต่อความต้องการในการใช้งาน วิธีปรับปรุงคือการนำเทคนิคการจัดสรรฐานสัญญาณรบกวน (Noise shaping) มาใช้ร่วมกับการสุ่มตัวอย่างเกิน ซึ่งสามารถลดปริมาณสัญญาณรบกวนในแบนด์วิดท์ของสัญญาณลงได้อย่างมาก

ระบบในรูป 2.3(ก) แสดงมอดูเลเตอร์เดลต้าซิกม่า ประกอบไปด้วย ฟังก์ชันถ่ายโอน  $H(z)$  และตัวควอนไทซ์ในวงรอบปิด ระบบรับสัญญาณแอนะล็อกขาเข้า  $u(n)$  ซึ่งเป็นสัญญาณที่จะถูกวัด และส่งออกสัญญาณดิจิทัล  $y(n)$  ไปยังภาคดิจิทัลเพื่อทำการกรองเพื่อให้ได้ข้อมูลจากการแปลงสัญญาณขาเข้าต่อไป ในการวิเคราะห์ระบบ ตัวควอนไทซ์สามารถแทนด้วยแบบจำลองเชิงเส้นที่เพิ่มสัญญาณรบกวนตัวควอนไทซ์  $e(n)$  เข้าสู่ระบบ ดังนั้นสัญญาณขาออกของระบบ  $y(n)$  จะเขียนในอาณาจักร  $Z$  ได้เป็น



รูปที่ 2.3 (ก) โครงสร้างพื้นฐานของมอดูเลเตอร์เดลต้าซิกม่า

(ข) โครงสร้างพื้นฐานซึ่งตัวคอนโทซ์แทนด้วยแบบจำลองเชิงเส้น  
ที่เพิ่มสัญญาณรบกวนตัวคอนโทซ์  $e(n)$  เข้าสู่ระบบ

$$\begin{aligned} Y(z) &= \frac{H(z)}{1+H(z)}U(z) + \frac{1}{1+H(z)}E(z) \\ &= S_{TF}(z)U(z) + N_{TF}E(z) \end{aligned} \quad (2.4)$$

โดย  $S_{TF}(z)$  เป็นฟังก์ชันถ่ายโอนจากสัญญาณขาเข้า

$N_{TF}(z)$  เป็นฟังก์ชันถ่ายโอนจากสัญญาณรบกวนคอนโทซ์

เนื่องระบบมีการสุ่มตัวอย่างเกิน ดังนั้นสัญญาณขาเข้าจะมีความถี่ต่ำเมื่อเทียบกับความถี่การสุ่มตัวอย่าง จากสมการที่ 2.4 เพื่อให้ระบบสามารถแปลงสัญญาณในช่วงความถี่ต่ำได้ความละเอียดสูงหรือมีอัตราส่วนสัญญาณต่อสัญญาณรบกวนมีค่าเพิ่มขึ้น จะต้องให้  $H(z)$  เป็นฟังก์ชันถ่ายโอนที่มีค่าใหญ่ที่ความถี่ต่ำเพื่อสามารถถ่ายโอนสัญญาณจากขาเข้าไปยังขาออกได้ และในขณะเดียวกันก็สามารถลดขนาดสัญญาณรบกวนคอนโทซ์ที่ส่งยังขาออก แนวคิดดังกล่าวเป็นหลักการสำคัญของการมอดูเลชันแบบเดลต้าซิกม่า

### 2.3.1 การจัดตั้งฐานสัญญาณรบกวนอันดับที่หนึ่ง

เมื่อให้  $H(z)$  ตามสมการที่ 2.4 เป็นตัวอินทิเกรตในอาณาจักร  $Z$  คือ

$H(z) = \frac{z^{-1}}{1-z^{-1}}$  จะพบว่าฟังก์ชันถ่ายโอนของสัญญาณขาเข้าและของสัญญาณรบกวนเป็นสมการที่ 2.5ก และ 2.5ข ตามลำดับ

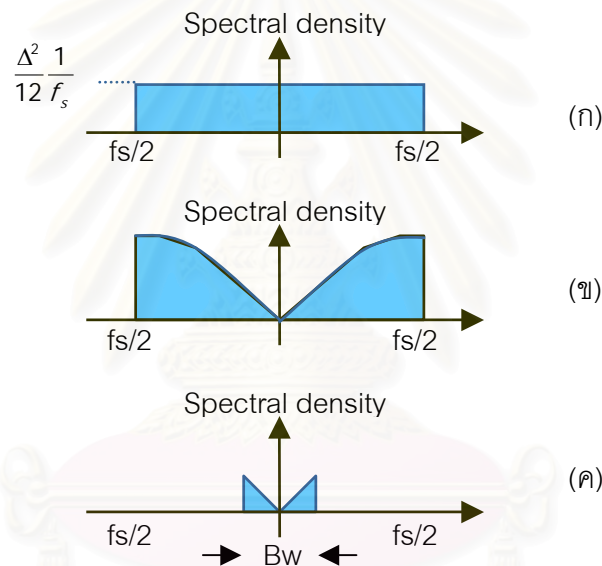


$$S_{TRF} = \frac{Y(z)}{U(z)} = z^{-1} \quad (2.5ก)$$

$$N_{TRF} = \frac{Y(z)}{E(z)} = (1 - z^{-1}) \quad (2.5ข)$$

สมการที่ 2.5ก แสดงถึงข้อมูลสัญญาณขาเข้าถูกส่งผ่านไปยังขาออกที่อัตราขยายเท่ากับหนึ่งด้วยการประวิงเวลาหนึ่งคาบสัญญาณ ส่วนสมการที่ 2.5ข แสดงถึงการหาผลต่างของสัญญาณรบกวนในตัวอย่างที่ดีักัน และมีผลตอบสนองขนาดทางความถี่ดังสมการ 2.5ค ซึ่งสามารถหาได้โดยการแทน  $z = e^{-j\omega}$

$$|N_{TRF}| = 2 \sin(\pi f / f_s) \quad (2.5ค)$$



**รูปที่ 2.4** สเปกตรัมของสเปกตรัมสัญญาณรบกวนที่เปลี่ยนไปเนื่องจากการมอดูเลชัน

- (ก) สเปกตรัมสัญญาณรบกวนควอนไทซ์
- (ข) สเปกตรัมสัญญาณรบกวนควอนไทซ์ที่จัดสรรด้วยมอดูเลเตอร์แล้ว
- (ค) สเปกตรัมสัญญาณรบกวนควอนไทซ์ในแบนด์วิดท์สัญญาณหลังผ่านตัวกรองผ่านต่ำดิจิทัล

สัญญาณรบกวนควอนไทซ์ตามรูปที่ 2.4ก ซึ่งมีสมมุติฐานตามหัวข้อ 2.1 เป็นสัญญาณรบกวนขาว เมื่อผ่านมอดูเลเตอร์ไปที่ขาออกจะมีรูปร่างสเปกตรัมเปลี่ยนไปเป็นดังรูปที่ 2.4ข ตามผลตอบสนองทางความถี่ของฟังก์ชันถ่ายโอนของสัญญาณรบกวนตามสมการที่ 2.5ค สเปกตรัมตามรูปที่ 2.4ข เป็นของข้อมูลดิจิทัลขาออกของมอดูเลเตอร์ สัญญาณดังกล่าวจะถูกนำมาผ่านเข้าสู่ตัวกรองผ่านต่ำดิจิทัล ทำให้ในขั้นสุดท้ายสัญญาณขาออกจากระบบมีสเปกตรัมสัญญาณดังในรูปที่ 2.4ค ซึ่งจะพบว่ามีการจำกัดสัญญาณรบกวนควอนไทซ์ในแบนด์วิดท์สัญญาณลด

ลงมากกว่าในกรณีใช้การสุ่มตัวอย่างเกินเพียงอย่างเดียวดังในรูปที่ 2.2 ยังผลให้มีค่าความละเอียดและจำนวนบิตประสิทธิภาพในการแปลงมีค่าสูงขึ้น ซึ่งสามารถคำนวณปริมาณสัญญาณรบกวนควอนไทซ์ในแบนด์วิดท์สัญญาณได้ดังสมการที่ 2.6(ก)

$$P_{Q.Noise} = \left( \int_{-Bw}^{Bw} \frac{\Delta^2}{12} \frac{1}{f_s} \left( 2 \sin\left(\frac{\pi f}{f_s}\right) \right)^2 df \right) \quad (2.6ก)$$

เนื่องจาก  $Bw \ll f_s$  ดังนั้น พจน์  $\sin\left(\frac{\pi f}{f_s}\right)$  สามารถประมาณได้เป็น  $\left(\frac{\pi f}{f_s}\right)$  ในช่วงการอินทิเกรต ดังนั้นปริมาณสัญญาณรบกวนควอนไทซ์สามารถประมาณได้เป็น

$$P_{Q.Noise} \approx \left( \frac{\Delta^2}{12} \right) \left( \frac{\pi^2}{3} \right) \left( \frac{2Bw}{f_s} \right)^3 = \frac{\Delta^2 \pi^2}{36} \left( \frac{1}{OSR} \right)^3 \quad (2.6ข)$$

อัตราส่วนสัญญาณต่อสัญญาณรบกวนของข้อมูลขั้นสุดท้ายตามรูปที่ 2.4 แสดงได้ดังสมการที่ 2.6(ค) และ 2.6(ง)

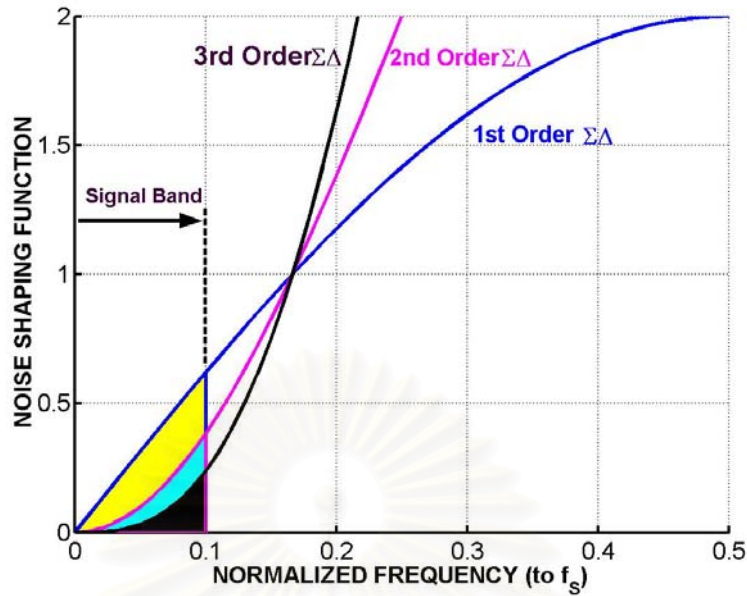
$$SNR_{MAX} = \frac{P_{Signal}}{P_{Q.Noise}} = \left( \frac{(\Delta(2^N - 1)/2)^2}{2} \right) / \left( \frac{\Delta^2 \pi^2}{36} \left( \frac{1}{OSR} \right)^3 \right) \quad (2.6ค)$$

$$SNR_{MAX} (dB) = 6.02N + 1.76 - 5.17 + 30 \log(OSR) \quad (2.6ง)$$

จากสมการที่ 2.6ง สองพจน์แรกแสดงอัตราส่วนสัญญาณต่อสัญญาณรบกวนจากตัวควอนไทซ์ที่ใช้ซึ่งมีลักษณะเหมือนดังสมการที่ 2.1ข ส่วนสองพจน์หลังแสดงถึงอัตราส่วนสัญญาณต่อสัญญาณรบกวนที่เพิ่มขึ้นอันเนื่องมาจากการจัดสรรสัญญาณรบกวน พจน์สุดท้าย  $30 \log(OSR)$  แสดงถึงอัตราส่วนสัญญาณต่อสัญญาณรบกวนจะเพิ่มขึ้น 9 dB หรือคิดเป็นจำนวนบิตเพิ่มขึ้น 1.5 บิตทุก ๆ 2 เท่าของอัตราสุ่มเกิน [8]

### 2.3.2 การจัดสรรสัญญาณรบกวนอันดับสูง

เราสามารถเพิ่มอันดับการทำมอดูเลชันโดยการเพิ่มจำนวนตัวอินทิเกรตเข้าไปในมอดูเลเตอร์โดยการจัดการป้อนกลับและการผ่านสัญญาณอย่างเหมาะสมทำให้ได้ฟังก์ชันถ่ายโอนของระบบอันดับ  $L$  ดังสมการที่ 2.7ก 2.7ข และ 2.7ค ขนาดฟังก์ชันจัดสรรสัญญาณรบกวนควอนไทซ์อันดับที่หนึ่ง สอง และสามแสดงดังรูปที่ 2.5



รูปที่ 2.5 ฟังก์ชันจัดสรรฐานสัญญาณรบกวนรบกวนควอนไทซ์อันดับที่หนึ่ง สอง และ สาม

$$S_{TRF} = \frac{Y(z)}{U(z)} = z^{-L} \quad (2.7ก)$$

$$N_{TRF} = \frac{Y(z)}{E(z)} = (1 - z^{-1})^L \quad (2.7ข)$$

$$|N_{TRF}| = |2 \sin(\pi f / f_s)|^L \quad (2.7ค)$$

ค่าอันดับการทำมอดูเลชันที่สูงขึ้นและอัตราสุ่มตัวอย่างเกินที่สูงขึ้นจะทำให้ปริมาณกำลังงานสัญญาณรบกวนควอนไทซ์ภายในแบนด์วิดท์สัญญาณมีค่าลดลงตามอันดับการทำมอดูเลชันซึ่งแสดงด้วยพื้นที่ที่แรเงาในรูปที่ 2.5 ปริมาณสัญญาณรบกวนควอนไทซ์ในแบนด์วิดท์ของสัญญาณจากการทำมอดูเลชันอันดับ  $L$  แสดงได้ดังสมการที่ 2.8ก

$$P_{Q.Noise} = \left( \int_{-B_w}^{B_w} \frac{\Delta^2}{12} \frac{1}{f_s} \left( 2 \sin\left(\frac{\pi f}{f_s}\right) \right)^{2L} df \right) \approx \frac{\Delta^2}{12} \frac{\pi^{2L}}{(2L+1)} \frac{1}{(OSR)^{2L+1}} \quad (2.8ก)$$

และค่าความละเอียดของข้อมูลที่แปลงได้เพิ่มขึ้นซึ่งคำนวณเป็นอัตราส่วนสัญญาณต่อสัญญาณรบกวนได้ดังสมการที่ 2.8ข และ 2.8ค

$$SNR_{MAX} = \frac{P_{Signal}}{P_{Q.Noise}} = \left( \frac{(\Delta(2^N - 1)/2)^2}{2} \right) / \left( \frac{\Delta^2}{12} \frac{\pi^{2L}}{(2L+1)} \frac{1}{(OSR)^{2L+1}} \right)$$

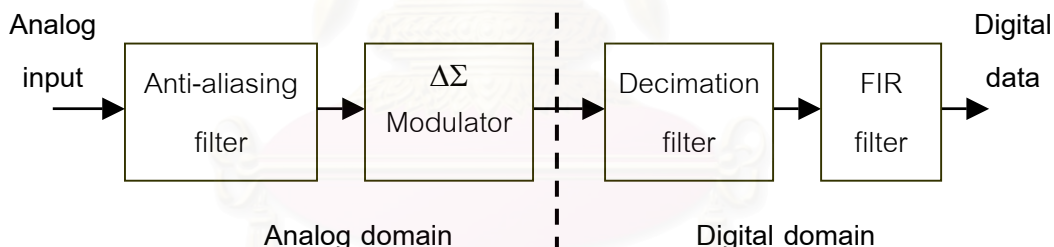
$$= \frac{1.5}{\pi^{2L}} (2^N - 1)^2 (OSR)^{2L+1} (2L + 1) \quad (2.8ข)$$

$$SNR_{MAX}(dB) = 1.76 + 6\log_2(2^N - 1) - 10L + 3\log_2(2L + 1) + 3(2L + 1)\log_2(OSR) \quad (2.8ค)$$

หรือคิดเป็นจำนวนบิตประสิทธิภาพซึ่งจะเพิ่มขึ้น  $L + 0.5$  บิต ทุกสองเท่าของอัตราการสุ่มเกิน อย่างไรก็ตาม ในการสร้างมอดูเลเตอร์อันดับสูงเกินอันดับสองจะต้องพิจารณาปัญหาเรื่องเสถียรภาพของระบบเนื่องมาจากการป้อนกลับด้วย

## 2.4 สถาปัตยกรรมของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกมา

ระบบของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแสดงได้ดังรูปที่ 2.6 สัญญาณขาเข้าผ่านวงจรกรองกันเคลือบแฝง (Anti-aliasing filter) โดยลักษณะของวงจรกรองกันเคลือบแฝงนี้ไม่จำเป็นต้องมีช่วงเปลี่ยนแถบผ่านเป็นแถบหยุดที่คมมาก ดังเช่นในกรณีตัวแปลงอัตราในควิสิตเนื่องจากอัตราการสุ่มตัวอย่างอยู่สูงกว่าแบนด์วิดท์ของสัญญาณขาเข้ามากและการลดทอนนอกแบนด์วิดท์สัญญาณอีกส่วนหนึ่งเกิดขึ้นในส่วนของตัวกรองดิจิทัล สัญญาณออกจากวงจรกันการเคลือบแฝงถูกป้อนเข้าสู่มอดูเลเตอร์เพื่อแปลงสัญญาณให้อยู่ในรูปข้อมูลดิจิทัลจำนวนบิตต่ำที่ประกอบด้วยสัญญาณขาเข้ารวมกับสัญญาณรบกวนที่จัดสรรฐานแล้ว



รูปที่ 2.6 ระบบของการแปลงสัญญาณแอนะล็อกเป็นดิจิทัลแบบสุ่มเกินเดลต้าซิกมา

ข้อมูลดิจิทัลดังกล่าวถูกกรองด้วยตัวกรองดิจิทัล ซึ่งโดยปกติจะแบ่งออกเป็นสองภาคเพื่อลดความซับซ้อนในการสร้างตัวกรอง [8] คือ ภาคแรกคือตัวกรองเดซิเมชัน (Decimation filter) ซึ่งทำหน้าที่กำจัดส่วนสัญญาณรบกวนควอนไทซ์ที่ถูกจัดสรรฐานไว้ก่อนและลดอัตราข้อมูลลง โดยปกติตัวกรองเดซิเมชันจะมีอันดับมากกว่าอันดับการทำมอดูเลชันอยู่หนึ่งอันดับเพื่อให้สามารถกำจัดปริมาณสัญญาณรบกวนที่ถูกจัดสรรฐานไว้ในช่วงความถี่สูงให้ลดต่ำลงได้มากกว่าในระดับที่ไม่ถูกจัดสรรฐาน [8] และภาคหลังคือตัวกรองเอฟไออาร์ ทำหน้าที่ชดเชยการลดทอนในแบนด์วิดท์ของสัญญาณขาเข้าอันเนื่องมาจากตัวกรองเดซิเมชัน ในที่นี้ใช้ตัวกรองเอฟไออาร์เพื่อให้ลักษณะตอบสนองทางเฟสของตัวแปลงเป็นเชิงเส้น

### 2.4.1 ตัวกรองเดซิเมชัน

ตัวกรองเดซิเมชันอันดับที่  $L+1$  สามารถสร้างได้โดยการนำเอาตัวกรองเฉลี่ย (Averaging filter) จำนวน  $L+1$  มาต่อเรียงกัน ตัวกรองเฉลี่ยมีลักษณะดังสมการที่ 2.9ก ตัวกรองเฉลี่ยทำการเฉลี่ยตัวอย่างขาเข้า  $x[i]$  ในช่วง  $Mk-M$  ถึง  $Mk-1$  ให้เป็นข้อมูลขาออก  $y[k]$  ซึ่งเป็นการลดอัตราข้อมูลลง (อัตราเดซิเมชัน)  $M$  เท่าด้วย โดยตัวกรองเฉลี่ยมีฟังก์ชันโอนย้ายเขียนได้ในรูปของ  $T_{\text{sinc}}(z)$  ดังสมการที่ 2.9ข

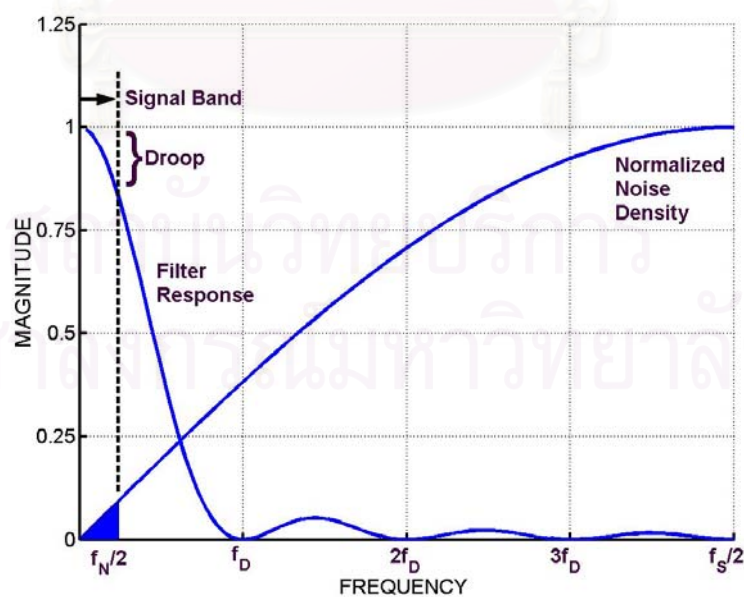
$$y[k] = \frac{1}{M} \sum_{i=M(k-1)}^{Mk-1} x[i] \quad (2.9ก)$$

$$T_{\text{sinc}}(z) = \frac{1}{M} \left( \frac{1-z^{-M}}{1-z^{-1}} \right) \quad (2.9ข)$$

ดังนั้นฟังก์ชันโอนย้ายของตัวกรองเดซิเมชันอันดับที่  $L+1$  แสดงได้ดังสมการที่ 2.10ก และผลตอบสนองทางความถี่ของตัวกรองแสดงได้ดังสมการที่ 2.10ข

$$T_{\text{sinc}}(z) = \frac{1}{M^{L+1}} \left( \frac{1-z^{-M}}{1-z^{-1}} \right)^{L+1} \quad (2.10ก)$$

$$T_{\text{sinc}}(e^{j\omega}) = \frac{1}{M^L} \left( \frac{\text{sinc}\left(\frac{\omega M}{2}\right)}{\text{sinc}\left(\frac{\omega}{2}\right)} \right)^{L+1} \cdot e^{-j\frac{\omega(L+1)(M-1)}{2}} \quad (2.10ข)$$

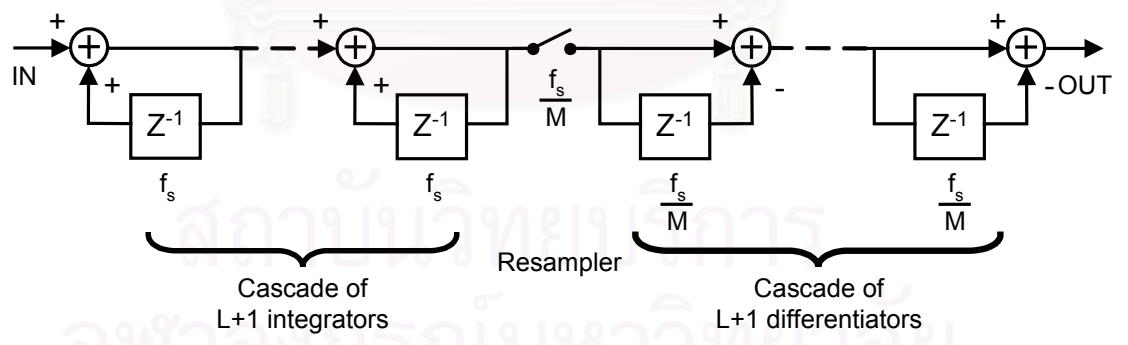


รูปที่ 2.7 ผลตอบสนองทางความถี่ของตัวกรองเดซิเมชันอันดับสองที่มีอัตราเดซิเมชัน  $M = 8$  เทียบกับฟังก์ชันจัดสรรฐานสัญญาณรบกวนควอนไทซ์นอร์มัลไลซ์อันดับที่หนึ่ง



รูปที่ 2.7 แสดงตัวอย่างผลตอบสนองทางความถี่ของตัวกรองเดซิเมชันอันดับสอง ที่มีอัตราเดซิเมชัน  $M = 8$  เทียบกับสเปกตรัมความหนาแน่นของสัญญาณรบกวนควอนไทซ์ โดย  $f_D = \frac{f_s}{M}$  คือ อัตราข้อมูลขาออกของตัวกรองเดซิเมชัน เห็นได้ว่าตัวกรองเดซิเมชันมีศูนย์อยู่ที่ความถี่  $f_D$  และทุกฮาร์โมนิกของ  $f_D$  ซึ่งสามารถช่วยลดการเคลือบแฝงกลับของสัญญาณรบกวนควอนไทซ์จากย่านใกล้เคียงความถี่  $f_D$  และทุกฮาร์โมนิกของ  $f_D$  เข้ามาในแบนด์วิดท์สัญญาณได้ เมื่อทำการลดอัตราข้อมูลลงในตัวกรองเดซิเมชัน อัตราข้อมูลขาออกจากตัวกรองเดซิเมชันที่สูงเป็น 4 เท่าของอัตราในควิสต์ถือเป็นอัตราที่มีความเหมาะสม [9] ที่ไม่ก่อให้เกิดการเคลือบแฝงของสัญญาณรบกวนควอนไทซ์เข้ามาในแบนด์วิดท์ของสัญญาณขาเข้ามากเกินไปเมื่อทำการสุ่มตัวอย่างใหม่เพื่อลดอัตราข้อมูล และการลดทอนแบนด์วิดท์ของสัญญาณมีค่าไม่สูงมากจนการชดเชยด้วยตัวกรองเฟอไออาร์ภาคหลังทำได้ยาก การลดทอนที่ขอบแบนด์วิดท์สัญญาณ (Droop) คิดเป็น  $0.9(L + 1)$  เดซิเบล [10]

รูปที่ 2.8 แสดงโครงสร้างของตัวกรองเดซิเมชันที่นิยมใช้ ซึ่งเป็นโครงสร้างที่ง่ายสามารถนำไปใช้ได้ทั้งในการจำลอง การวัดทดสอบ รวมไปถึงการสร้างเป็นวงจรรวมจริง [11] การบวกและลบในตัวอินทิเกรตและตัวดิฟเฟอเรนเชียลในตัวกรองนี้จะใช้ระบบเลขส่วนเต็มเต็มสอง (2's-complement) ที่มีพิสัยอย่างน้อยครอบคลุมช่วง  $[-\frac{M^{L+1}R}{2}, \frac{M^{L+1}R}{2})$  โดยสัญญาณขาเข้าตัวกรองมีพิสัยอยู่ในช่วง  $[-\frac{R}{2}, \frac{R}{2})$



รูปที่ 2.8 โครงสร้างของตัวกรองเดซิเมชัน

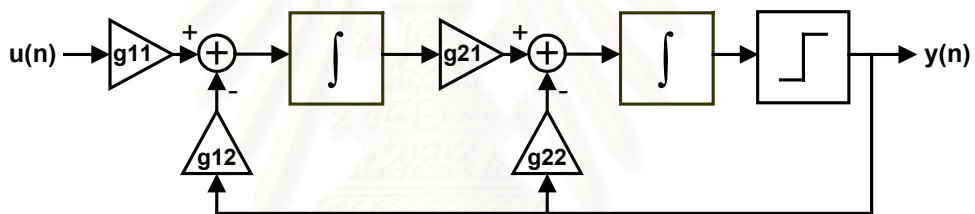
2.5 สถาปัตยกรรมของมอดูเลเตอร์เดลต้าซิกมา

การเพิ่มอันดับของมอดูเลเตอร์เป็นการเพิ่มความสามารถในการลดทอนสัญญาณรบกวนควอนไทซ์ในแบนด์วิดท์สัญญาณ ส่วนการเพิ่มจำนวนบิตของตัวควอนไทซ์มีผลให้ขนาดสัญญาณรบกวนควอนไทซ์ลดลง ทั้งสองแนวทางล้วนช่วยเพิ่มอัตราส่วนสัญญาณต่อ

สัญญาณรบกวนของตัวแปลง แต่การเพิ่มอันดับและจำนวนบิตของตัวควอนไทซ์ของตัวก็ส่งผลต่อการเลือกรูปแบบในการออกแบบของตัวมอดูเลเตอร์ด้วยเช่นกัน โดยเฉพาะอย่างยิ่งมอดูเลเตอร์ที่มีอันดับเกินสองมักจะมีปัญหาด้านเสถียรภาพเกิดขึ้น ส่วนจำนวนบิตของตัวควอนไทซ์ที่มากขึ้นจะทำให้การสร้างตัวแปลงดิจิทัลเป็นแอนะล็อก (DAC) ในการป้อนกลับยากมากขึ้นตามไปด้วย จึงมีผู้คิดค้นโครงสร้างของตัวมอดูเลเตอร์ในรูปแบบต่าง ๆ เพื่อให้รองรับต่อความต้องการในการออกแบบ โครงสร้างแต่ละรูปแบบมีข้อดีและข้อเสียแตกต่างกันไป

### 2.5.1 มอดูเลเตอร์อันดับสอง

มอดูเลเตอร์อันดับสองสามารถสร้างได้โดยการแทรกตัวอินทิเกรตอีกตัวเพิ่มเข้าไปในวงรอบของมอดูเลเตอร์ แสดงได้ดังรูปที่ 2.9 มอดูเลเตอร์นี้สามารถให้ประสิทธิภาพได้เพิ่มขึ้น 2.5 บิต ต่ออัตราสุ่มตัวอย่างเกินที่เพิ่มขึ้นสองเท่า มอดูเลเตอร์นี้มีเสถียรภาพอย่างแน่นอนเมื่อสัญญาณขาเข้าอยู่ในช่วง  $\pm 0.9 \frac{\Delta}{2}$  [12] และไม่ไวต่อความไม่เป็นอุดมคติของวงจรรวมแอนะล็อก



รูปที่ 2.9 มอดูเลเตอร์อันดับสอง

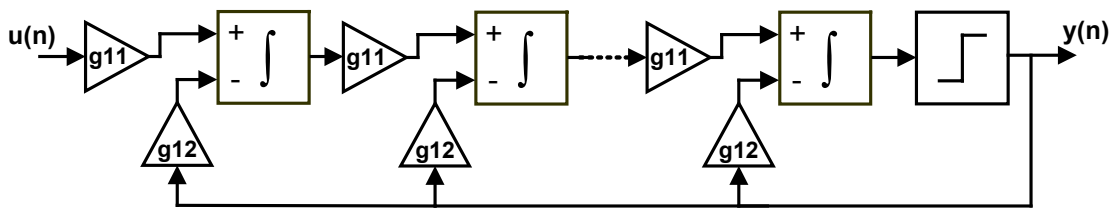
### 2.5.2 มอดูเลเตอร์อันดับสูง

ในการออกแบบบางครั้ง มีความต้องการใช้มอดูเลเตอร์อันดับสูงกว่าอันดับสอง เพื่อให้ระบบมีการแยกชัดสูง ในขณะที่มีอัตราการสุ่มตัวอย่างเกินต่ำ ในการออกแบบมอดูเลเตอร์อันดับสูง รูปแบบของมอดูเลเตอร์ที่ใช้มีหลายประเภท ซึ่งจัดกลุ่มใหญ่ ๆ ได้ 2 ประเภท อันได้แก่ (1) แบบวงรอบเดี่ยว (Single loop) ซึ่งมี แบบวงรอบเดี่ยวปกติ แบบ Lee-Sodini และแบบอินเทอร์โพลทีฟ (Interpolative) เป็นรูปแบบย่อย และ (2) แบบต่อเรียง (Cascade)

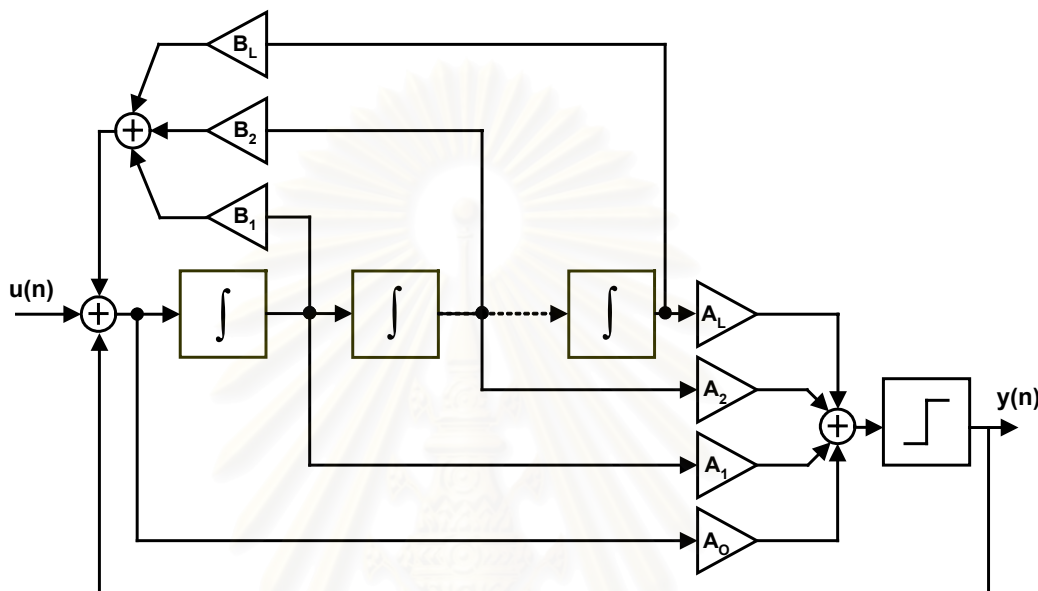
#### 2.5.2.1 มอดูเลเตอร์อันดับสูงแบบวงรอบเดี่ยวปกติ (Single loop)

มอดูเลเตอร์อันดับ  $L$  โครงสร้างแบบวงรอบเดี่ยว [12] แสดงในรูปที่ 2.10 ตัวอินทิเกรตต่อเรียงกันอยู่ภายใต้การป้อนกลับจากตัวควอนไทซ์เพียงตัวเดียว มอดูเลเตอร์ส่งข้อมูลดิจิทัลออกที่เป็นข้อมูลสัญญาณขาเข้าและสัญญาณรบกวนควอนไทซ์ที่ถูกจัดสัญญาณอันดับเท่ากับจำนวนตัวอินทิเกรตในวงรอบของมอดูเลเตอร์

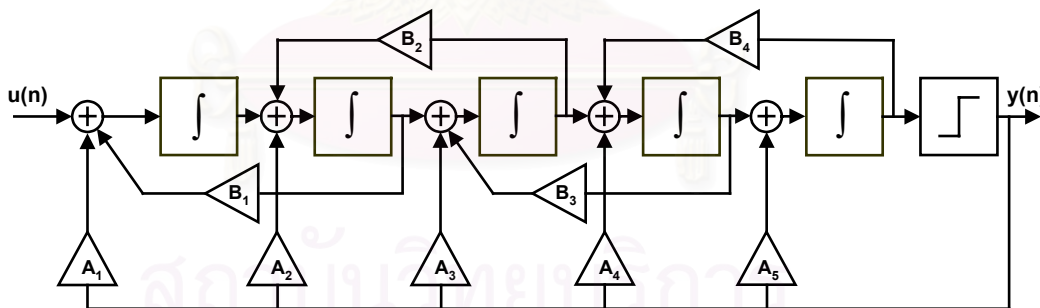




รูปที่ 2.10 มอดูเลเตอร์แบบวงรอบเดียว [12]



รูปที่ 2.11 มอดูเลเตอร์แบบ Lee-Sodini



รูปที่ 2.12 โครงสร้างแบบอินเทอร์โพเลทีฟ

โครงสร้างนี้มีข้อดีคือ สามารถให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงที่อัตราการสุ่มตัวอย่างเกินค่าต่ำและไม่ไวต่อความไม่เป็นอุดมคติของวงจรรอแฉะล็อก ข้อเสียคือระบบอาจมีปัญหาด้านเสถียรภาพ การออกแบบทำได้ยาก และช่วงสัญญาณขาเข้ามีขนาดเล็กเมื่อเทียบกับช่วงสัญญาณขาเข้าของมอดูเลเตอร์อันดับสองหรือระบบต่อเรียง

### 2.5.2.2 มอดูเลเตอร์อันดับสูงแบบ Lee-Sodini

โครงสร้างแบบ Lee-Sodini [12] แสดงในรูปที่ 2.11 โครงสร้างนี้ใช้ตัวควอนไทซ์เพียงตัวเดียวในการป้อนกลับ โครงสร้างมีการป้อนกลับจากขาออกของตัวอินทิเกรตแต่ละตัวมาที่ขาเข้าและมีการป้อนไปข้างหน้าจากสัญญาณขาเข้าตัวอินทิเกรตแต่ละตัวไปที่ตัวควอนไทซ์ โครงสร้างนี้สามารถสร้างให้ฟังก์ชันโอนย้ายของสัญญาณรบกวนมีอัตราการลดทอนในแบนด์วิดท์สัญญาณได้มากกว่าแบบวงรอบเดี่ยวปกติหรือแบบต่อเรียงในอันดับที่เท่ากัน โดยการกระจายตำแหน่งศูนย์ในแบนด์วิดท์สัญญาณทำให้สามารถฟังก์ชันโอนย้ายของสัญญาณรบกวนมีลักษณะคล้ายกับฟังก์ชันถ่ายโอนของตัวกรองผ่านสูงชนิดต่าง ๆ เช่น แบบบัตเตอร์เวิร์ท แบบเชพบีเซพชนิดที่หนึ่งหรือชนิดที่สอง หรือแบบอีลิปติก ฟังก์ชันโอนย้ายของสัญญาณขาเข้าและสัญญาณรบกวนควอนไทซ์แสดงได้ดังสมการที่ 2.11ก และ 2.11ข

$$S_{TF}(z) = \frac{\sum_{i=0}^L A_i (z-1)^{L-i}}{z \left[ (z-1)^L - \sum_{i=1}^L B_i (z-1)^{L-i} \right] + \sum_{i=0}^L A_i (z-1)^{L-i}} \quad (2.11ก)$$

$$N_{TF}(z) = \frac{(z-1)^L - \sum_{i=1}^L B_i (z-1)^{L-i}}{z \left[ (z-1)^L - \sum_{i=1}^L B_i (z-1)^{L-i} \right] + \sum_{i=0}^L A_i (z-1)^{L-i}} \quad (2.11ข)$$

โครงสร้างนี้ไม่ไวต่อความไม่เป็นอุดมคติของวงจร แต่ข้อเสียของโครงสร้างนี้คือค่าสัมประสิทธิ์ต่าง ๆ อาจเป็นค่าที่เล็กมากไม่เหมาะสมในการสร้างด้วย วงจรสวิตช์ตัวเก็บประจุ และอาจมีปัญหาเสถียรภาพเช่นเดียวกับแบบวงรอบเดี่ยวปกติ

### 2.5.2.3 มอดูเลเตอร์อันดับสูงแบบอินเทอร์โพลเลทีฟ (Interpolative)

โครงสร้างแบบอินเทอร์โพลเลทีฟนี้มีลักษณะหลักคล้ายกับแบบวงรอบเดี่ยวปกติ แต่มีการป้อนกลับย่อยของสัญญาณในระหว่างตัวอินทิเกรตสองตัวดังแสดงในรูปที่ 2.12 ด้วยการป้อนกลับนี้ทำให้ตำแหน่งศูนย์ในฟังก์ชันถ่ายโอนของสัญญาณรบกวนกระจายอยู่ในแบนด์วิดท์สัญญาณ ซึ่งช่วยเพิ่มความสามารถในการลดทอนสัญญาณควอนไทซ์ในแบนด์วิดท์สัญญาณ ทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนของตัวแปลงสูงขึ้น โครงสร้างนี้ไม่ไวต่อความไม่เป็นอุดมคติของวงจร แต่ข้อเสียของโครงสร้างนี้เหมือนกับในแบบ Lee-sodini และแบบ วงรอบเดี่ยว

ปกติ คือ ค่าสัมประสิทธิ์ต่าง ๆ อาจเป็นค่าที่ไม่ลงตัวและเล็กมากไม่เหมาะสมในการสร้างด้วยวงจรรวมตัวเก็บประจุ และอาจมีปัญหาเสถียรภาพเช่นเดียวกับแบบวงรอบเดี่ยวปกติ [8]

#### 2.5.2.4 มอดูเลเตอร์อันดับสูงแบบต่อเรียง (Cascade)

โครงสร้างแบบต่อเรียงแสดงในรูปที่ 2.13ก ประกอบไปด้วยมอดูเลเตอร์ย่อยหลายชุดต่อเรียงกัน ซึ่งแต่ละชุดเป็นมอดูเลเตอร์ที่มีอันดับไม่เกินสองซึ่งมีเสถียรภาพเสมอ มอดูเลเตอร์ขั้นแรกทำการแปลงสัญญาณขาเข้าให้อยู่ในรูปข้อมูลดิจิทัล  $Y_1$  ในขณะที่เดียวกัน มอดูเลเตอร์ขั้นถัดไปทำการแปลงสัญญาณรบกวนควอนไทซ์จากขั้นที่อยู่ก่อนหน้า  $E_1, E_2, \dots, E_{N-1}$  ให้อยู่ในรูปข้อมูลดิจิทัล  $Y_1, Y_2, \dots, Y_{N-1}$  อีกเช่นกัน ซึ่งสามารถแสดงได้ดังสมการที่ 2.12ก และ 2.12ข

$$Y_1 = X \cdot z^{-L_1} + E_1(1 - z^{-1})^{L_1} \quad (2.12ก)$$

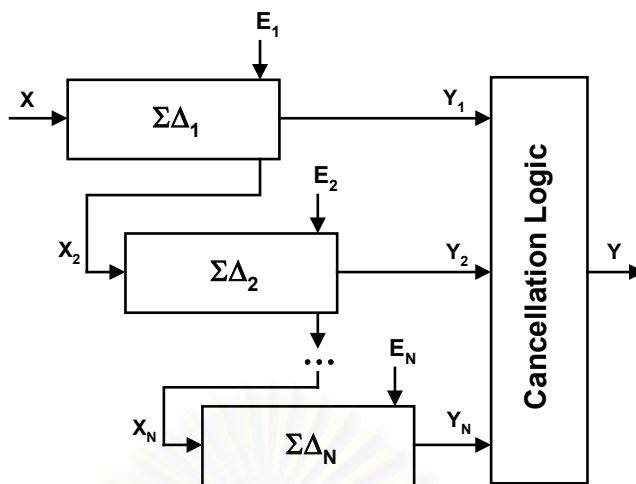
$$Y_i = E_{i-1} \cdot z^{-L_i} + E_i(1 - z^{-1})^{L_i} \quad \text{โดยที่ } 2 < i < N \quad (2.12ข)$$

โดยที่  $N$  เป็นจำนวนมอดูเลเตอร์ย่อย และ  $L_i$  เป็นอันดับของมอดูเลเตอร์ย่อยที่  $i$

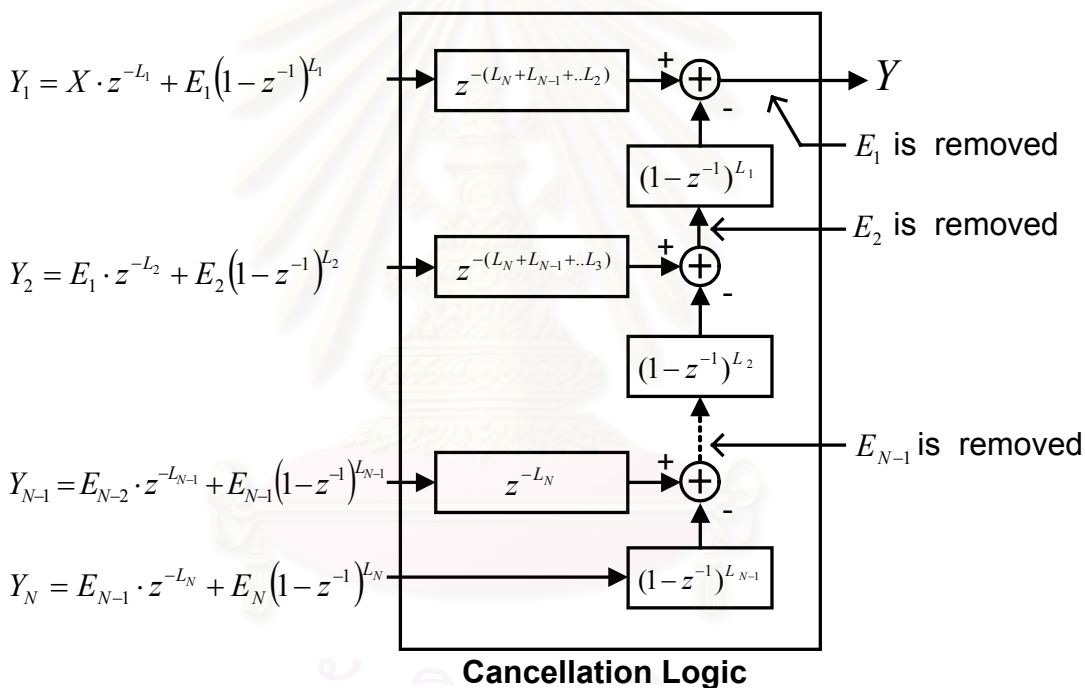
ค่าดิจิทัลที่ได้จากมอดูเลเตอร์แต่ละขั้นถูกส่งเข้าไปในวงจรรบกวนหักล้าง (Cancellation logic) เพื่อกำจัดสัญญาณรบกวนควอนไทซ์จากขั้นก่อนหน้าออกดังแสดงในรูปที่ 2.13ข ให้เหลือเป็นสัญญาณที่ประกอบด้วยสัญญาณขาเข้าและสัญญาณรบกวนควอนไทซ์จากมอดูเลเตอร์ขั้นสุดท้ายที่ถูกจัดสรรฐานด้วยอันดับเท่ากับอันดับรวมของทุกมอดูเลเตอร์ดังแสดงในสมการที่ 2.13 เพื่อนำไปกรองที่ตัวกรองเดซิเมชันต่อไป [12]

$$Y = X \cdot z^{-\sum_i^N L_i} + E_N(1 - z^{-1})^{\sum_i^N L_i} \quad (2.13)$$

โครงสร้างนี้มีข้อดีคือ สามารถให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงที่อัตราการสุ่มตัวอย่างเกินค่าต่ำ มีเสถียรภาพแน่นอน และช่วงสัญญาณขาเข้ามีค่าขนาดใหญ่กว่าแบบวงรอบเดี่ยวอันดับสูง ส่วนข้อเสียคือ มอดูเลเตอร์มีความไวต่อความไม่แน่นอนของวงจรรวมแอนะล็อกสูง เนื่องจากความไม่เข้าคู่ของค่าสัมประสิทธิ์ในภาคแอนะล็อกและภาคดิจิทัลทำให้การหักล้างสัญญาณรบกวนควอนไทซ์จากขั้นก่อนหน้าออกไม่หมด และต้องมีภาคดิจิทัลที่ซับซ้อนมาร่วมประมวลผล



รูปที่ 2.13ก มอดูเลเตอร์แบบต่อเรียง



รูปที่ 2.13ข วงจรตรรกะหักล้างสัญญาณรบกวนควอนไทซ์ (Cancellation Logic)

2.5.3 การใช้ตัวควอนไทซ์หลายบิต

การใช้ตัวควอนไทซ์หลายบิตแทนที่ตัวควอนไทซ์บิตเดียวในตัวมอดูเลเตอร์ทำให้ขนาดของสัญญาณรบกวนควอนไทซ์มีขนาดเล็กลงเนื่องจากขนาดขั้นในการควอนไทซ์มีขนาดเล็กลง ส่งผลให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนของตัวแปลงมีค่าเพิ่ม 6 เดซิเบลต่อ 1 บิตของตัวควอนไทซ์ที่เพิ่มขึ้น แม้ว่ากระบวนการสุ่มเกินสามารถเพิ่มอัตราส่วนสัญญาณต่อสัญญาณรบกวนได้ แต่ไม่ได้ปรับปรุงความเป็นเชิงเส้นของตัวแปลง [8] ดังนั้นในการใช้ตัวควอนไทซ์หลายบิตในการป้อนกลับ ข้อกำหนดด้านความเป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อก (DAC)

ย่อยที่ใช้ในการบ่อนกลับต้องมีค่าเท่ากับความเป็นเชิงเส้นของตัวแปลงทั้งระบบ เพื่อให้ข้อมูลจากการแปลงมีความเพี้ยน (Distortion) ต่ำในระดับความละเอียดของตัวแปลงทั้งระบบ เนื่องจากความผิดพลาดอันเกิดจากค่าแอนะล็อกที่ผิดพลาดไปจากตำแหน่งปกติของตัวแปลงดิจิทัลเป็นแอนะล็อกย่อยเนื่องจากความไม่เป็นเชิงเส้นจะเข้าไปปนรวมกับสัญญาณขาเข้าของมอดูเลเตอร์ ทำให้มอดูเลเตอร์นั้นเสมือนว่าสัญญาณขาเข้าที่มีความเพี้ยนเข้าไป ซึ่งจะทำให้ค่าที่ส่งออกไปยังภาคดิจิทัลมีความเพี้ยนตามไปด้วย ทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยน (Signal-to-Noise-plus-Distortion Ratio : SNDR) มีค่าต่ำลง ดังนั้นมอดูเลเตอร์ชนิดเดลต้าซิกมาโดยทั่วไปจึงนิยมใช้ตัวแปลงดิจิทัลเป็นแอนะล็อกหนึ่งบิตในการบ่อนกลับ เพราะมีความเป็นเชิงเส้นอยู่ในตัวเอง เนื่องจากระดับแรงดันขาออกมีเพียงสองระดับเท่านั้น ในการใช้ตัวควอนไทซ์หลายบิตในโครงสร้างมอดูเลเตอร์วงรอบเดียว ตัวแปลงดิจิทัลเป็นแอนะล็อกบ่อนกลับต้องมีความเป็นเชิงเส้นเท่ากับความสามารถในการวัดของตัวมอดูเลเตอร์ทั้งระบบ แต่ถ้าใช้ตัวควอนไทซ์หลายบิตในโครงสร้างแบบต่อเรียงชั้นหลัง ๆ แล้ว ข้อกำหนดด้านความเป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกบ่อนกลับจะลดลงเหลือเท่ากับความแม่นยำในการวัดในระดับชั้นนั้น ๆ

## 2.6 ข้อพิจารณาในการออกแบบระบบ

### 2.6.1 เสถียรภาพของระบบ

ในมอดูเลเตอร์วงรอบเดียว ที่มีอันดับการมอดูเลชันมากกว่าสองอาจจะมีปัญหา ด้านเสถียรภาพได้ วิธีการหนึ่งที่อาจจะตรวจสอบได้โดยพิจารณาตัวควอนไทซ์เป็นอัตราขยายที่แปรเปลี่ยนค่าได้ และใช้วิธีการทางเดินรากตรวจสอบเสถียรภาพของระบบ เทียบกับวงกลมหนึ่งหน่วย [13]

### 2.6.2 อัตราขยายวงรอบเปิดที่ไม่เป็นอนันต์ของออปแอมป์ (Finite opamp gain)

อัตราขยายวงรอบเปิดที่ไม่เป็นอนันต์ของออปแอมป์ทำให้ตัวอินทิเกรตไม่สามารถรวมค่าที่เก็บไว้ในอดีตกับค่าสัญญาณขาเข้าในเวลาปัจจุบันได้อย่างถูกต้อง [10] ในทางอาณาจักร Z อัตราขยายวงรอบเปิดที่ไม่เป็นอนันต์ทำให้ตำแหน่งศูนย์ในฟังก์ชันถ่ายโอนสัญญาณรบกวนเลื่อนออกจากขอบวงกลมหนึ่งหน่วยเข้าใกล้จุดกำเนิด ซึ่งส่งผลให้การลดทอนสัญญาณรบกวนควอนไทซ์ในแบนด์วิดท์สัญญาณลดลง ในระบบวงรอบเดียวผลกระทบจากอัตราขยายวงรอบเปิดของออปแอมป์มีน้อยกว่าในระบบต่อเรียง เพราะในระบบต่อเรียง ตัวอินทิเกรตต้องส่งผลการอินทิเกรตไปยังมอดูเลเตอร์ในชั้นถัดไปเพื่อวัดสัญญาณรบกวนควอนไทซ์ออกมาในรูปแบบข้อมูลดิจิทัลเพื่อนำไปหักล้างในภาคดิจิทัล ค่าแอนะล็อกที่ส่งไปนั้นต้องมีความแม่นยำในระดับ

ความสามารถในการวัดของมอดูเลเตอร์ขั้นถัดไป ดังนั้นอัตราขยายวงรอบเปิดของออปแอมป์ต้องมีค่ามากพอที่ทำให้ตัวอินทิเกรตเข้าที่ได้อย่างถูกต้องในระดับความสามารถในการวัดของมอดูเลเตอร์ขั้นถัดไป

### 2.6.3 ความผิดพลาดของอัตราขยายของตัวอินทิเกรต

ความผิดพลาดของอัตราขยายของตัวอินทิเกรตอันเกิดจากความผิดพลาดของค่าตัวเก็บประจุที่กำหนดอัตราขยายในวงจรสวิตช์ตัวเก็บประจุทำให้ฟังก์ชันอินทรีย์ของสัญญาณเข้าและสัญญาณรบกวนผิดไปจากที่กำหนด ส่งผลให้ให้การลดทอนสัญญาณรบกวนในแบนด์วิดท์ของสัญญาณลดลง ดังนั้นอัตราส่วนสัญญาณต่อสัญญาณรบกวนจึงลดลง ในระบบวงรอบเดี่ยว ผลกระทบจากความผิดพลาดดังกล่าวมีน้อยกว่าในระบบต่อเรียง เพราะในระบบต่อเรียง อัตราขยายจะผิดพลาดได้เล็กน้อยเท่านั้นเพื่อให้ในมอดูเลเตอร์ขั้นถัดไปวัดสัญญาณรบกวนควอนไทซ์จากขั้นก่อนหน้า และหักล้างสัญญาณรบกวนในภาคดิจิทัลได้อย่างถูกต้อง

### 2.6.4 การเข้าที่ไม่สมบูรณ์ของตัวอินทิเกรต (Incomplete settling)

การเข้าที่ไม่สมบูรณ์ของตัวอินทิเกรตอันเป็นผลมาจาก แบนด์วิดท์และอัตราสแควร์ของออปแอมป์มีค่าจำกัดและเวลาในการเข้าที่มีค่าจำกัด ทำให้การรวมค่าในตัวอินทิเกรตผิดพลาดไปเสมือนตัวอินทิเกรตกำลังสุ่มตัวอย่างสัญญาณที่ผิดไปจากความเป็นจริง ซึ่งจะทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนมีค่าลดลง ดังนั้นต้องออกแบบให้ออปแอมป์มีความเร็วในการอินทิเกรตมากพอจนการเข้าที่ของผลการอินทิเกรตอยู่ในระดับที่ถูกต้องจนไม่ส่งผลให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนของระบบลดลงไป แบบจำลองของการเข้าที่ไม่สมบูรณ์ซึ่งรวมผลของ อัตราขยายวงรอบเปิดของ ออปแอมป์ แบนด์วิดท์ของตัวอินทิเกรต อัตราสแควร์ของออปแอมป์ และเวลาเข้าที่มีค่าจำกัด จะแสดงในหัวข้อ 3.3.1

### 2.6.5 สัญญาณรบกวนอิเล็กทรอนิกส์

ตัวอินทิเกรตในตัวมอดูเลเตอร์ชนิดเดลต้าซิกม่าสร้างจากตัวอินทิเกรตชนิดสวิตช์ตัวเก็บประจุซึ่งเป็นวงจรแอนะล็อกที่มีสัญญาณรบกวนอิเล็กทรอนิกส์อยู่โดยปกติตามธรรมชาติ สัญญาณรบกวนอิเล็กทรอนิกส์นี้ส่งผลให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนของข้อมูลดิจิทัลขาออกลดลง สัญญาณรบกวนจากตัวอินทิเกรตแต่ละตัวส่งผลต่อสัญญาณรบกวนรวมในข้อมูลขาออกไม่เท่ากัน โดยสัญญาณรบกวนในตัวอินทิเกรตขั้นต้นตอนหลังส่งผลต่อสัญญาณรบกวนรวมลดลงเป็นลำดับ เนื่องจากสัญญาณรบกวนของตัวอินทิเกรตแต่ละตัวจะถูกจัดสรรฐานไปด้วยอันดับเท่ากับจำนวนตัวอินทิเกรตที่อยู่ก่อนหน้า การกำหนดขนาดของสัญญาณรบกวนในตัวอินทิ



เกรตแต่ละตัวอย่างเหมาะสมสามารถทำให้การกินกำลังงานรวมของระบบมีค่าต่ำสุดได้ ซึ่งจะแสดงรายละเอียดในหัวข้อที่ 3.4

### 2.6.6 ความไม่เป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกป้อนกลับ [8]

ในกรณีใช้ตัวแปลงดิจิทัลเป็นแอนะล็อกหลายบิตในการป้อนกลับ ความผิดพลาดของค่าแอนะล็อกที่ผิดพลาดไปจากตำแหน่งปกติ เนื่องจากตัวแปลงดิจิทัลเป็นแอนะล็อกมีความไม่เป็นเชิงเส้น จะเข้าไปปนกับสัญญาณขาเข้าของมอดูเลเตอร์นั้นทำให้ข้อมูลดิจิทัลที่ได้จากการแปลงมีองค์ประกอบของสัญญาณขาเข้าที่ผิดพลาดไปดังได้กล่าวไปแล้วในหัวข้อ 2.5.3 ความไม่เป็นเชิงเส้นนี้จะทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยนมีค่าลดลง

## 2.7 สรุป

ในบทนี้ได้กล่าวถึง ทฤษฎีพื้นฐาน แนวความคิด และหลักการสำคัญ ของตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกม่า รวมไปถึงข้อพิจารณาต่าง ๆ ในการออกแบบ

หลักการสำคัญของการมอดูเลชันแบบเดลต้าซิกม่า คือการจัดสัดส่วนของสเปกตรัมของสัญญาณรบกวนควอนไทซ์ใหม่ โดยทำให้กำลังงานสัญญาณรบกวนในแบนด์วิดท์สัญญาณมีขนาดลดลง การแปลงสัญญาณแอนะล็อกเป็นดิจิทัลโดยอาศัยหลักการสุ่มเกินและการมอดูเลชันแบบเดลต้าซิกม่า ระบบต้องประกอบด้วย ตัวมอดูเลเตอร์ซึ่งเป็นวงจรแอนะล็อกที่ทำการแปลงสัญญาณแอนะล็อกให้มาเป็นข้อมูลดิจิทัลอัตราข้อมูลสูงที่มีจำนวนบิตต่ำ ข้อมูลดิจิทัลดังกล่าวจะถูกป้อนเข้าสู่ตัวกรองดิจิทัลเพื่อทำการกรองเอาสัญญาณในแบนด์วิดท์ที่ต้องการออกมา ตัวกรองดิจิทัลโดยปกติจะมีสองส่วน คือ ตัวกรองเดซิเมชันทำหน้าที่กำจัดสัญญาณรบกวนควอนไทซ์ที่ถูกจัดสัดส่วนไว้ก่อนและลดอัตราข้อมูลลง และตัวกรองเอฟโฟลด์ทำหน้าที่ชดเชยการลดทอนในแบนด์วิดท์สัญญาณอันเนื่องมาจากตัวกรองเดซิเมชัน

เทคนิคสำคัญที่ช่วยเพิ่มอัตราส่วนสัญญาณต่อสัญญาณรบกวนของตัวแปลงได้แก่ การใช้มอดูเลเตอร์อันดับสูงซึ่งทำให้การลดทอนสัญญาณรบกวนควอนไทซ์มากขึ้น และการเพิ่มจำนวนบิตของตัวควอนไทซ์ซึ่งทำให้ขนาดสัญญาณรบกวนควอนไทซ์ลดลง อันดับการทำมอดูเลชันที่มากขึ้นทำให้กำลังงานสัญญาณรบกวนในแบนด์วิดท์สัญญาณลดลงมากขึ้นตามไปด้วย การใช้มอดูเลเตอร์อันดับสูงสามารถสร้างได้ทั้งในรูปแบบโครงสร้างแบบวงรอบเดี่ยว และโครงสร้างต่อเรียง อย่างไรก็ตาม ในการใช้มอดูเลเตอร์อันดับสูงจะต้องพิจารณาและจัดการกับปัญหาด้านเสถียรภาพสำหรับมอดูเลเตอร์โครงสร้างแบบวงรอบเดี่ยว และปัญหาเรื่องความไม่เข้าคู่ในโครงสร้างแบบต่อเรียง ส่วนการใช้ตัวควอนไทซ์หลายบิตจะต้องพิจารณาและจัดการกับ



ปัญหาด้านความไม่เป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกป้อนกลับ ข้อพิจารณาในการออกแบบที่สำคัญ ได้แก่ เสถียรภาพ อัตราขยายวงรอบเปิดที่ไม่เป็นอนันต์ของออปแอมป์ ความผิดพลาดของอัตราขยายของตัวอินทิเกรต การเข้าที่ไม่สมบูรณ์ของตัวอินทิเกรต สัญญาณรบกวนอิเล็กทรอนิกส์ และความไม่เป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกป้อนกลับ



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

### บทที่ 3

#### สถาปัตยกรรมของตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกม่า

ในการออกแบบเพื่อให้ตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกม่ากินกำลังงานต่ำ จำเป็นต้องพิจารณาถึงความไม่เป็นอุดมคติต่าง ๆ เพื่อหาโครงสร้างและพารามิเตอร์ต่าง ๆ ของระบบที่มีค่าเหมาะสม ขั้นตอนการออกแบบแบ่งออกได้เป็นสองขั้น คือ การออกแบบในระดับสถาปัตยกรรมของระบบและการออกแบบระดับวงจร ในบทนี้จะอธิบายการออกแบบสถาปัตยกรรมซึ่งเป็นเกี่ยวข้องกับ การเลือกโครงสร้างของมอดูเลเตอร์ให้เหมาะสมตามข้อกำหนด เพื่อให้มีการกินกำลังงานต่ำและมีความเป็นไปได้ในการสังเคราะห์วงจรรวม การเลือกค่าสัมประสิทธิ์ระหว่างขั้นตอนและค่าอัตราขยายในตัวอินทิเกรตแต่ละตัวที่เหมาะสม การกำหนดลักษณะโครงสร้างทาง วงจรของตัวมอดูเลเตอร์ การกำหนดข้อกำหนดขององค์ประกอบย่อยแต่ละส่วนในระบบด้วยการจำลองเชิงพฤติกรรม รวมไปถึงการออกแบบที่ไม่ซิงกำลังงานโดยการจัดสรรกำลังงานสัญญาณรบกวนในตัวอินทิเกรตแต่ละขั้นตอนอย่างเหมาะสม ข้อกำหนดจากทุกขั้นตอนข้างต้นดังกล่าวจะถูกนำไปใช้ในการออกแบบในระดับวงจร ซึ่งจะกล่าวในบทที่ 4 ต่อไป

#### 3.1 โครงสร้างมอดูเลเตอร์ชนิดเดลต้าซิกม่า

สำหรับมอดูเลเตอร์อุดมคติ อันดับที่  $L$  ที่มีอัตราการสุ่มตัวอย่างเกิน  $OSR$  เท่า และใช้ตัวควอนไทซ์ชนิด  $N$  บิตในขั้นสุดท้ายของมอดูเลเตอร์ จะมีอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์สูงสุดเป็นดังสมการที่ 3.1

$$SNR_{peak} = \frac{3\pi}{2} (2^N - 1)^2 (2L + 1) \left( \frac{OSR}{\pi} \right)^{2L+1} \quad (3.1)$$

สำหรับตัวแปลงแอนะล็อกเป็นดิจิทัลความเร็วสูงทั่วไปหรือความละเอียดสูงที่อาศัยหลักการสุ่มตัวอย่างเกิน ความเร็วสูงสุดในการสวิตช์ของวงจรสวิตช์ตัวเก็บประจุในตัวแปลงจะถูกจำกัดโดยความสามารถของเทคโนโลยี เพื่อให้ได้อัตราข้อมูลขาออกสูง สำหรับตัวแปลงที่อาศัยหลักการสุ่มตัวอย่างเกินและการมอดูเลชันแบบเดลต้าซิกม่าแล้ว มอดูเลเตอร์ต้องทำงานที่ความถี่สัญญาณนาฬิกาที่สูง และอัตราการสุ่มตัวอย่างเกินต้องมีค่าต่ำ ตามสมการที่ 3.1 จะเห็นได้ว่าเมื่อ อัตราการสุ่มตัวอย่างเกินมีค่าต่ำจะทำให้ ความละเอียดของข้อมูลซึ่งวัดอยู่ในรูปอัตราส่วนสัญญาณต่อสัญญาณรบกวน มีค่าต่ำลงตามไปด้วย ดังนั้น การเพิ่มอันดับของมอดูเลเตอร์  $L$  รวมทั้งจำนวนบิตของตัวควอนไทซ์  $N$  จึงเป็นทางเลือกในการเพิ่มความละเอียดของข้อมูลที่แปลงได้

ในการใช้มอดูเลเตอร์อันดับสูงเพื่อเพิ่มความละเอียดในการแปลงสัญญาณ สามารถทำได้โดยทั้ง การใช้โครงสร้างวงรอบเดียว และโครงสร้างต่อเรียง สำหรับมอดูเลเตอร์โครงสร้างวงรอบเดียวที่มีอันดับมากกว่าสอง เสถียรภาพของมอดูเลเตอร์จะมีลักษณะเป็นเสถียรภาพอย่างมีเงื่อนไข คือ มอดูเลเตอร์จะทำงานอย่างมีเสถียรภาพเมื่อ ขนาดสัญญาณขาเข้า และค่าเริ่มต้นของต่าง ๆ ของมอดูเลเตอร์อยู่ในพิสัยที่กำหนด ดังนั้นจึงจำเป็นต้องตรวจสอบเสถียรภาพของระบบอย่างละเอียด [9] ไม่ให้มอดูเลเตอร์สามารถตกอยู่ในภาวะไม่มีเสถียรภาพได้ เพราะเมื่อมอดูเลเตอร์ตกอยู่ในสภาวะไม่มีเสถียรภาพ มอดูเลเตอร์จะไม่สามารถแปลงสัญญาณใด ๆ ออกมาได้ งานวิจัยบางงาน [4][14][15] ได้แสดงให้เห็นว่า สามารถใช้มอดูเลเตอร์โครงสร้างวงรอบเดียวร่วมกับตัวควอนไทซ์หลายบิตและการเลือกสัมประสิทธิ์อย่างเหมาะสม เพื่อปรับปรุงเสถียรภาพของมอดูเลเตอร์ อย่างไรก็ตาม การสร้างมอดูเลเตอร์อันดับสูงยังสามารถสร้างได้จาก การนำมอดูเลเตอร์ที่มีอันดับไม่เกินสองซึ่งไม่มีปัญหาเรื่องเสถียรภาพมาต่อเรียงกัน ดังได้กล่าวไปในหัวข้อ 2.5.2.4 แต่โครงสร้างต่อเรียงนี้จะมีข้อเสียในเรื่องของความไวของสัมประสิทธิ์และอัตราขยายของตัวอินทิเกรตของมอดูเลเตอร์ในขั้นตอนต้นและความไวจะเพิ่มขึ้นตามอันดับของมอดูเลเตอร์ [2] และในบางครั้งต้องมีการลดทอนขนาดสัญญาณก่อนป้อนเข้าสู่ชั้นหลัง ๆ เพื่อป้องกันมอดูเลเตอร์ชั้นหลังรับขนาดสัญญาณใหญ่เกินขนาดแรงดันอ้างอิงหรือเกิดการโอเวอร์โวลด์ ทำให้ต้องแก้ผลการลดทอนดังกล่าวด้วยการขยายกลับในภาคดิจิทัลซึ่งจะทำให้สัญญาณรบกวนควอนไทซ์จากตัวควอนไทซ์ในชั้นหลังถูกขยายตามผลการแก้ดังกล่าว ส่งผลให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ลดลงไปจากสมการที่ 3.1

สำหรับการใช้ตัวควอนไทซ์หลายบิตในขั้นตอนสุดท้ายสามารถช่วยเพิ่มอัตราส่วนสัญญาณต่อสัญญาณรบกวนได้ในอัตรา 6 dB ต่อ 1 บิตของตัวควอนไทซ์ที่เพิ่มขึ้น เพราะขนาดสัญญาณรบกวนควอนไทซ์มีขนาดเล็กลงตามขนาดของขั้นของตัวควอนไทซ์ แต่การใช้ตัวควอนไทซ์หลายบิตในโครงสร้างวงรอบเดียว จะมีผลกระทบต่ออัตราส่วนสัญญาณต่อสัญญาณรบกวนเนื่องจากความไม่เป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกหลายบิตที่ใช้ป้อนกลับในมอดูเลเตอร์ ข้อกำหนดด้านความเที่ยงตรงของค่าในแต่ละขั้นของตัวแปลงดิจิทัลเป็นแอนะล็อกหลายบิตที่ใช้ในโครงสร้างวงรอบเดียวจะต้องแม่นยำในระดับความสามารถในการวัดของมอดูเลเตอร์ทั้งระบบ ดังนั้นจึงเป็นการยากในสร้างตัวแปลงดิจิทัลเป็นแอนะล็อกหลายบิตความเที่ยงตรงสูงเพื่อใช้ในโครงสร้างวงรอบเดียว ข้อกำหนดด้านความไม่เป็นเชิงเส้นนี้จะยากขึ้นเมื่ออัตราการสุ่มตัวอย่างเกินมีค่าต่ำ ได้มีงานวิจัยบางงาน [14][16] ได้เสนอวิธีการปรับปรุงความไม่เป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกหลายบิตอันเป็นผลจากกระบวนการผลิตหลายวิธีการด้วยกัน วิธีการ [14] ใช้การปรับเทียบ (Calibrate) ตัวแปลงดิจิทัลเป็นแอนะล็อกในตอนเริ่ม

ต้นหลังจากได้รับกำลังงานจากแหล่งจ่ายซึ่งสามารถปรับไปได้ความละเอียดถึง 14 บิต แต่วิธีการนี้มีข้อเสียเมื่ออุณหภูมิของมอดูเลเตอร์เปลี่ยนไป ทำให้ความเป็นเชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกเปลี่ยนไป งานวิจัย [16] ได้ใช้วิธีการเข้าคู่องค์ประกอบเชิงพลวัต (Dynamic element matching) ซึ่งตัวเก็บประจุที่ใช้ในการป้อนกลับแรงดันในตัวแปลงดิจิทัลเป็นแอนะล็อก จะถูกเลือกโดยขึ้นอยู่กับค่ารหัสดิจิทัลในปัจจุบันและค่ารหัสดิจิทัลในอดีต เพื่อที่จะแปลงความผิดพลาดเนื่องจากความไม่เข้าคู่ของตัวเก็บประจุให้มีสภาพเป็นสัญญาณรบกวนของระบบซึ่งสามารถกรองทิ้งไปได้ ทำให้ตัวแปลงดิจิทัลเป็นแอนะล็อกมีความเป็นเชิงเส้นดีขึ้นได้ แต่การนำเทคนิคดังกล่าวมาใช้ทำให้ต้องใช้ตัวเก็บประจุจำนวนมากเพื่อเป็นตัวเผื่อเลือก ซึ่งทำให้ต้องเสียพื้นที่ผลึก (Die area) เป็นจำนวนมาก โดยเฉพาะอย่างยิ่งในมอดูเลเตอร์ที่มีตัวเก็บประจุค่าใหญ่ในตัวอินทิเกรตขั้นตอนแรก ซึ่งจะพบได้ในตัวแปลงชนิดเดลต้าซิกมาที่มีพิสัยพลวัตสูงและมีอัตราสุ่มตัวอย่างเกินค่า

อย่างไรก็ตามการใช้ตัวควอนไทซ์หลายบิตในมอดูเลเตอร์ขั้นสุดท้ายในโครงสร้างแบบต่อเรียงทำให้ข้อกำหนดด้านความไม่เชิงเส้นของตัวแปลงดิจิทัลเป็นแอนะล็อกที่ใช้ป้อนกลับง่ายขึ้น เนื่องจากมอดูเลเตอร์ย่อยในขั้นสุดท้ายของระบบมีข้อกำหนดในด้านความแม่นยำในการแปลงสัญญาณลดลงและสามารถทนต่อสัญญาณรบกวนที่มีขนาดใหญ่มากขึ้นได้ เพราะสัญญาณขาเข้าของมอดูเลเตอร์ขั้นสุดท้ายและสัญญาณรบกวนที่ผสมเข้ากับสัญญาณขาเข้าของมอดูเลเตอร์ขั้นสุดท้ายนี้จะถูกจัดสรรฐานไปด้วยอันดับที่มีค่าเท่ากับจำนวนตัวอินทิเกรตที่อยู่ก่อนหน้าจุดที่มีการผสมสัญญาณระหว่างสัญญาณจากตัวแปลงดิจิทัลเป็นแอนะล็อกป้อนกลับและสัญญาณขาเข้าของมอดูเลเตอร์ ซึ่งสัญญาณจากจุดดังกล่าวจะส่งผลไปยังข้อมูลดิจิทัลขาออกน้อยมาก

เพื่อหลีกเลี่ยงปัญหาด้านเสถียรภาพที่อาจจะขึ้นในมอดูเลเตอร์อันดับสูง และข้อกำหนดที่ยากของตัวแปลงดิจิทัลเป็นแอนะล็อกป้อนกลับในโครงสร้างแบบวงรอบเดี่ยว จึงได้เลือกโครงสร้างต่อเรียงในการออกแบบสำหรับวิทยานิพนธ์นี้ เพื่อให้ตัวแปลงผ่านข้อกำหนดที่เสนอไว้คือ ได้ความละเอียดข้อมูล 16 บิต และสามารถแปลงสัญญาณได้ในแบนด์วิดท์อย่างต่ำที่ 250 kHz จึงกำหนดให้ข้อกำหนดในการออกแบบสูงกว่าที่เสนอไว้เป็นความละเอียดของข้อมูล 16 บิต และสามารถแปลงสัญญาณได้ในแบนด์วิดท์ 500 kHz หรืออัตราในควิส์ต์ที่ 1 MHz และเพื่อให้บรรลุตามเป้าหมายการออกแบบในด้านความละเอียดจึงกำหนดให้มอดูเลเตอร์มีอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ในระดับ 17 บิต หรือ 104 เดซิเบล ซึ่งเป็นการเผื่อ 1 บิตไว้สำหรับ สัญญาณรบกวนอิเล็กทรอนิกส์ และความไม่แน่นอนขององค์ประกอบต่าง ๆ โครงสร้างต่อเรียงที่สามารถรองรับข้อกำหนดของตัวแปลงดังกล่าวจำแนกตามอัตราสุ่มตัวอย่างเกิน แสดงได้ดังตารางที่ 3.1

ตารางที่ 3.1 มอดูเลเตอร์โครงสร้างต่อเรียงที่ให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ในระดับ 104 เดซิเบล จำแนกตามอัตราการสุ่มเกิน

อัตราการสุ่มตัวอย่างเกิน (OSR)	โครงสร้างที่เป็นไปได้
16X	2-2-2 - 5bit
24X	2-1-1 - 5bit, 2-2 - 5bit
32X	2-1-1 - 3bit, 2-2 - 3bit
48X	2-1-1 - 1bit, 2-2 - 1bit
64X	2-1 - 3bit

โครงสร้างในตารางที่ 3.1 สามารถให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ในระดับเดียวกันแต่ค่าอัตราสุ่มเกินและอันดับของมอดูเลเตอร์ที่ต่างกันมีผลให้การกินกำลังงานรวมไม่เท่ากันและข้อกำหนดด้านการเข้าคู่ต่างกันไป

จากงานวิจัย [2] เสนอว่าการกินกำลังงานของตัวอินทิเกรตตัวแรกซึ่งเป็นตัวอินทิเกรตที่กินกำลังงานมากที่สุดในมอดูเลเตอร์ที่ได้รับการจัดสรรภาระสัญญาณรบกวนอย่างเหมาะสม จะแปรผันตามพารามิเตอร์ต่าง ๆ ของระบบดังสมการที่ 3.2

$$P \propto \left[ \frac{(DR)kTf_N}{V_{dd}} + V_{dd} \cdot C_P \cdot OSR \cdot f_N \right] \frac{1}{1 - OSR \cdot f_N \cdot t_{CLK}} \quad (3.2)$$

โดยที่  $DR$  คือ พิสัยพลวัต (Dynamic Range) ของตัวแปลง  
 $k$  คือ ค่าคงที่โบลล์มาน (Boltzmann's Constant)  
 $T$  คือ อุณหภูมิในหน่วย เคลวิน  
 $f_N$  คือ ความถี่ในควิสิตซ์ของตัวแปลง  
 $C_P$  คือ ความจุไฟฟ้าปรสิตที่ขาเข้าของออปแอมป์ในตัวอินทิเกรต  
 $t_{CLK}$  คือ เวลารวมของช่วงเวลาขาขึ้น ขาลง และช่วงเวลาไร้การเหลื่อมในหนึ่งคาบสัญญาณนาฬิกาของวงจรสวิตช์ตัวเก็บประจุ

สำหรับตัวแปลงที่มีข้อกำหนด ด้านพิสัยพลวัต  $DR$  ความถี่ในควิสิตซ์ของตัวแปลง  $f_N$  ที่เท่ากันแล้ว จากสมการที่ 3.2 เห็นได้ว่าเมื่ออัตราสุ่มตัวอย่างเกินมีค่าเพิ่มขึ้นจะทำการกินกำลังงานของตัวอินทิเกรตตัวแรกมีค่าเพิ่มขึ้นด้วย ดังนั้นเพื่อให้มอดูเลเตอร์มีการกินกำลังต่ำ จึงต้องเลือกใช้อัตราการสุ่มเกินที่มีค่าต่ำ โดยกำหนดให้เวลารวมของช่วงเวลาขาขึ้น ขาลง และช่วงเวลาไร้การเหลื่อม  $t_{CLK}$  จะมีค่าคงที่ค่าหนึ่งโดยประมาณ ภายใต้เทคโนโลยีการผลิตวงจรรวมเดียวกัน ที่เป็นดังนี้เพราะว่า เวลาในหนึ่งคาบสัญญาณนาฬิกาส่วนหนึ่งต้องสูญเสียไปกับช่วง



เวลา  $t_{CLK}$  ดังนั้นสัดส่วนระหว่างเวลาที่ตัวอินทิเกรตใช้ในการเข้าที่กับเวลาหนึ่งคาบสัญญาณนาฬิกาจะลดลงอย่างรวดเร็วเมื่อความถี่สัญญาณนาฬิกามีค่าเพิ่มขึ้นตามอัตราการสุ่มเกินที่เพิ่มขึ้น ในขณะที่ตัวอินทิเกรตต้องเข้าที่ให้ได้ตามกำหนดภายในเวลาที่ลดลง ด้วยเหตุนี้การกินกำลังงานของตัวอินทิเกรตจึงเพิ่มขึ้นอย่างรวดเร็วเมื่ออัตราการสุ่มเกินมีค่าเพิ่มขึ้น

ในการเลือกอัตราการสุ่มเกิน นอกจากข้อพิจารณาในด้านการกินกำลังงานแล้ว โครงสร้างที่เลือกต้องมีขอบเขตความแปรปรวนของค่าอัตราขยายในมอดูเลเตอร์อยู่ในขอบเขตที่กระบวนการผลิตสามารถทำได้ โดยพิจารณามอดูเลเตอร์ระบบต่อเรียงตามรูปที่ 2.13ก อัตราขยายระหว่างชั้นจำเป็นต้องมีความแม่นยำสูง เพื่อให้การหักล้างของสัญญาณรบกวนควอนไทซ์ในชั้นก่อนหน้าเกิดขึ้นในภาคดิจิทัลได้หมด โดยปกติมอดูเลเตอร์ระบบต่อเรียงอันดับสูงนิยมใช้มอดูเลเตอร์ย่อยชั้นแรกเป็นมอดูเลเตอร์อันดับสอง เนื่องจากมีความไวของอัตราขยายในมอดูเลเตอร์น้อยกว่าระบบต่อเรียงที่ใช้มอดูเลเตอร์ย่อยชั้นแรกเป็นอันดับหนึ่ง เมื่อมีความไม่เข้าคู่ของอัตราขยายในภาคแอนะล็อกและภาคดิจิทัลเกิดขึ้นจะทำให้ข้อมูลดิจิทัลขาออกที่แปลงได้มีองค์ประกอบของสัญญาณรบกวน ควอนไทซ์จากชั้นต่าง ๆ ซึ่งกำจัดไม่หมดปนอยู่ดังแสดงในสมการที่ 3.3ก

$$Y = X \cdot z^{-\sum_i^N L_i} + \delta_{a1} E_1 (1 - z^{-1})^{L_1} + \delta_{a2} E_2 (1 - z^{-1})^{L_1 + L_2} + \dots + E_N (1 - z^{-1})^{\sum_i^N L_i} \quad (3.3ก)$$

โดยที่  $\delta_{ai}$  คือ ความผิดพลาดสัมพัทธ์ของอัตราขยายระหว่างชั้นที่  $i$  กับ  $i+1$

$E_i$  คือ สัญญาณรบกวนควอนไทซ์จากมอดูเลเตอร์ย่อยชั้นที่  $i$

$L_i$  คือ อันดับของมอดูเลเตอร์ย่อยที่  $i$

องค์ประกอบสัญญาณรบกวนที่กำจัดไม่หมดที่มีผลมากที่สุดคือสัญญาณรบกวนควอนไทซ์จากมอดูเลเตอร์ชั้นแรก  $E_1$  เนื่องจากถูกจัดอันดับไปด้วยอันดับที่สอง ในขณะที่สัญญาณรบกวนจากชั้นหลังถูกจัดอันดับไปด้วยอันดับที่มากกว่า ซึ่งสามารถเขียนปริมาณสัญญาณรบกวนที่เพิ่มขึ้น  $E_{add}$  ในอาณาจักร  $Z$  ได้เป็น

$$E_{add} \approx \delta_a (1 - z^{-1})^2 \cdot E_1 \quad (3.3ข)$$

โดย  $\delta_a$  คือ ความผิดพลาดสัมพัทธ์ของอัตราขยายระหว่างชั้นในภาคดิจิทัล  $a$  และภาคแอนะล็อก  $a^*$  ดังสมการที่ 3.3ค

$$a^* = a(1 + \delta_a) \quad (3.3ค)$$



ดังนั้นปริมาณกำลังงานสัญญาณรบกวนที่เพิ่มขึ้นในแบนด์วิดท์ของสัญญาณซึ่งสามารถหาได้จากสมการที่ 2.8 คือ

$$P_e = \delta_a^2 \frac{\Delta^2}{60} \frac{\pi^4}{OSR^5} \quad (3.3g)$$

ดังนั้นอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ที่มีผลจากความไม่เข้าคู่ของอัตราขยายระหว่างขั้นแสดงได้เป็น

$$SNR \approx \frac{\Delta^2 / 8}{\frac{\Delta^2 / 8}{SNR_{ideal}} + \delta_a^2 \frac{\Delta^2}{60} \frac{\pi^4}{OSR^5}} \quad (3.3จ)$$

**ตารางที่ 3.2** เปอร์เซ็นต์ความผิดพลาดของอัตราขยายระหว่างขั้นแรกทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนลดลง 1 เดซิเบลเป็น 103 เดซิเบล จำแนกตามอัตราการสุ่มตัวอย่างเกิน

อัตราการสุ่มตัวอย่างเกิน (OSR)	เปอร์เซ็นต์ความผิดพลาดของอัตราขยาย
16X	0.09
24X	0.25
32X	0.52
48X	1.42
64X	2.92

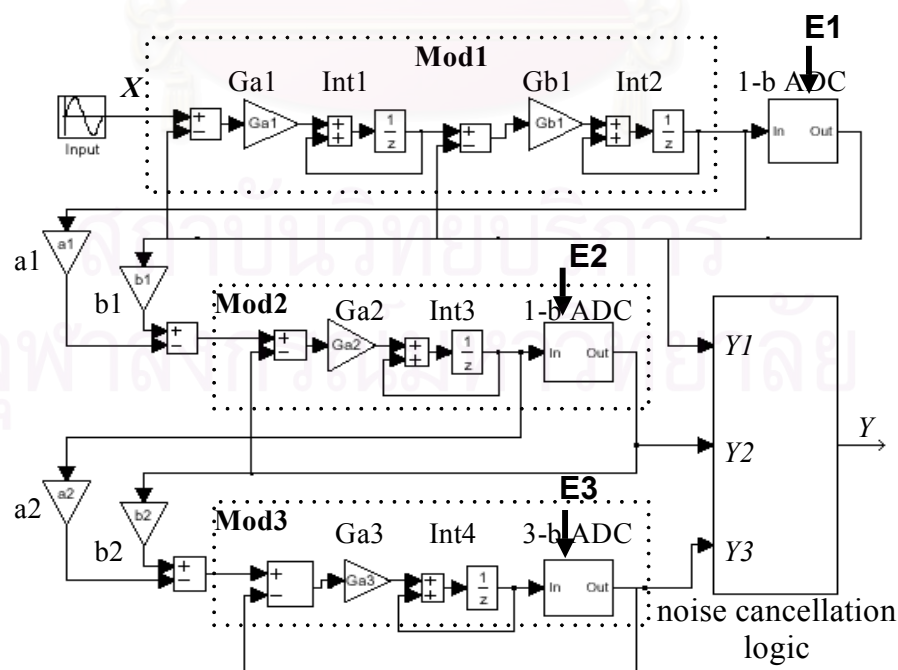
จากสมการที่ 3.3g โดยการกำหนด  $SNR_{ideal}$  ไว้ที่ 104 เดซิเบล ความผิดพลาดของอัตราขยายระหว่างขั้นที่ทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนลดลง 1 เดซิเบลเป็น 103 เดซิเบล ตามอัตราการสุ่มตัวอย่างเกิน แสดงในตารางที่ 3.2 จากตารางที่ 3.2 แสดงให้เห็นว่าความแม่นยำของอัตราขยายระหว่างขั้นจะมากขึ้นเมื่ออัตราสุ่มตัวอย่างมีค่าลดลง ในขณะที่ความเข้าคู่ขององค์ประกอบต่าง ๆ ในเทคโนโลยีวงจรรวมโดยทั่วไปอยู่ในระดับ 10 บิต หรือประมาณ 0.1% ดังนั้นอัตราการสุ่มตัวอย่างที่มีค่าเหมาะสมในแง่ความผิดพลาดของอัตราขยายจะมีค่าตั้งแต่ 24 เท่าขึ้นไป

ในวิทยานิพนธ์นี้เลือกใช้อัตราการสุ่มเกินที่ 32 เท่า เนื่องจากมีกำลังงานที่ต่ำ ในขณะที่ความผิดพลาดของอัตราขยายอยู่ในขอบเขตที่สร้างได้โดยไม่ยากจนเกินไป ดังนั้นมอดูเลเตอร์ต้องทำงานที่ความถี่ 32 MHz สำหรับอัตราในควิส์ต์ 1 MHz โครงสร้างของมอดูเลเตอร์ต่อเรียงที่เป็นไปได้ภายใต้การสุ่มเกินค่าดังกล่าวคือ โครงสร้างต่อเรียง 2-1-1 ที่มีตัวควอนไทซ์ 3 บิตใน

มอดูเลเตอร์ขั้นสุดท้าย หรือโครงสร้างต่อเรียง 2-2 ที่มีตัวควอนไทซ์ 3 บิตในมอดูเลเตอร์ขั้นสุดท้าย

จากการศึกษาโครงสร้างทั้งสองโดยการจำลองเชิงพฤติกรรมพบว่า ข้อกำหนดด้านความเป็นเชิงเส้นของตัวควอนไทซ์ 3 บิต ของโครงสร้าง 2-2 อยู่ในระดับ 12 บิต ในขณะที่ข้อกำหนดนี้ในโครงสร้าง 2-1-1 อยู่ในระดับ 9 บิต ดังนั้นโครงสร้าง 2-1-1 จึงมีความเหมาะสมมากกว่าในการสร้าง ในวิทยานิพนธ์นี้จึงเลือกมอดูเลเตอร์โครงสร้างต่อเรียง 2-1-1 ที่มีตัวควอนไทซ์ 3 บิตในขั้นสุดท้ายในการออกแบบ

ในรูปที่ 3.1 แสดงโครงสร้างของมอดูเลเตอร์ที่ใช้ในวิทยานิพนธ์ มอดูเลเตอร์ขั้นแรกวัดสัญญาณขาเข้าและส่งออกในรูปแบบข้อมูลดิจิทัล  $Y1$  ในขณะเดียวกัน มอดูเลเตอร์ขั้นที่สองและขั้นที่สามวัดสัญญาณรบกวนควอนไทซ์จากขั้นก่อนหน้า อย่างไรก็ตามสัญญาณที่ป้อนเข้ามอดูเลเตอร์ในขั้นที่สองและสามไม่จำเป็นต้องเป็นสัญญาณรบกวนควอนไทซ์จากขั้นก่อนหน้าเท่านั้นแต่อาจเป็นผลรวมระหว่างสัญญาณรบกวนควอนไทซ์ของขั้นตอนก่อนหน้ากับข้อมูลดิจิทัลขาออกของมอดูเลเตอร์ขั้นก่อนหน้าคุณด้วยอัตราขยาย  $a1$  และ  $b1$  สำหรับขั้นที่สอง หรือ  $a2$  และ  $b2$  สำหรับขั้นที่สาม เพื่อป้องกันมอดูเลเตอร์ขั้นหลังเกิดการโอเวอร์โหลดและเพื่อให้ขนาดของพิสัยสัญญาณขาเข้าของตัวแปลงมีค่ามากที่สุดเมื่อเลือกค่า  $a1$ ,  $b1$ ,  $a2$  และ  $b2$  อย่างเหมาะสม [17]-[19] สัญญาณขาออกของมอดูเลเตอร์แต่ละขั้นแสดงได้ดังสมการที่ 3.4 โดย  $E1$ ,  $E2$  และ  $E3$  คือสัญญาณรบกวนควอนไทซ์ในมอดูเลเตอร์ขั้นที่หนึ่ง สอง และ สามตามลำดับ



รูปที่ 3.1 มอดูเลเตอร์โครงสร้างต่อเรียง 2-1-1 ที่ใช้ในวิทยานิพนธ์

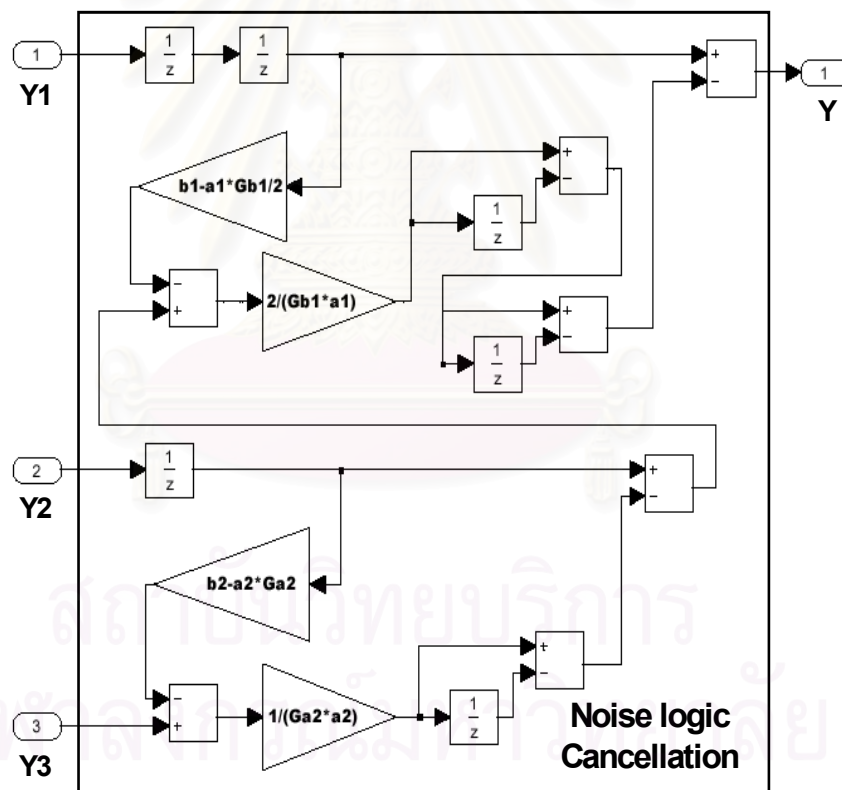
$$Y_1(z) = X \cdot z^{-2} + E_1 \cdot (1 - z^{-1})^2 \quad (3.4ก)$$

$$Y_2(z) = \left[ b_1 \cdot Y_1 - \frac{a_1 \cdot Gb_1}{2} (Y_1 - E_1) \right] \cdot z^{-1} + E_2 \cdot (1 - z^{-1}) \quad (3.4ข)$$

$$Y_3(z) = [b_2 \cdot Y_2 - a_2 \cdot Ga_2 (Y_2 - E_2)] \cdot z^{-1} + E_3 \cdot (1 - z^{-1}) \quad (3.4ค)$$

รูปที่ 3.2 แสดงวงจรตรรกะหักล้างสัญญาณรบกวน ข้อมูลดิจิทัลจากมอดูเลเตอร์แต่ละชั้นถูกป้อนเข้าสู่วงจรตรรกะหักล้างสัญญาณรบกวน สัญญาณรบกวนควอนไทซ์จากมอดูเลเตอร์ชั้นต้นจะถูกกำจัดออก สัญญาณขาออกประกอบไปด้วยสัญญาณขาเข้าและสัญญาณรบกวนควอนไทซ์จากชั้นสุดท้ายที่ถูกจัดสรรฐานอันดับสี่ ซึ่งสามารถเขียนสัญญาณขาออกได้เป็น

$$Y(z) = X \cdot z^{-4} + \left( \frac{2}{a_1 \cdot Gb_1 \cdot a_2 \cdot Ga_2} \right) E_3 \cdot (1 - z^{-1})^4 \quad (3.4ง)$$



รูปที่ 3.2 วงจรตรรกะหักล้างสัญญาณรบกวน

จากการจำลองพฤติกรรม ค่าสัมประสิทธิ์ ( $a_1, b_1, a_2, b_2$ ) และอัตราขยายของตัวอินทิเกรต ( $Ga_1, Gb_1, Ga_2, Ga_3$ ) ที่เหมาะสม ที่ทำให้ช่วงแวงสัญญาณขาออกของตัวอินทิเกรตมีค่าน้อยที่สุด และ ค่าความผิดพลาดสัมพัทธ์ของสัมประสิทธิ์และอัตราขยายที่ทำให้อัตราส่วน

สัญญาณต่อสัญญาณรบกวนและความเพี้ยน (Signal-to-Noise-plus-Distortion Ratio : SNDR) ลดลงมาในระดับ 103 dB แสดงไว้ในตารางที่ 3.3

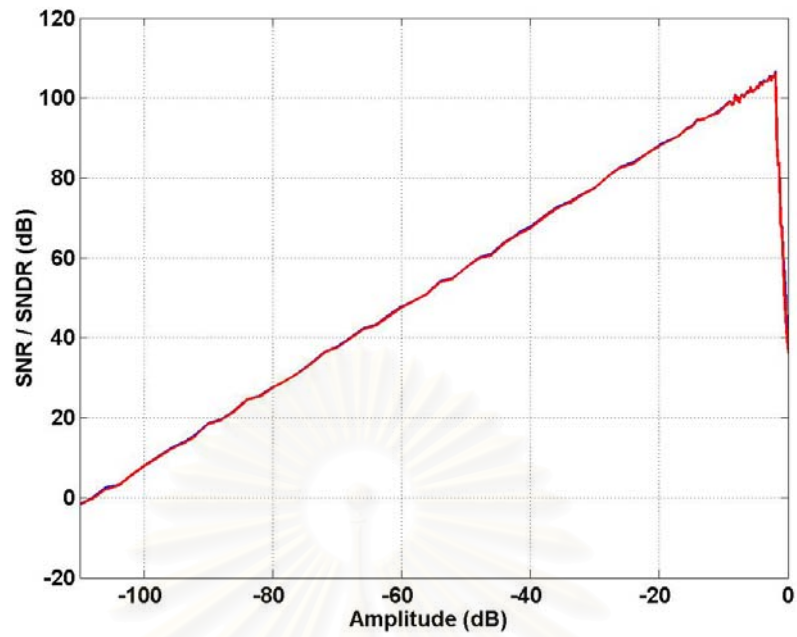
**ตารางที่ 3.3** ค่าสัมประสิทธิ์และอัตราขยายที่เหมาะสมที่ใช้ในมอดูเลเตอร์ และความผิดพลาดของค่าสัมประสิทธิ์และอัตราขยายซึ่งลดทอนค่า SNDR ลงเป็น 103 dB

อัตราขยายและสัมประสิทธิ์	ค่า	ความผิดพลาดสัมพัทธ์ (%)
$a_1$	0.5	0.3
$b_1$	0	-
$a_2$	1	0.6
$b_2$	0.5	5
$Ga_1$	0.5	0.25
$Gb_1$	0.5	0.25
$Ga_2$	1	0.6
$Ga_3$	0.5	15

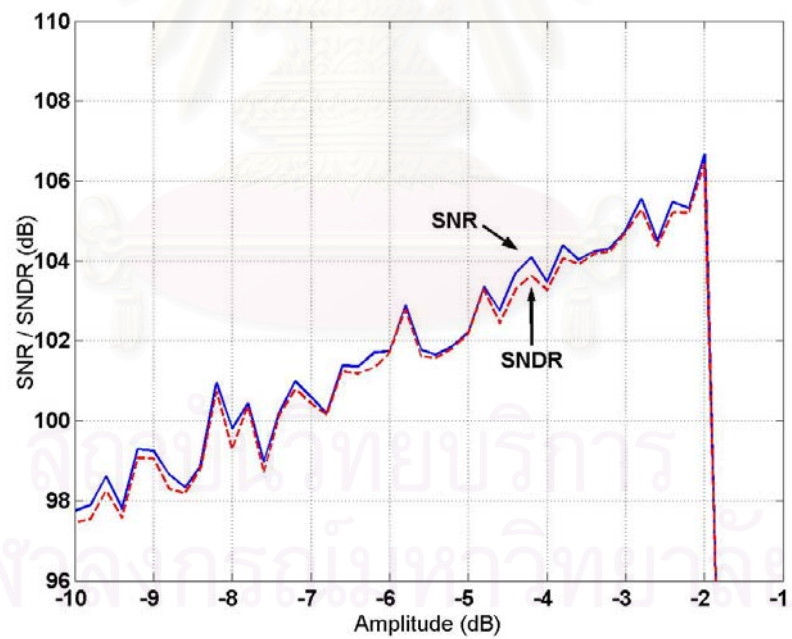
รูปที่ 3.3 และ 3.4 แสดงอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์เทียบกับขนาดสัญญาณขาเข้าออร์แมลไลซ์จากการจำลองเชิงพฤติกรรม โดยมอดูเลเตอร์ใช้ค่าสัมประสิทธิ์ตามตารางที่ 3.3 ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ (SNR) สูงสุดคือ 106 dB เกิดขึ้นที่ขนาดสัญญาณขาเข้า  $-2$  dB ในขณะที่ช่วงแกว่งของสัญญาณขาออกของตัวอินทิเกรตสูงสุดคือ 1.625 เท่าของแรงดันสัญญาณอ้างอิง ( $\Delta$ ) ซึ่งเกิดขึ้นที่ตัวอินทิเกรตตัวที่สี่ของส่วนช่วงแกว่งของสัญญาณขาออกของตัวอินทิเกรตตัวอื่น ๆ แสดงในตารางที่ 3.4

**ตารางที่ 3.4** ช่วงแกว่งของสัญญาณขาออกสูงสุดของตัวอินทิเกรตแต่ละตัว

ตัวอินทิเกรตที่	ช่วงแกว่งของสัญญาณขาออกของตัวอินทิเกรต (เท่าของแรงดันสัญญาณอ้างอิง ( $\Delta$ ))
1	1.4
2	1.625
3	1.5
4	0.5



รูปที่ 3.3 ค่า SNR และ SNDR เทียบกับขนาดสัญญาณขาเข้าออร์แมลไดซ์  
จากการจำลองเชิงพฤติกรรม



รูปที่ 3.4 ค่า SNR และ SNDR เทียบกับขนาดสัญญาณขาเข้าออร์แมลไดซ์  
จากการจำลองเชิงพฤติกรรมในช่วงสัญญาณขนาดใหญ่

### 3.2 โครงสร้างวงจรของมอดูเลเตอร์

ในการออกแบบโครงสร้างวงจรของมอดูเลเตอร์ มีข้อพิจารณาในหลายแง่ซึ่งสามารถลดการกินกำลังงานลงได้ อันได้แก่ การใช้วงจรแบบผลต่าง (Fully differential circuit) การเลือกรูปแบบการป้อนกลับในตัวอินทิเกรต การเลือกระดับแรงดันอ้างอิงของตัวแปลง

#### 3.2.1 การใช้วงจรแบบผลต่าง

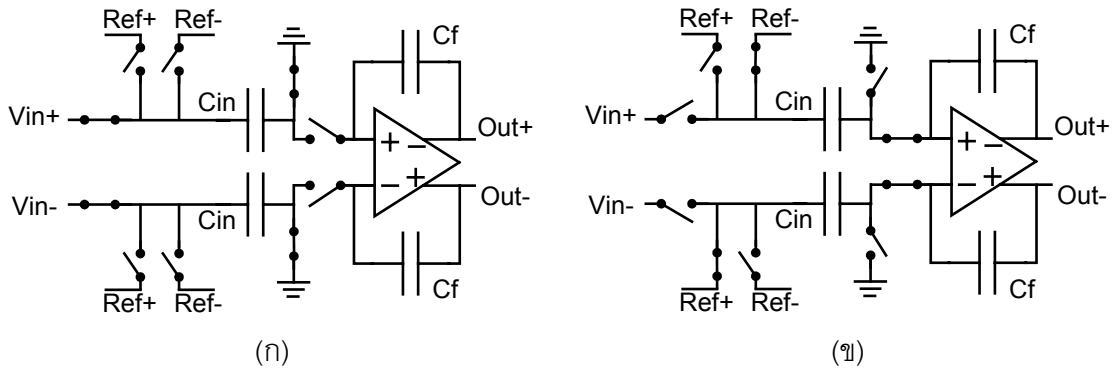
การออกแบบวงจรแอนะล็อกในวงจรรวมนิยมใช้วงจรแบบผลต่าง ซึ่งทำให้ช่วงแวกของสัญญาณเพิ่มขึ้น สามารถเพิ่มอัตราส่วนสัญญาณต่อสัญญาณรบกวนได้ 3 dB เทียบกับกรณีวงจรสัญญาณออกด้านเดียว (Single-ended circuit) นอกจากนี้ การใช้วงจรแบบผลต่างยังช่วยปรับปรุงคุณสมบัติของวงจรในหลายประการให้มีความเหมาะสมในการสร้างเป็นวงจรรวม เช่น ลดผลการฉีดประจุจากสวิตช์ (Charge injection) การป้อนผ่านของสัญญาณนาฬิกา (Clock feedthrough) ลดความเพี้ยนฮาร์โมนิกคู่ (Even harmonic distortion) ปรับปรุงอัตราขจัดแหล่งจ่าย (Power-supply rejection ratio) และอัตราขจัดสัญญาณรบกวนในโหมดร่วม [3][8]

#### 3.2.2 การเลือกรูปแบบการป้อนกลับในตัวอินทิเกรต

ในตัวมอดูเลเตอร์ชนิดเดลต้าซิกมา ตัวอินทิเกรตต้องรับทั้งสัญญาณแอนะล็อกจากขาเข้าหรือขั้นตอนก่อนหน้า และจากสัญญาณป้อนกลับจากตัวแปลงดิจิทัลเป็นแอนะล็อกย่อย ตัวอินทิเกรตสามารถถูกออกแบบให้ใช้ตัวเก็บประจุสมตัวอย่างเพียงชุดเดียวทั้งในการสุ่มตัวอย่างและการป้อนกลับสัญญาณป้อนกลับ ดังแสดงในรูปที่ 3.5 หรือใช้ตัวเก็บประจุหลายชุดแยกกันสำหรับการสุ่มตัวอย่างและการป้อนกลับสัญญาณดังแสดงในรูปที่ 3.6

จากรูปที่ 3.5 การป้อนกลับจากตัวควอนไทซ์เกิดขึ้นในคาบเวลาอินทิเกรต โดยตัวเก็บประจุสมตัวอย่าง  $C_{in}$  ถูกนำมาต่อกับแรงดันอ้างอิงเพื่อให้ประจุที่ถ่ายเทไปยังตัวเก็บประจุเก็บค่าอินทิเกรต  $C_f$  เป็นผลลบระหว่างค่าที่สุ่มได้และค่าสัญญาณอ้างอิง ส่วนในรูปที่ 3.6 การป้อนกลับเกิดขึ้นในคาบเวลาอินทิเกรตเช่นกัน แต่ในกรณีนี้ ค่าป้อนกลับต้องถูกสุ่มเข้ามาก่อนในคาบเวลาสุ่มตัวอย่างโดยตัวเก็บประจุอีกชุดหนึ่ง  $C_{bi}$  เพื่อนำประจุจากทั้งตัวเก็บประจุทั้งสองชุดมารวมกันเป็นผลลบของค่าที่สุ่มได้และค่าแรงดันอ้างอิง ก่อนที่จะถ่ายเทประจุผลลบดังกล่าวให้แก่ตัวเก็บประจุเก็บค่าอินทิเกรต  $C_f$  ถึงแม้ว่า ทั้งสองรูปแบบการป้อนกลับให้ผลในเชิงหน้าที่เหมือนกัน แต่ข้อกำหนดในการออกแบบออปแอมป์จะต่างกัน ในกรณีที่ตัวเก็บประจุสมตัวอย่างมีค่าเท่ากัน ตัวอินทิเกรตตามรูปที่ 3.5 มีโหนดที่น้อยกว่า มีตัวประกอบป้อนกลับ (Feedback factor) ที่มากกว่า และมีสัญญาณรบกวนที่น้อยกว่าตัวอินทิเกรตตามรูปที่ 3.6

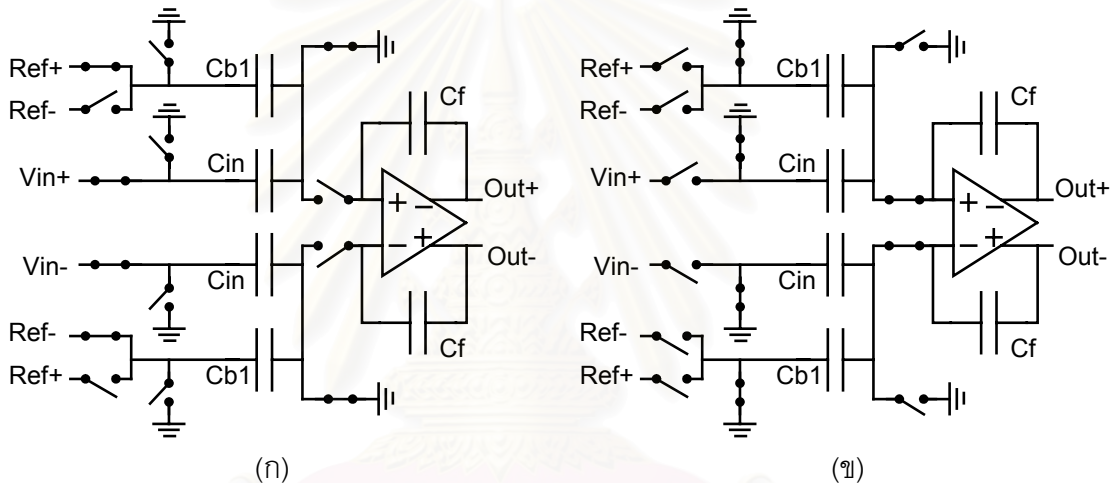




รูปที่ 3.5 ตัวอินทิเกรตที่ใช้ตัวเก็บประจุจุดเดียวในการสุ่มตัวอย่างและป้อนกลับ

(ก) ตัวอินทิเกรตในคาบเวลาสุ่มตัวอย่าง

(ข) ตัวอินทิเกรตในคาบเวลาอินทิเกรต



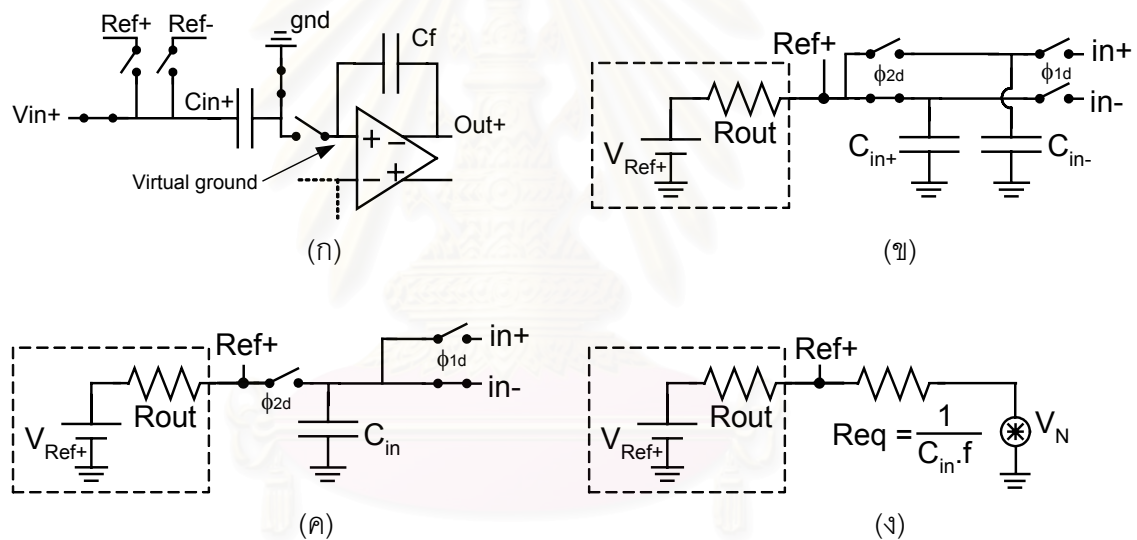
รูปที่ 3.6 ตัวอินทิเกรตที่ใช้ตัวเก็บประจุหลายชุดในการสุ่มตัวอย่างและป้อนกลับ

(ก) ตัวอินทิเกรตในคาบเวลาสุ่มตัวอย่าง

(ข) ตัวอินทิเกรตในคาบเวลาอินทิเกรต

ตัวอินทิเกรตมีโหนดที่น้อยกว่าจะทำให้โอปแอมป์ที่ใช้กินกำลังงานน้อยกว่า การที่โครงสร้างมีตัวประกอบป้อนกลับที่มากกว่าทำให้สามารถใช้ออปแอมป์ที่มีความถี่อัตราขยายเป็นหนึ่ง  $\omega_u$  ที่ต่ำกว่า ภายใต้ข้อกำหนดทางด้านแบนด์วิดท์ของตัวอินทิเกรตเดียวกัน ซึ่งจะทำให้โอปแอมป์ที่ใช้กินกำลังงานน้อยกว่าเช่นกัน ตัวอินทิเกรตตามรูปที่ 3.5 มีสัญญาณรบกวนที่น้อยกว่าเนื่องจากมีตัวเก็บประจุสุ่มตัวอย่างขาเข้าเพียงชุดเดียว ข้อดีดังกล่าวล้วนแต่เป็นผลดีในการออกแบบโอปแอมป์ให้ทำงานที่ความเร็วสูงด้วยการกินกำลังงานที่ต่ำกว่า ดังนั้นโครงสร้างของตัวอินทิเกรตดังรูปที่ 3.5 นิยมใช้ในงานวิจัยหลายงานด้วยกัน [2][3][5][6][10]

แต่ตัวอินทิเกรตดังรูปที่ 3.5 นี้ทำให้ข้อกำหนดการออกแบบแหล่งแรงดันอ้างอิง  $Ref+$ ,  $Ref-$  ยากกว่าในรูปที่ 3.6 ประการแรก แหล่งจ่ายแรงดันอ้างอิงของตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าชุดเดียว จะต้องมียิมพีแดนซ์ขาออกของแหล่งจ่ายที่น้อยกว่าค่าแหล่งจ่ายของตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าหลายชุดมาก เพราะตามรูปที่ 3.5 แหล่งจ่ายแรงดันอ้างอิงต้องทำงานในคาบเวลาอินทิเกรต ในขณะที่ ตามรูปที่ 3.6 แหล่งจ่ายแรงดันอ้างอิงทำงานในคาบเวลาสุ่มตัวอย่าง อย่าง ยิมพีแดนซ์ขาออกของแหล่งจ่ายจะต้องมีค่าน้อยลงถ้าตัวเก็บประจุที่ใช้มีค่าใหญ่ขึ้นและความถี่ในการสวิตช์สูงขึ้น ประการที่สอง แรงดันอ้างอิงในตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าตัวเดียวถูกรบกวนจากสัญญาณขาเข้าได้ง่ายกว่าตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าหลายชุด เพราะการใช้ตัวเก็บประจุชุดเดียวกันในการสุ่มตัวอย่างและป้อนกลับ ทำให้เสมือนมีตัวต้านทานเกิดขึ้นเชื่อมอยู่ระหว่างสัญญาณขาเข้าและแรงดันอ้างอิง ตามหลักการสมมูลระหว่างความต้านทานและตัวเก็บประจุที่มีการสวิตช์ ซึ่งแสดงได้ดังรูปที่ 3.7



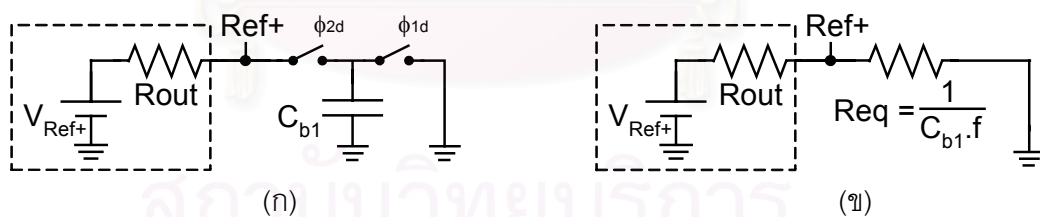
รูปที่ 3.7 การรบกวนของสัญญาณขาเข้าไปยังแรงดันอ้างอิง

- (ก) ตัวเก็บประจุสุ่มตัวอย่างในตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าตัวเดียว
- (ข) แหล่งจ่ายแรงดันอ้างอิงและโหลด
- (ค) แหล่งจ่ายแรงดันอ้างอิงและโหลดที่แปลงแล้ว
- (ง) แหล่งจ่ายแรงดันอ้างอิงกับความต้านทานสมมูลของโหลดที่แปลงแล้ว

จากรูปที่ 3.7ก ตัวเก็บประจุขาเข้า  $C_{in+}$  ถูกสวิตช์ให้ต่อกับแหล่งแรงดันอ้างอิง  $Ref+$  และ  $Ref-$  ตัวใดตัวหนึ่งขึ้นกับค่าป้อนกลับจากตัวควอนไทซ์ ดังนั้นในมุมมองของแหล่งแรงดันอ้างอิงสามารถเขียนวงจรได้ดังรูปที่ 3.7ข (แสดงเฉพาะ  $Ref+$ ) แหล่งแรงดันอ้างอิง  $Ref+$  ถูกเลือกสวิตช์ให้ต่อกับตัวเก็บประจุขาเข้า  $C_{in+}$  หรือ  $C_{in-}$  ตัวใดตัวหนึ่งขึ้นกับค่าป้อนกลับจากตัวควอนไทซ์ ดังนั้นในทุกคาบสัญญาณนาฬิกา แหล่งแรงดันอ้างอิงต้องจ่ายโหลดตัวเก็บประจุขนาด  $C_{in}$

หนึ่งครึ่งเสมอ ดังนั้น ในมุมมองของแหล่งแรงดันอ้างอิง สามารถแปลงโหนดได้ดังรูปที่ 3.7ค จะเห็นว่าแรงดันอ้างอิงเสมือนจ่ายโหนดตัวเก็บประจุที่มาจากกระแสค่าจากขาเข้า  $in+$  หรือ  $in-$  ขึ้นกับค่าป้อนกลับจากตัวคอนไทซ์ ดังนั้นสัญญาณบนตัวเก็บประจุจึงเป็นผลรวมอดุลระหว่างสัญญาณขาเข้ากับสัญญาณป้อนกลับจากตัวคอนไทซ์ซึ่งมีองค์ประกอบของสัญญาณขาเข้าและสัญญาณรบกวนคอนไทซ์อยู่ ในที่นี้เรียกสัญญาณดังกล่าวว่า  $V_N$  ซึ่งเป็นสัญญาณที่ไปรบกวนแรงดันอ้างอิง เพราะแรงดันอ้างอิงไม่ใช่แหล่งแรงดันอุดมคติจึงมีความต้านทานภายในที่ไม่เป็นศูนย์อยู่ ขนาดของการรบกวนบนปม  $Ref+$  คือ  $\left(\frac{R_{out}}{R_{eq} + R_{out}}\right)V_N$  ซึ่งขึ้นอยู่กับสัดส่วนอิมพีแดนซ์ขาออกของแหล่งจ่ายและความต้านทานสมมูล ซึ่งมีมากขึ้นเมื่อตัวเก็บประจุที่ใช้มีขนาดใหญ่ขึ้นและความถี่ในการสวิตช์มีค่าสูงขึ้นหรืออิมพีแดนซ์ขาออกของแหล่งจ่ายมีค่าใหญ่ขึ้นในการออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัลต้องควบคุมให้การรบกวนต่อแรงดันอ้างอิงมีค่าน้อยกว่าขนาดสัญญาณเล็กสุดที่ตัวแปลงวัดได้ ตัวอย่างผลการรบกวนดังกล่าวแสดงได้ดังรูปที่ 3.9 แรงดันอ้างอิงที่ใช้ป้อนกลับที่ผิดเพี้ยนไปทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนของข้อมูลที่แปลงได้ต่ำกว่าที่ออกแบบไว้ แม้ว่าตัวมอดูเลเตอร์จะมีความสามารถในการแปลงที่อัตราส่วนสัญญาณต่อสัญญาณรบกวนมากกว่าก็ตาม

สำหรับตัวอินทิเกรตที่ใช้ตัวเก็บประจุก็ขุดมาสู่แรงดันอ้างอิงเพื่อการป้อนกลับดังเช่นในรูปที่ 3.6 จะไม่เกิดปัญหาการรบกวนจากสัญญาณขาเข้าไปยังแรงดันอ้างอิงดังที่กล่าวไว้ข้างต้น ซึ่งสามารถแสดงได้ดังรูปที่ 3.8



รูปที่ 3.8 วงจรสมมูลของแหล่งจ่ายแรงดันอ้างอิงและโหนด

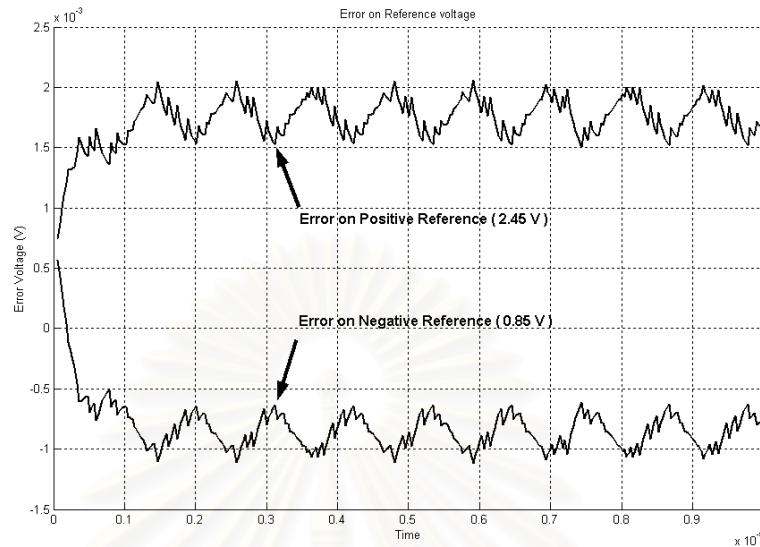
ในตัวอินทิเกรตที่ใช้ตัวเก็บประจุหลายชุดในการสุ่มตัวอย่างและป้อนกลับ

(ก) แหล่งจ่ายสัญญาณอ้างอิงและโหนด

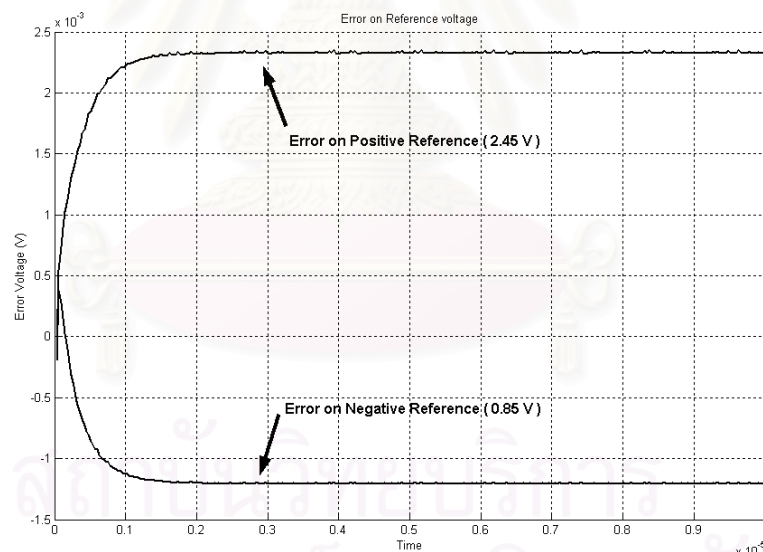
(ข) แหล่งจ่ายสัญญาณอ้างอิงกับความต้านทานสมมูลของโหนดที่แปลงแล้ว

ในมุมมองของแหล่งแรงดันอ้างอิง แหล่งแรงดันต้องจ่ายโหนดตัวเก็บประจุที่มีการสวิตช์ดังรูปที่ 3.8ก ตัวเก็บประจุที่มีการสวิตช์สามารถแสดงสมบัติเป็นความต้านทานสมมูลดังรูปที่ 3.8ข ได้ เห็นได้ว่าจะไม่มีการรบกวนเนื่องมาจากสัญญาณขาเข้าเหมือนในกรณีตัวอินทิเกรตที่มีตัวเก็บประจุขาเข้าเพียงชุดเดียว แรงดันอ้างอิงในกรณีที่ตัวอินทิเกรตที่ใช้ตัวเก็บประจุก็

ชุดหนึ่งมาสู่มแรงดันอ้างอิงเพื่อป้อนกลับแสดงได้ดังรูปที่ 3.10 ดังนั้นในการออกแบบต้องคำนึงถึงผลการรบกวนดังกล่าวด้วยว่ามีขนาดใหญ่กว่า ขนาดสัญญาณเล็กสุดที่ตัวแปลงวัดได้หรือไม่



รูปที่ 3.9 ความผิดพลาดของสัญญาณอ้างอิงเมื่อถูกรบกวนจากสัญญาณขาเข้าในตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าชุดเดียว



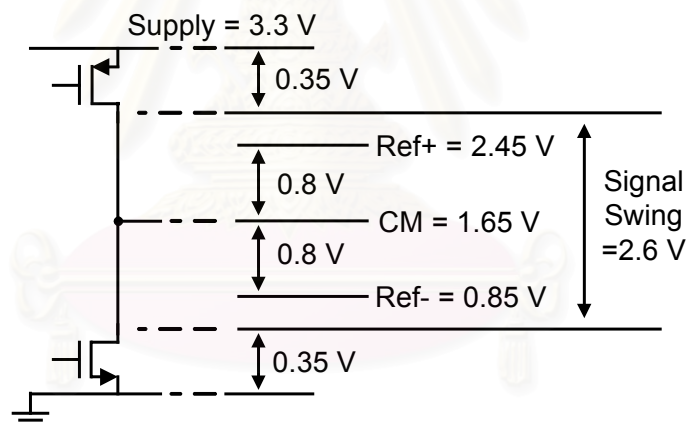
รูปที่ 3.10 ความผิดพลาดของสัญญาณอ้างอิงในตัวอินทิเกรตที่ใช้ตัวเก็บประจุขาเข้าหลายชุด

### 3.2.3 การเลือกระดับแรงดันอ้างอิง

แรงดันอ้างอิงเป็นตัวกำหนดขนาดสัญญาณใหญ่สุดที่ตัวแปลงสามารถแปลงได้ ระดับของแรงดันอ้างอิงเป็นปัจจัยหนึ่งที่มีผลต่อการกินกำลังงานของตัวแปลง เนื่องจากช่วงแกว่งขาออกของออปแอมป์แปรผันโดยตรงกับระดับของแรงดันอ้างอิง ถ้าระดับของแรงดันอ้างอิงมีค่าใหญ่เกินไป ออปแอมป์ที่ใช้ต้องมีช่วงแกว่งที่กว้าง ทρανซิสเตอร์ที่ใช้ในขั้นตอนขาออกของ

ออปแอมป์ต้องมีแรงดันอิมิต์วต่ำและมีขนาดใหญ่ ทำให้ที่ขาออกของออปแอมป์มีความจุไฟฟ้าปรสิติดันเนื่องจากทรานซิสเตอร์ขาออกมาก ความจุไฟฟ้างกล่าวจะเป็นภาระแก่ออปแอมป์ทำให้ ออปแอมป์กินกำลังงานมากขึ้น ในทางกลับกัน ถ้าระดับของแรงดันอ้างอิงมีค่าเล็กเกินไปเพื่อยังคงให้ตัวแปลงมีพิสัยพลวัตเท่าเดิม ขนาดสัญญาณรบกวนต้องมีขนาดเล็กลงตามไปด้วย ดังนั้นตัวเก็บประจุที่ใช้สุ่มตัวอย่างต้องมีขนาดใหญ่ขึ้นเพื่อลดสัญญาณรบกวน ออปแอมป์ต้องกินกำลังงานมากขึ้นทั้งเพื่อสามารถขับตัวเก็บประจุขนาดใหญ่ได้และมีสัญญาณรบกวนจากออปแอมป์ที่เล็กลง ดังนั้นต้องเลือกระดับของระดับแรงดันอ้างอิงให้เหมาะสม

ในวิทยานิพนธ์นี้เลือกระดับแรงดันอ้างอิงเป็น  $\pm 0.8$  โวลต์ ดังนั้นกำลังงาน 0 dB จึงคิดเป็น 1.28 วัตต์ หรือขนาดสัญญาณ 0 dB คือสัญญาณไซน์ที่มีค่ายอดขนาด 1.6 โวลต์ จากการจำลองเชิงพฤติกรรมในหัวข้อ 3.1 ช่วงแกว่งขาออกของตัวอินทิเกรตต้องมีขนาดใหญ่กว่าระดับแรงดันอ้างอิงอยู่ 1.625 เท่า ดังนั้นช่วงแกว่งขาออกของออปแอมป์จึงมีขนาดเป็น 2.6 โวลต์ และทรานซิสเตอร์ขาออกของออปแอมป์มีแรงดันอิมิต์วเป็น 0.35 โวลต์ เมื่อแรงดันแหล่งจ่ายเป็น 3.3 โวลต์ ระดับแรงดันอ้างอิงเทียบกับช่วงแกว่งสัญญาณขาออกของออปแอมป์แสดงในรูปที่ 3.11

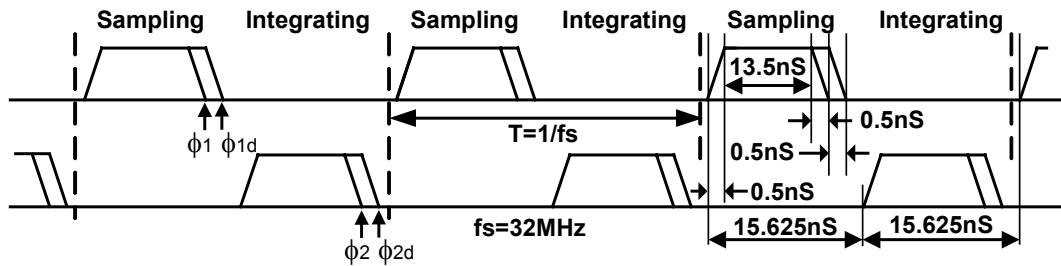


รูปที่ 3.11 ขนาดแรงดันอ้างอิงเทียบกับช่วงการแกว่งสัญญาณขาออกของออปแอมป์

### 3.2.4 โครงสร้างวงจรของมอดูเลเตอร์

มอดูเลเตอร์ที่ใช้ในวิทยานิพนธ์แสดงดังรูปที่ 3.13ก และ 3.13ข ตัวอินทิเกรตสวิตช์ตัวเก็บประจุทุกตัวทำงานโดยการควบคุมจากสัญญาณนาฬิกาไร้การเหลื่อม (Non-overlapping clock) 32 MHz ดังรูปที่ 3.12 ในคาบเวลา  $\phi_1, \phi_1d$  ตัวอินทิเกรตทำการสุ่มตัวอย่าง และในคาบเวลา  $\phi_2, \phi_2d$  ตัวอินทิเกรตทำการอินทิเกรตค่าที่สุ่มได้ โดย  $\phi_1d$  และ  $\phi_2d$  เป็นสัญญาณนาฬิกาที่มีการประวิงทางด้านขอบขาลงจาก  $\phi_1$  และ  $\phi_2$  ตัวควอนไทซ์กำหนดให้





รูปที่ 3.12 ไตอะแกรมเวลาของสัญญาณนาฬิกาไร้การเหลื่อม

ทำงานเมื่อสิ้นสุดคาบเวลาการอินทิเกรต ดังนั้นจึงใช้ขอบขาขึ้นของสัญญาณนาฬิกา  $\phi_2$  ทริกเพื่อเริ่มต้นการทำงานของตัวเปรียบเทียบในตัวคอนโทรล

รูปที่ 3.13ก แสดงโครงสร้างทางวงจรของมอดูเลเตอร์ขั้นที่หนึ่งและสอง ซึ่งประกอบด้วย ตัวอินทิเกรตขั้นตอนที่หนึ่ง สอง และสาม ตัวคอนโทรลหนึ่งบิต และวงจรเกตทำหน้าที่สร้างสัญญาณควบคุมการปิดและเปิดสวิตช์เพื่อป้องกันกลับแรงดันอ้างอิงให้แก่ตัวอินทิเกรตจากการผลการเปรียบเทียบจากตัวคอนโทรลและสัญญาณนาฬิกา ตัวอินทิเกรตขั้นตอนแรกใช้สัญญาณควบคุมการป้องกันกลับชุด  $N1a, P2a, P3a$  และ  $N4a$  จากวงจรเกตชุดที่หนึ่ง ตัวอินทิเกรตขั้นตอนที่สองใช้สัญญาณควบคุมการป้องกันกลับชุด  $N1, P2, P3$  และ  $N4$  จากวงจรเกตชุดที่สอง ตัวอินทิเกรตขั้นตอนที่สามใช้สัญญาณควบคุมการป้องกันกลับชุด  $N5, P6, P7$  และ  $N8$  จากวงจรเกตชุดที่สี่ ส่วนวงจรเกตชุดที่สามซึ่งสร้างสัญญาณควบคุมการป้องกันกลับ  $N9, P10, P11$  และ  $N12$  จะถูกนำไปใช้ควบคุมการป้องกันกลับแรงดันอ้างอิงในตัวอินทิเกรตขั้นตอนที่สี่

รูปที่ 3.13ข แสดงโครงสร้างทางวงจรของมอดูเลเตอร์ขั้นที่สาม ซึ่งประกอบด้วย ตัวอินทิเกรตขั้นตอนที่สี่ วงจรคอนโทรลสามบิตซึ่งสร้างมาจากวงจรแปลงสัญญาณแอนะล็อกเป็นรหัสอุณหภูมิ (Analog-to-Thermometer code converter) และรหัสอุณหภูมิเป็นรหัสเลขฐานสองในการป้องกันกลับจากตัวคอนโทรลสามบิต ทำโดยการใช้ตัวเก็บประจุขนาดเล็กรวม 7 ตัวทำการส่งประจุเข้ามาขณะที่ตัวอินทิเกรตทำการอินทิเกรต ตัวเก็บประจุจำนวน 7 ตัวในแต่ละข้างสัญญาณแบบแบบผลต่างสามารถสร้างสัญญาณได้ 8 ระดับ ตัวเก็บประจุขนาดเล็กดังกล่าวแต่ละตัวจะถูกประจุไว้ที่แรงดันอ้างอิง  $Ref+$  หรือ  $Ref+$  ค่าใดค่าหนึ่งในคาบเวลาก่อนการอินทิเกรตจากการควบคุมโดยวงจรเกตซึ่งนำผลมาจากรหัสอุณหภูมิที่ได้จากการตัวคอนโทรล

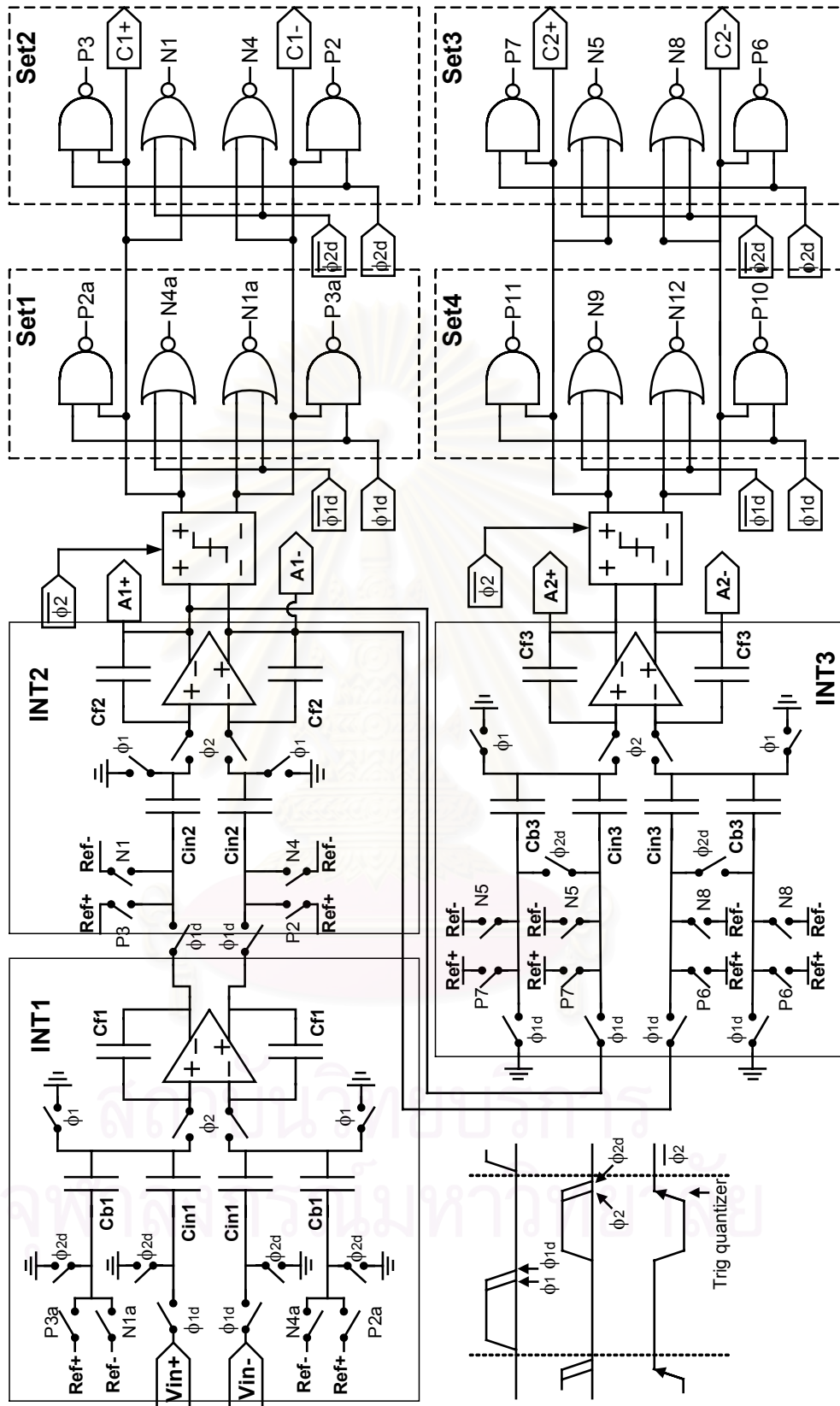
ตามรูปที่ 3.13ก และ 3.13ข ตัวอินทิเกรตตัวแรกมีตัวเก็บประจุสองตัวอย่างขาเข้าสองชุด  $C_{in1}$  ซึ่งใช้ในการสุ่มสัญญาณขาเข้าของตัวแปลง และ  $C_{b1}$  ซึ่งใช้ในการป้องกันกลับสัญญาณจากตัว คอนโทรล ตัวอินทิเกรตตัวแรกใช้โครงสร้างที่มีตัวเก็บประจุขาเข้าสองชุดเพื่อลดการรบกวนจากสัญญาณขาเข้าลงบนแรงดันอ้างอิง เพราะตัวอินทิเกรตตัวแรกมีตัวเก็บประจุสองตัวอย่าง



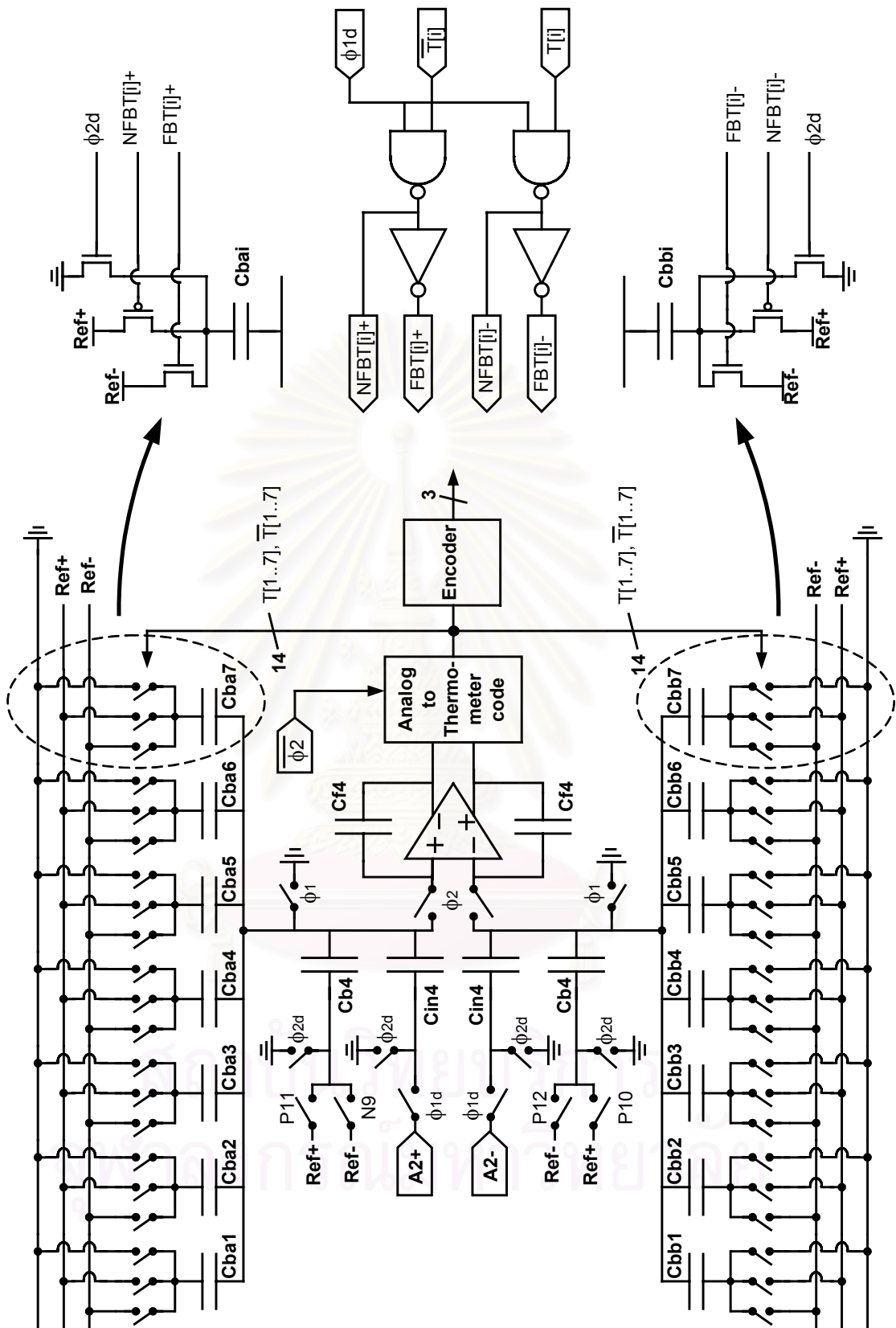
ขนาดใหญ่อันเป็นผลมาจากข้อกำหนดด้านสัญญาณรบกวนที่ต้องมีค่าต่ำ ถ้าใช้โครงสร้างที่มีตัวเก็บประจุชุดเดียวร่วมกันในการสุ่มตัวอย่างและป้อนกลับจะทำให้แรงดันอ้างอิงถูกรบกวนจากการสวิตช์ดังแสดงในรูปที่ 3.9 ซึ่งมีผลทำให้ผลการแปลงของผิดพลาดไป ตัวอินทิเกรตตัวที่สองใช้ตัวเก็บประจุตัวเดียว  $C_{in2}$  ในการสุ่มตัวอย่างและป้อนกลับ ด้วยโครงสร้างนี้ตัวอินทิเกรตตัวที่สองสามารถส่งผลรบกวนต่อแรงดันอ้างอิงได้ แต่ขนาดของตัวเก็บประจุที่ใช้ในตัวอินทิเกรตตัวที่สองจะเล็กกว่าในตัวแรกมากซึ่งจะรบกวนแรงดันอ้างอิงน้อยกว่าระดับสัญญาณเล็กสุดที่ตัวแปลงวัดได้ ตัวอินทิเกรตตัวที่สามมีตัวเก็บประจุสุ่ม ตัวอย่างขาเข้าสองตัว  $C_{in3}$  และ  $C_{b3}$  เนื่องจากต้องรวมสัญญาณขาเข้ากับสัญญาณป้อนกลับที่อัตราขยายที่ต่างกัน ตัวอินทิเกรตตัวสุดท้ายมีตัวเก็บประจุสุ่มตัวอย่างขาเข้าหลายตัวอันได้แก่  $C_{in4}$   $C_{b4}$   $C_{bai}$  และ  $C_{bbi}$  ตัวเก็บประจุ  $C_{in4}$  และ  $C_{b4}$  สุ่มสัญญาณขาออกของตัวอินทิเกรตตัวที่สามและสัญญาณจากตัวคอนโทรลในมอดูเลเตอร์ขั้นที่สองตามลำดับ ตัวเก็บประจุ  $C_{bai}$  และ  $C_{bbi}$  เป็นตัวเก็บประจุขนาดเล็กทำหน้าที่เป็นตัวแปลงดิจิทัลเป็นแอนะล็อก 3 บิตสำหรับการป้อนกลับส่งประจุเข้ามารวมค่าในการอินทิเกรต ในการออกแบบนี้เลือกใช้ตัวเก็บประจุในการสร้างตัวแปลงดิจิทัลเป็นแอนะล็อกเพื่อให้ผ่านข้อกำหนดความเป็นเชิงเส้นขนาด 9 บิต เพราะในวงจรรวม ตัวเก็บประจุมีคุณสมบัติการเข้าคู่ที่ดีกว่าตัวต้านทานและทรานซิสเตอร์ อัตราส่วนของตัวเก็บประจุในตัวอินทิเกรตแสดงดังตารางที่ 3.5

ตารางที่ 3.5 อัตราส่วนของตัวเก็บประจุในตัวอินทิเกรตแต่ละตัว

ตัวอินทิเกรตที่	อัตราส่วนของตัวเก็บประจุในตัวอินทิเกรต
1	$\frac{C_{in1}}{C_{f1}} = \frac{C_{b1}}{C_{f1}} = 0.5$
2	$\frac{C_{in2}}{C_{f2}} = 0.5$
3	$\frac{C_{in3}}{C_{f3}} = \frac{C_{b3}}{C_{f3}} = 0.5$
4	$\frac{C_{in4}}{C_{f4}} = 0.5$ , $\frac{C_{b2}}{C_{f4}} = 0.25$ , $\frac{C_{bai}}{C_{f4}} = \frac{C_{bbi}}{C_{f4}} = \frac{1}{7}$



รูปที่ 3.13ก โครงสร้างวงจรของมอดูเลเตอร์ในส่วนมอดูเลเตอร์ขั้นที่ 1 และ 2



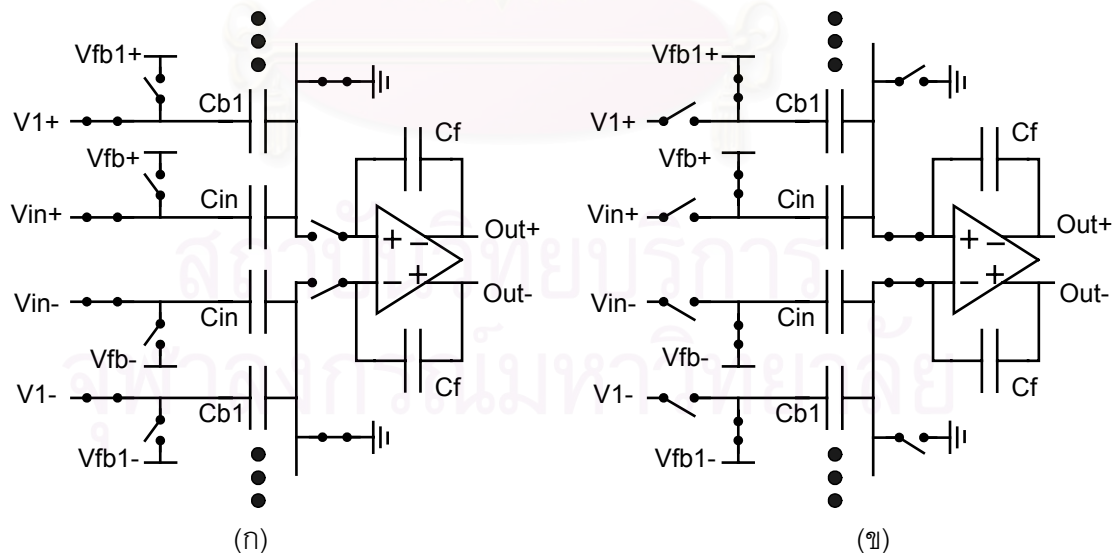
รูปที่ 3.13 ข โครงสร้างวงจรของมอดูเลเตอร์ในส่วนมอดูเลเตอร์ขั้นที่ 3

### 3.3 ข้อกำหนดขององค์ประกอบแต่ละส่วนในระดับสถาปัตยกรรม

องค์ประกอบสำคัญในมอดูเลเตอร์ชนิดเดลต้าซิกมามีคือ ตัวอินทิเกรตชนิดสวิตซ์ ตัวเก็บประจุ และตัวควอนไทซ์ องค์ประกอบเหล่านี้ล้วนต้องสร้างขึ้นในเทคโนโลยีวงจรรวม ซึ่งมีความไม่เป็นอุดมคติหลายประการเกิดขึ้น เช่น ความผิดพลาดในการอินทิเกรตเนื่องจากออปแอมป์ที่ใช้มีความไม่เป็นอุดมคติ อัตราขยายของตัวอินทิเกรตผิดไปจากที่กำหนดเนื่องจากความแปรปรวนในกระบวนการผลิต เป็นต้น ความไม่เป็นอุดมคติของตัวอินทิเกรตเหล่านี้มีผลทำให้ความสามารถในการลดทอนสัญญาณรบกวนควอนไทซ์ของมอดูเลเตอร์ต่ำลงไป ซึ่งจะทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนของข้อมูลที่แปลงได้ต่ำลงตามไปด้วย ดังนั้นองค์ประกอบแต่ละส่วนต้องมีข้อกำหนดที่สูงเพียงพอที่จะทำให้ตัวแปลงทั้งระบบผ่านข้อกำหนดที่ตั้งไว้ได้ การหาข้อกำหนดขององค์ประกอบแต่ละส่วนเพื่อนำไปใช้ในการออกแบบระดับวงจร สามารถทำได้โดยการจำลองการทำงานด้วยแบบจำลองเชิงพฤติกรรม ในหัวข้อนี้จะกล่าวถึงแบบจำลองเชิงพฤติกรรมขององค์ประกอบทั้งสองส่วนและข้อกำหนดของแต่ละองค์ประกอบจากจำลองเชิงพฤติกรรมเพื่อใช้ในการออกแบบวงจรต่อไป

#### 3.3.1 ข้อกำหนดของตัวอินทิเกรต

ตัวอินทิเกรตชนิดสวิตซ์ตัวเก็บประจุสร้างขึ้นจาก ออปแอมป์ ตัวเก็บประจุ และสวิตซ์ ซึ่งโครงสร้างทั่วไปแสดงดังรูปที่ 3.14



รูปที่ 3.14 ตัวอินทิเกรตขณะอยู่ในคาบเวลาสุ่มตัวอย่างและคาบเวลาอินทิเกรต

- (ก) ตัวอินทิเกรตขณะอยู่ในคาบเวลาสุ่มตัวอย่าง
- (ข) ตัวอินทิเกรตขณะอยู่ในคาบเวลาอินทิเกรต

จะเห็นได้ว่าตัวอินทิเกรตอาจจะมีตัวเก็บประจุสมตัวอย่างหลายชุดได้ ทั้งนี้ก็เพื่อใช้ในกรณีที่ตัวอินทิเกรตต้องรับสัญญาณจากหลายจุดมารวมกัน เช่น การวัดสัญญาณรบกวนควอนไทซ์จากขั้นตอนก่อนหน้าในมอดูเลเตอร์โครงสร้างต่อเรียง เป็นต้น ในคาบเวลาแรกตัวอินทิเกรตสุ่มสัญญาณแรงดันเข้ามาเก็บไว้ในตัวเก็บประจุแต่ละตัว ในคาบเวลาถัดมาตัวอินทิเกรตจะทำการอินทิเกรตค่าแรงดันในตัวเก็บประจุสมตัวอย่าง เข้าไปรวมเป็นแรงดันบนตัวเก็บประจุ  $C_f$

แรงดันขาออกของตัวอินทิเกรตอุดมคติ  $V_{o,n}$  สามารถเขียนได้เป็น

$$V_{o,n} = \left( \frac{C_{in}}{C_f} \right) \left( (V_{in,n-1} - V_{fb,n-1}) + \sum_{i=1}^m b_i (V_{i,n-1} - V_{fb,i,n-1}) \right) + V_{o,n-1} \quad (3.5)$$

โดยที่  $b_i = \left( \frac{C_{bi}}{C_{in}} \right)$  เป็นอัตราส่วนระหว่างตัวเก็บประจุขาเข้าชุดที่  $i$  กับตัวเก็บประจุขาเข้าหลัก  $C_{in}$   
 $m$  เป็นจำนวนของตัวเก็บประจุขาเข้าอื่น (ที่ไม่ใช่ตัวเก็บประจุขาเข้าหลัก)

ในความเป็นจริง ตัวอินทิเกรตมีการเข้าที่ (Settling) ที่ไม่สมบูรณ์เนื่องจาก อัตราขยายวงรอบเปิดไฟตรงของออปแอมป์  $A_{dc}$  แบนด์วิดท์ของตัวอินทิเกรต  $\frac{1}{\tau}$  อัตราสลูว์ของออปแอมป์  $\zeta$  และเวลาเข้าที่  $T_s$  มีค่าจำกัด ซึ่งทำให้เกิดความเพี้ยนทางฮาร์มอนิกขึ้นได้ แบบจำลองของตัวอินทิเกรตที่มีความไม่เป็นอุดมคติซึ่งสร้างจากออปแอมป์ที่มีโพลเดียว สามารถเขียนได้เป็น [19]

$$V_{o,n} = \frac{A_{dc}}{A_{dc} + 1 + \frac{C_{in} + \sum C_{bi}}{C_f}} g \left( \left( \frac{C_{in}}{C_f} \right) \left( (V_{in,n-1} - V_{fb,n-1}) + \sum_{i=1}^m b_i (V_{i,n-1} - V_{fb,i,n-1}) \right) \right) + \left( \frac{A_{dc} + 1}{A_{dc} + 1 + \frac{C_{in} + \sum C_{bi}}{C_f}} \right) V_{o,n-1} \quad (3.6)$$

โดยที่

$$g(x) = \begin{cases} x \left( 1 - \exp\left(-\frac{T_s}{\tau}\right) \right) & ; |x| < \tau \zeta' \\ x - \text{sgn}(x) \tau \zeta' \exp\left( \left( \frac{|x|}{\tau \zeta'} \right) - \left( \frac{T_s}{\tau} \right) - 1 \right) & ; \tau \zeta' \leq |x| \leq (\tau + T_s) \zeta' \\ \text{sgn}(x) \zeta' T_s & ; |x| > (\tau + T_s) \zeta' \end{cases} \quad (3.7)$$

$$\text{และ} \quad \zeta' = \zeta \frac{C_{in} + \sum C_{bi}}{C_{in} + C_f + \sum C_{bi}} \quad (3.8ก)$$

$$\text{หรือ} \quad \zeta' = \zeta (1 - \beta) \quad (3.8ข)$$

$\zeta'$  เป็นอัตราการสูญเสียที่เกิดขึ้นบนตัวเก็บประจุเก็บค่า  $C_f$  ความสัมพันธ์ระหว่างอัตราสูญเสียของออปแอมป์  $\zeta$  และอัตราการสูญเสียบนตัวเก็บประจุ  $C_f$   $\zeta'$  เป็นไปตามสมการที่ 3.8k โดยอัตราส่วน  $\frac{C_{in} + \sum C_{bi}}{C_{in} + C_f + \sum C_{bi}}$  อาจเขียนอยู่ในรูปของตัวประกอบป้อนกลับ  $\beta$  ได้เป็น  $1 - \beta$

ฟังก์ชัน  $g(x)$  ให้ค่าสุดท้ายของการเข้าที่ของตัวอินทิเกรต ซึ่งขึ้นอยู่กับลักษณะและกระบวนการในการเข้าที่ ตัวอินทิเกรตเข้าที่ด้วยกระบวนการเชิงเส้นไร้การสูญเสียเมื่อ  $|x| < \tau\zeta'$  เข้าที่ด้วยกระบวนการเชิงเส้นที่มีการสูญเสียจะเกิดขึ้นเมื่อ  $\tau\zeta' \leq |x| \leq (\tau + T_S)\zeta'$  และเข้าที่ในภาวะสูญเสียเมื่อ  $|x| > (\tau + T_S)\zeta'$  แบบจำลองของตัวอินทิเกรตตามสมการที่ 3.6 จะถูกนำมาใช้ในการจำลองเชิงพฤติกรรมเพื่อหา ข้อกำหนดของอัตราขยายวงรอบเปิด  $A_{dc}$  อัตราการสูญเสีย  $\zeta$  และแบนด์วิดท์ของตัวอินทิเกรต  $1/\tau$  ที่ทำให้ตัวแปลงผ่านข้อกำหนด ข้อกำหนดของ ออปแอมป์ดังกล่าวจะถูกนำไปใช้ในการออกแบบระดับวงจรต่อไป

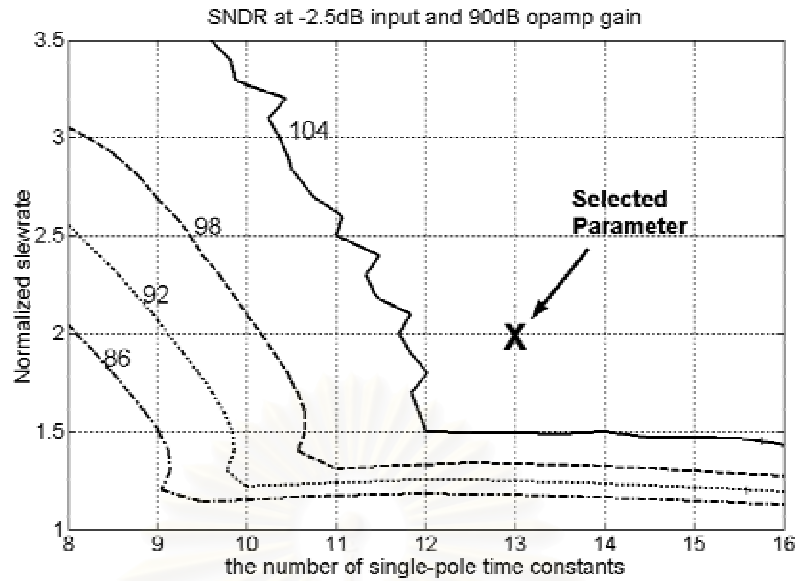
ผลการจำลองของตัวอินทิเกรตตัวแรกจากการเข้าที่ไม่สมบูรณ์แสดงดังรูปที่ 3.15 ผลการจำลองแสดงคอนทิวรัลของอัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยน (Signal-to-Noise-plus-Distortion Ratio :SNDR) เมื่อตัวอินทิเกรตเข้าที่ด้วยจำนวนค่าคงที่เวลา  $n_\tau$  และค่าอัตราสุวอร์นอร์เมลไลซ์  $SR_n$  ต่าง ๆ ที่อัตราขยายวงรอบเปิดไฟตรงของออปแอมป์ที่ 90 dB เห็นได้ว่า เมื่อจำนวนค่าคงที่เวลา และค่าอัตราสุวอร์นอร์เมลไลซ์มีค่าสูงขึ้นจะส่งผลให้ค่า SNDR มีค่าสูงขึ้น เพราะตัวอินทิเกรตสามารถเข้าที่ได้ถูกต้องมากขึ้น จากผลการจำลองพบว่า อัตราขยายวงรอบเปิดของออปแอมป์ต้องมีค่าสูงมากเพียงพอ จึงจะปรากฏคอนทิวรัลของค่า SNDR ในระดับ 104 dB สำหรับตัวอินทิเกรตตัวแรก อัตราขยายวงรอบเปิดของออปแอมป์ต้องสูงกว่า 80 dB

จุดภายในคอนทิวรัลที่ 104 dB ทั้งหมดเป็นจุดที่ทำให้ตัวแปลงผ่านข้อกำหนดความละเอียดในระดับ 17 บิต ในการออกแบบเพื่อให้ตัวอินทิเกรตกินกำลังงานต่ำสุด จึงเลือกจุดภายในคอนทิวรัลที่ 104 dB ในบริเวณที่มีอัตราสุวอร์ต่ำสุดและแบนด์วิดท์ต่ำสุดดังแสดงด้วยเครื่องหมาย X ในรูปที่ 3.15 เป็นข้อกำหนดในการออกแบบ ข้อกำหนดทางด้านการเข้าที่ของตัวอินทิเกรตตัวอื่นแสดงในตารางที่ 3.6 โดยในที่นี้กำหนดให้ช่วงเวลากการอินทิเกรต  $T_S$  มีค่า 13.5 ns อัตราการสูญเสียของออปแอมป์  $\zeta$  มีความสัมพันธ์กับอัตราสุวอร์นอร์เมลไลซ์  $SR_n$  ดังสมการที่ 3.9 และแบนด์วิดท์ของตัวอินทิเกรต  $1/\tau$  มีความสัมพันธ์กับจำนวนค่าคงที่เวลา  $n_\tau$  ดังสมการที่ 3.10

$$\zeta = \frac{2 SR_N V_{ref}}{T_S} \quad (3.9)$$

$$\frac{1}{\tau} = \frac{n_\tau}{T_S} \quad (3.10)$$





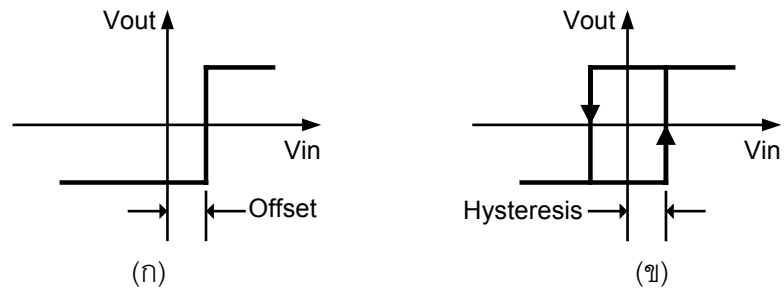
รูปที่ 3.15 อัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยน (SNDR) ของตัวอินทิเกรตตัวแรกเมื่อตัวอินทิเกรตเข้าที่ด้วยจำนวนค่าคงที่เวลาและค่าอัตราสุวนอร์แมลไลซ์ต่าง ๆ

ตารางที่ 3.6 ข้อกำหนดด้านการเข้าที่ของตัวอินทิเกรต

Modulator	Integrator	Dc gain (dB)	Bandwidth (Mhz)	Slew rate (V/ $\mu$ s)
1	1	> 90	153	470
	2	> 90	153	430
2	3	> 80	118	520
3	4	> 60	60	240

### 3.3.2 ข้อกำหนดของตัวควอนไทซ์

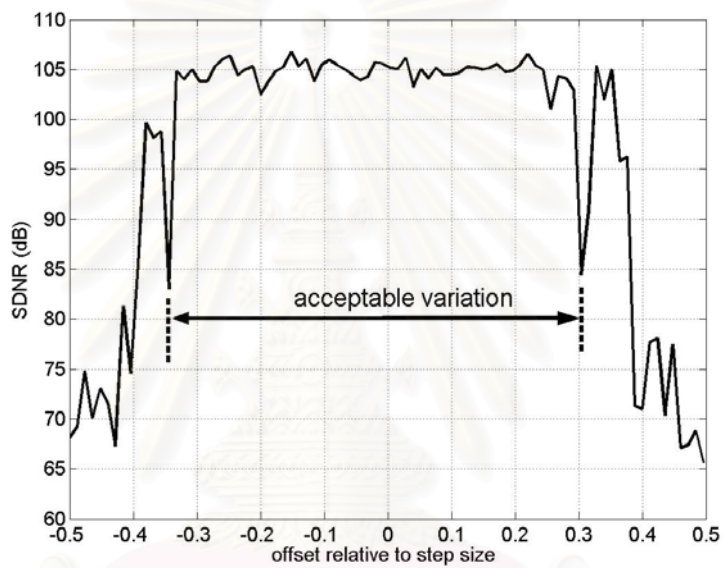
ตัวควอนไทซ์หนึ่งบิตและสามบิตในมอดูเลเตอร์สร้างขึ้นได้จากตัวเปรียบเทียบ ข้อกำหนดที่สำคัญของตัวเปรียบเทียบ คือ ออฟเซต ฮิสเทอรีซิส และความเร็วในการเปรียบเทียบ ข้อกำหนดดังกล่าวจะนำไปสู่การกำหนดชนิดและรูปแบบของตัวเปรียบเทียบที่เหมาะสมในการออกแบบในระดับวงจร ในด้านออฟเซต และฮิสเทอรีซิสของตัวเปรียบเทียบ สามารถหาได้จากการจำลองเชิงพฤติกรรม โดยแบบจำลองของตัวเปรียบเทียบที่มีออฟเซตและฮิสเทอรีซิสแสดงได้ดังรูปที่ 3.16 ออฟเซตกำหนดให้เป็นขนาดแรงดันที่ผิดไปจากแรงดันขีดเริ่มเปลี่ยน (Threshold voltage) ค่าปกติ และฮิสเทอรีซิสคือขนาดของแรงดันที่น้อยที่สุดที่เกินค่าแรงดันขีดเริ่มเปลี่ยนปกติที่ทำให้แรงดันขาออกของตัวเปรียบเทียบเริ่มเกิดการเปลี่ยนแปลง รูปที่ 3.17 และ 3.18 แสดงผลของออฟเซตและฮิสเทอรีซิสที่มีผลต่ออัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยนตามลำดับของตัวเปรียบเทียบในมอดูเลเตอร์ขั้นแรก จากผลการจำลองดังแสดงให้เห็นว่า ออฟเซต



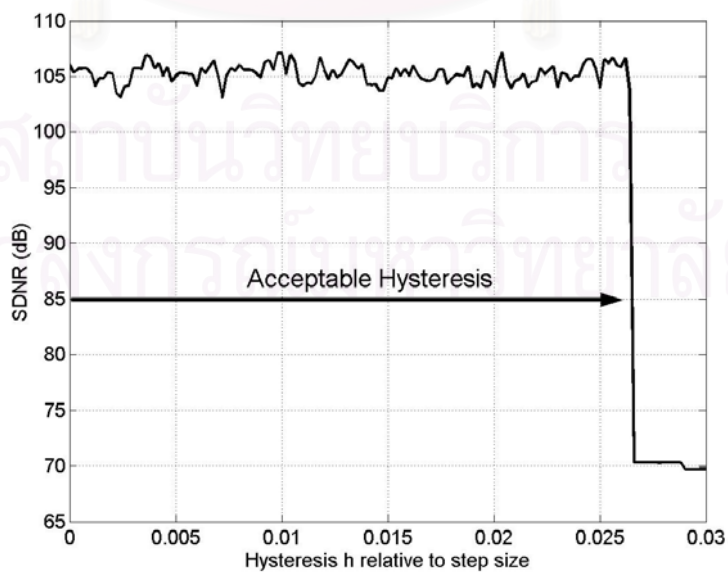
รูปที่ 3.16 ลักษณะโณนย้ายของตัวเปรียบเทียบไม่อุดมคติ

(ก) ตัวเปรียบเทียบที่มีออฟเซต

(ข) ตัวเปรียบเทียบที่มีฮิสเทอริซิส



รูปที่ 3.17 ผลของออฟเซตของตัวควอนไทซ์ในมอดูเลเตอร์ขั้นแรกที่มีต่อค่า SNDR



รูปที่ 3.18 ผลของฮิสเทอริซิสของตัวควอนไทซ์ในมอดูเลเตอร์ขั้นแรกที่มีต่อค่า SNDR

และฮิสเทอรีซิสของตัวเปรียบเทียบสามารถแปรปรวนได้ภายในขอบเขตอันหนึ่งโดยไม่ทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยนลดลง ออฟเซตและฮิสเทอรีซิสดังกล่าวมีสภาพเสมือนเป็นสัญญาณรบกวน ป้อนเข้าสู่ตัวควอนไทซ์ซึ่งจะถูกกำจัดออกไปตามลักษณะการจัดสรรฐานสัญญาณรบกวน [10] (สมการที่ 2.7x) แต่ออฟเซตและฮิสเทอรีซิสยังคงต้องมีขนาดเล็กกว่าขนาดขั้นของตัวควอนไทซ์ ดังนั้นออฟเซตและฮิสเทอรีซิสของตัวควอนไทซ์สามบิตจึงมีค่าเล็กกว่าออฟเซตของตัวควอนไทซ์หนึ่งบิตเนื่องจากขนาดขั้นของตัวควอนไทซ์สามบิตมีขนาดเล็กกว่า ขอบเขตความแปรปรวนของค่าออฟเซตและฮิสเทอรีซิสของตัวเปรียบเทียบแต่ละตัวแสดงดังตารางที่ 3.7 ซึ่งข้อกำหนดของตัวเปรียบเทียบของตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลต้าซิกมามีจะง่ายกว่าในข้อกำหนดของตัวเปรียบเทียบของตัวแปลงแบบอัตราในควิสต์มาก

ในด้านความเร็ว ตัวเปรียบเทียบต้องทำการเปรียบเทียบแรงดันให้เสร็จสิ้นก่อนค่าป้อนกลับจะถูกนำไปใช้ ในการออกแบบนี้มีมอดูเลเตอร์ตัวแรกและตัวสุดท้ายต้องใช้ค่าป้อนกลับในคาบเวลาสุ่มตัวอย่างทันทีถัดจากคาบเวลาอินทิเกรตที่ติดกัน ตามไดอะแกรมเวลาในรูปที่ 3.12 ตัวเปรียบเทียบมีเวลาในการเปรียบเทียบตั้งแต่คาบเวลาการอินทิเกรตสิ้นสุด (ขอบล่างของ  $\phi_2$ ) จนถึงคาบเวลาการสุ่มตัวอย่างเริ่มต้น (ขอบบนของ  $\phi_1$ ) ดังนั้นตัวเปรียบเทียบมีเวลา 1.5 ns ในการเปรียบเทียบให้เสร็จสมบูรณ์

ตารางที่ 3.7 ข้อกำหนดของตัวควอนไทซ์

Quantizer	Offset (mV)	Hysteresis (mV)
1 (1 bit)	< 960	< 160
2 (1 bit)	< 800	< 1280
3 (3 bit)	< 64	< 128

### 3.4 การออกแบบกำลังงาน

การใช้กำลังงานส่วนใหญ่ในมอดูเลเตอร์เกิดขึ้นที่ออปแอมป์ในตัวอินทิเกรต การกินกำลังงานของออปแอมป์ขึ้นกับข้อกำหนดด้านความเร็วและสัญญาณรบกวนเป็นหลัก ความเร็วของออปแอมป์สามารถเพิ่มขึ้นได้โดยการเพิ่มกระแสไบอัสสถิตในออปแอมป์ซึ่งเป็นผลให้การประจุและคายประจุจากตัวเก็บประจุที่ต่ออยู่เป็นไปได้อย่างเร็วขึ้น ทั้งในแง่การเข้าที่แบบเชิงเส้นซึ่งขึ้นกับค่าทรานสคอนดักเตอร์ของทรานซิสเตอร์และการเข้าที่แบบไม่เชิงเส้นซึ่งเกี่ยวข้องกับอัตราสลับ การเพิ่มค่าทรานสคอนดักเตอร์และอัตราสลับเพื่อเพิ่มความเร็วของออปแอมป์ล้วนทำให้การกินกำลังงานมีค่าสูงขึ้นทั้งสิ้น ข้อกำหนดด้านความเร็วอันได้แก่ แบนด์วิดท์ของตัวอินทิเกรตอัตราสลับของออปแอมป์แต่ละตัวหาได้จากการจำลองเชิงพฤติกรรมซึ่งแสดงในหัวข้อ 3.3.1

สำหรับข้อกำหนดด้านสัญญาณรบกวน ขนาดของสัญญาณรบกวนสามารถลดได้โดยการเพิ่มขนาดของตัวเก็บประจุที่สุ่มตัวอย่างและตัวเก็บประจุภายในออปแอมป์ ซึ่งจะส่งผลให้ออปแอมป์กินกำลังงานมากขึ้นเพราะต้องขับโหลดขนาดใหญ่ขึ้น เพื่อให้การกินกำลังงานของทั้งมอดูเลเตอร์มีค่าต่ำสุดและยังคงสามารถทำงานได้ตามข้อกำหนดจะต้องกำหนดให้ตัวเก็บประจุในตัวอินทิเกรตแต่ละชั้นตอนมีขนาดใหญ่เพียงพอที่ไม่ก่อให้เกิดสัญญาณรบกวนมากเกินไปลดอัตราส่วนสัญญาณต่อสัญญาณรบกวนของทั้งระบบให้เสียไป แนวคิดดังกล่าวนำไปสู่การจัดสรรกำลังงานสัญญาณรบกวนในตัวอินทิเกรตแต่ละชั้นตอนโดยการกำหนดขนาดของตัวเก็บประจุในแต่ละชั้นตอนอย่างเหมาะสม ซึ่งเรียกว่า การสเกลตัวเก็บประจุ (Capacitor scaling) ซึ่งมีการนำมาใช้ในหลายงานวิจัยทั้งตัวแปลงแบบไปป์ไลน์ และแบบเดลต้าซิกม่า [1][2][5][20] แต่งานวิจัยดังกล่าวไม่ได้กล่าวถึงวิธีการดำเนินการหาขนาดตัวเก็บประจุโดยละเอียด บางงานวิจัย[5] ใช้วิธีการเลือกขนาดตัวเก็บประจุในชั้นตอนหลังโดยลดขนาดลงเป็นสัดส่วนลงตัว

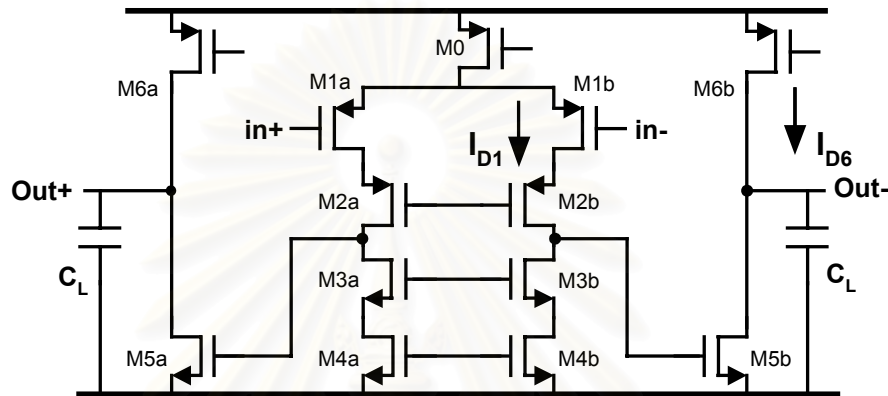
ในการออกแบบไมซ์กำลังงานทั้งมอดูเลเตอร์ การออกแบบแบ่งเป็นสองส่วนได้แก่ การออกแบบไมซ์กำลังงานในระดับสถาปัตยกรรมและระดับตัวอินทิเกรต ในระดับสถาปัตยกรรมสัญญาณรบกวนตามข้อกำหนดจะถูกจัดสรรให้แก่ตัวอินทิเกรตแต่ละชั้นตอนอย่างเหมาะสมเพื่อให้กินกำลังงานต่ำสุด ในระดับตัวอินทิเกรต สัญญาณรบกวนของแต่ละชั้นตอนจะถูกจัดสรรให้แก่แหล่งกำเนิดสัญญาณรบกวนต่าง ๆ อย่างเหมาะสมเพื่อให้กินกำลังงานต่ำสุดเช่นกัน

### 3.4.1 การออกแบบไมซ์กำลังงานในระดับตัวอินทิเกรต

ภายใต้ข้อกำหนดสัญญาณรบกวนของตัวอินทิเกรตค่าหนึ่งจะมีจุดที่ตัวอินทิเกรตกินกำลังงานต่ำสุดอยู่ สัญญาณรบกวนในตัวอินทิเกรตมาจากสองส่วนหลักคือ สัญญาณรบกวนจากการสุ่มตัวอย่างและสัญญาณรบกวนจากออปแอมป์ ในการแบ่งสัดส่วนของกำลังงานของสัญญาณรบกวนสองส่วนนี้ ถ้ากำหนดให้สัญญาณรบกวนจากการสุ่มตัวอย่างมีค่าน้อยเกินไป ตัวเก็บประจุสุ่มตัวอย่างจะมีขนาดใหญ่ ทำให้ออปแอมป์ต้องใช้กำลังงานมากเพื่อสามารถขับตัวเก็บประจุขนาดใหญ่ได้ แต่ถ้ากำหนดให้สัญญาณรบกวนจากออปแอมป์มีค่าน้อยเกินไป กำลังงานของออปแอมป์ก็ต้องเพิ่มขึ้นเช่นเดียวกัน ดังนั้นจะต้องเลือกขนาดสัญญาณรบกวนจากทั้งสองส่วนอย่างเหมาะสม

ตามข้อกำหนดในหัวข้อ 3.3.1 ออปแอมป์ที่ใช้ในตัวอินทิเกรตต้องมีอัตราขยายวงรอบเปิดไฟตรงที่มีค่าสูงในระดับ 60-90 dB ดังนั้นจึงเลือกออปแอมป์เป็นชนิดสองชั้นตอน ซึ่งมีชั้นตอนขาเข้าเป็นชนิดเทเลสโคปิก (Telescopic) ที่มีทรานซิสเตอร์ชนิด PMOS เป็นทรานซิสเตอร์ขาเข้า และชั้นตอนขาออกเป็นรูปแบบซอร์สร่วม (Common source) ที่มี

ทรานซิสเตอร์ NMOS เป็นตัวขยายดังรูปที่ 3.19 โครงสร้างดังกล่าวมีอัตราขยายอยู่ในระดับ  $(g_m r_o)^3$  ซึ่งมีความสามารถในการสร้างอัตราขยายวงรอบเปิดไฟตรงได้ในระดับ 90 dB และมีจำนวนกิ่งกระแสไบอัสน้อยกว่าโครงสร้างออปแอมป์ชนิดอื่นที่สามารถสร้างอัตราขยายได้ในระดับ 90 dB เช่น ออปแอมป์สองชั้นตอนที่มีขั้นตอนขาเข้าเป็นชนิดแคสโคดแบบพับ (Folded-cascode) [1] ออปแอมป์แบบมิลเลอร์ซ้อน (Nested miller) ออปแอมป์ชั้นตอนเดียวที่ใช้เทคนิคอิมพีแดนซ์ขาออกแบบเอ็นฮานซ์เมนต์ รายละเอียดอื่นในการออกแบบออปแอมป์จะแสดงในหัวข้อ 4.1



รูปที่ 3.19 โครงสร้างของออปแอมป์สองชั้นตอนที่ใช้ในตัวอินทิเกรต

การออปติไมซ์กำลังงานจะกระทำระหว่างขนาดสัญญาณรบกวนกับอัตราสแควร์ของออปแอมป์ โดยไม่คำนึงถึงรูปแบบการชดเชยของออปแอมป์ ทั้งนี้เพราะอัตราสแควร์ของออปแอมป์จะแปรผันโดยตรงกับกระแสไบอัสของออปแอมป์  $I_{D1}$  และ  $I_{D6}$  ซึ่งกระแสไบอัสนี้เกี่ยวข้องกับการกินกำลังงานของออปแอมป์โดยตรง ในขณะที่แบนด์วิดท์ของตัวอินทิเกรตสามารถปรับเพิ่มเติมได้จากรูปแบบการชดเชย และความถี่อัตราขยายเป็นหนึ่งในสามสามารถปรับได้จากขนาดของทรานซิสเตอร์ขาเข้า M1 อีกทางหนึ่ง ซึ่งความสัมพันธ์ระหว่างอัตราสแควร์  $SR$  และความถี่อัตราขยายเป็นหนึ่งใน  $\omega_u$  ของออปแอมป์สองชั้นตอนเป็นไปตามสมการที่ 3.11

$$SR = \omega_u V_{ds1}^{Sat} \quad (3.11)$$

กำลังงานของสัญญาณรบกวนของตัวอินทิเกรตรูปแบบทั่วไปในรูปที่ 3.14 สามารถเขียนได้เป็น (การคำนวณขนาดสัญญาณรบกวนนี้แสดงในภาคผนวก ก.)

$$P_N = \frac{2kT(1+b)}{C_{in}} + 2kTR_{sw}\beta\omega_u + \frac{2kTn\beta}{3C_C} \quad (3.12)$$

โดยที่  $P_N$  เป็นกำลังงานสัญญาณรบกวนรวมของตัวอินทิเกรต  
 $C_{in}$  เป็นตัวเก็บประจุขาเข้าหลัก



$C_C$	เป็นตัวเก็บประจุขดเชยในออปแอมป์ชนิดสองชั้นตอน
$n$	เป็นจำนวนทรานซิสเตอร์ที่สร้างสัญญาณรบกวน
$\omega_u$	เป็นความถี่อัตราขยายเป็นหนึ่งในออปแอมป์
$R_{sw}$	เป็นความต้านทานของสวิตช์ที่อนุกรมอยู่กับตัวเก็บประจุขาเข้า
$b = \frac{\sum C_{bi}}{C_{in}}$	เป็นอัตราส่วนระหว่างผลรวมของตัวเก็บประจุป้อนกลับหรือตัวเก็บประจุขาเข้าอื่นกับตัวเก็บประจุขาเข้าหลัก
$\alpha = \frac{C_{in}}{C_F}$	เป็นอัตราขยายของตัวอินทิเกรต
$\beta = \frac{C_F}{C_F + C_{in} + \sum C_{bi}} = \frac{1}{1 + \alpha(1+b)}$	เป็นตัวประกอบป้อนกลับ

สัญญาณรบกวนในตัวอินทิเกรตเกิดมาจากสามส่วน ได้แก่ สัญญาณรบกวนจากตัวเก็บประจุสมตัวอย่าง  $C_{in}$  สัญญาณรบกวนจากความต้านทานของสวิตช์ในขณะอินทิเกรต  $R_{sw}$  สัญญาณรบกวนจากออปแอมป์ ซึ่งเป็นนิพจน์ที่หนึ่ง สองและสามในสมการที่ 3.12 ตามลำดับ

ในตัวอินทิเกรตสวิตช์ตัวเก็บประจุ ความต้านทานของสวิตช์มีผลต่อความเร็วในการอินทิเกรตซึ่งมีความสัมพันธ์เกี่ยวกับขนาดตัวเก็บประจุขาเข้าที่ต่ออยู่ด้วย ดังนั้นจึงสามารถเปลี่ยนนิพจน์สัญญาณรบกวนอันเนื่องมาจากความต้านทานของสวิตช์ในรูป  $R_{sw}$  ไปอยู่ในรูปตัวเก็บประจุขาเข้า  $C_{in}$  ได้ โดยผ่านข้อกำหนดด้านความเร็ว แบนด์วิดท์ของตัวอินทิเกรต ( $1/\tau_{int}$ ) โดยคำนึงถึงผลของความต้านทานของสวิตช์ในขณะอินทิเกรตสามารถเขียนได้เป็น

$$\frac{1}{\tau_{int}} \approx \frac{1}{1/\beta\omega_u + R_{sw}(C_{in} + \sum C_{bi})} \stackrel{\Delta}{=} \frac{1}{\tau_{op} + \tau_{Cin}} \quad (3.13)$$

โดยที่  $\tau_{op} \stackrel{\Delta}{=} 1/\beta\omega_u$  คือ ค่าคงที่เวลาออปแอมป์  
 $\tau_{Cin} \stackrel{\Delta}{=} R_{sw}(C_{in} + \sum C_{bi}) = R_{sw}C_{in}(1+b)$  คือ ค่าคงที่เวลาสวิตช์

ในการออกแบบ ค่าคงที่เวลาสวิตช์  $\tau_{Cin}$  ต้องมีค่าต่ำกว่าค่าคงที่เวลาออปแอมป์  $\tau_{op}$  เพราะถ้าค่าคงที่เวลาสวิตช์  $\tau_{Cin}$  มีค่ามากกว่า  $\tau_{op}$  แล้ว จะต้องใช้ออปแอมป์ความเร็วสูงมาก เพื่อให้  $\tau_{op}$  มีค่าเล็ก ซึ่งออปแอมป์จะกินกำลังงานมากตามไปด้วย เพื่อให้ตัวอินทิเกรตยังคงมีความเร็วเป็น  $\frac{1}{\tau_{int}}$  ดังเดิม ดังนั้นความต้านทานของสวิตช์  $R_{sw}$  ที่อนุกรมอยู่กับตัวเก็บประจุขาเข้า ต้องมีค่าต่ำพอที่จะไม่ทำให้ความเร็วในการอินทิเกรตเสียไป ในที่นี้กำหนดให้  $\tau_{op} = \gamma \tau_{Cin}$  และในวิทยานิพนธ์นี้กำหนดให้  $\gamma=4$  ดังนั้นจะได้ว่า



$$R_{sw} = \frac{1}{\gamma C_{in} (1+b) \beta \omega_u} \quad (3.14)$$

แทนสมการที่ 3.14 ลงในสมการที่ 3.12 จะได้ว่ากำลังงานของสัญญาณรบกวนลดรูปเป็นเพียงฟังก์ชันของตัวเก็บประจุขาเข้า  $C_{in}$  และตัวเก็บประจุชดเชย  $C_C$  ดังสมการที่ 3.15

$$P_N(C_{in}, C_C) = kT \left( \frac{2(1+b)}{C_{in}} + \frac{2}{\gamma C_{in} (1+b)} + \frac{2n}{3C_C (1+\alpha(1+b))} \right) \quad (3.15)$$

สำหรับการกินกำลังของออปแอมป์สองขั้นตอนดังรูปที่ 3.19 สามารถเขียนในรูปกระแสไบอัสสถิตได้เป็น

$$P_{opamp} = (2I_{D1} + 2I_{D6}) V_{dd} \quad (3.16)$$

อัตราส่วนของออปแอมป์ทุกรูปแบบการชดเชยมีค่าเป็น  $\min\left(\frac{2I_{D1}}{C_C}, \frac{2I_{D6}}{C_C + C_L}\right)$  ซึ่ง  $\frac{2I_{D1}}{C_C}$  เป็นอัตราส่วนภายใน และ  $\frac{2I_{D6}}{C_C + C_L}$  เป็นอัตราส่วนภายนอก เพื่อให้อัตราส่วนภายในเท่ากับอัตราส่วนภายนอกเพื่อให้การใช้กระแสเป็นไปอย่างคุ้มค่าที่สุด จะได้ว่า

$$SR = \frac{2I_{D1}}{C_C} = \frac{2I_{D6}}{C_C + C_L} \quad (3.17)$$

ดังนั้นการกินกำลังงานจากสมการที่ 3.16 สามารถเขียนได้เป็น

$$P_{opamp} = SR(2C_C + C_L) V_{dd} \quad (3.18)$$

ตัวเก็บประจุ  $C_L$  สามารถเขียนในรูปของตัวเก็บประจุขาเข้า  $C_{in}$  และพารามิเตอร์อื่นของตัวอินทิเกรตได้เป็น

$$C_L = (C_F \parallel C_{in} (1+b)) + C_{parasitic} = C_{in} \left( \left( \frac{1}{\alpha} \parallel (1+b) \right) + b_{par} \right) \quad (3.19)$$

โดย  $b_{par}$  เป็นอัตราส่วนระหว่างตัวเก็บประจุปรสิติกขาออกกับตัวเก็บประจุขาเข้าหลักซึ่งในวิทยานิพนธ์นี้ประเมินให้มีค่าประมาณ 0.3 ดังนั้นการกินกำลังงานจากสมการที่ 3.18 สามารถเขียนเป็นฟังก์ชันของตัวเก็บประจุขาเข้า  $C_{in}$  และตัวเก็บประจุชดเชย  $C_C$  ได้ดังนี้

$$P_{opamp}(C_C, C_{in}) = SR \left( 2C_C + C_{in} \left( \left( \frac{1}{\alpha} \parallel (1+b) \right) + b_{par} \right) \right) V_{dd} \quad (3.20)$$

จุดที่ตัวอินทิเกรตกินกำลังงานต่ำสุด  $\hat{P}_{opamp}$  ภายใต้ข้อกำหนดของสัญญาณรบกวนที่กำหนดให้  $\hat{P}_N$  สามารถหาได้จากสมการที่ 3.15 และสมการที่ 3.20 โดยสมการที่ 3.20 เป็นฟังก์ชันจุดประสงค์ที่ต้องการหาการกินกำลังงานต่ำสุดและสมการที่ 3.15 เป็นเงื่อนไขบังคับ โดยกรรมวิธีทางแคลคูลัส จุดที่ออปแอมป์กินกำลังงานต่ำสุดแสดงได้ตามสมการที่ 3.21 เห็นได้ว่าในขั้นสุดท้าย จุดที่ออปแอมป์สองขั้นตอนกินกำลังงานต่ำสุด การกินกำลังงานของออปแอมป์จะแปรผกผันกับกำลังงานของสัญญาณรบกวนที่กำหนดให้

$$\hat{P}_{opamp} = \frac{K_P SR V_{dd}^{\Delta}}{\hat{P}_N} = f_{\min,opi}(\hat{P}_N) \quad (3.21)$$

$$\text{โดยที่ } K_P = \left[ 2K_N + \left( \left( \frac{1}{\alpha} \parallel (1+b) \right) + b_{par} \right) K_C K_N \right]$$

$$K_N = kT \left[ \frac{2(1+b)}{K_C} + \frac{2}{\gamma(1+b)K_C} + \frac{2n}{3(1+\alpha(1+b))} \right]$$

$$K_C = \sqrt{\frac{6(1+\alpha(1+b))}{n \left( \left( \frac{1}{\alpha} \parallel (1+b) \right) + b_{par} \right)} \left( (1+b) + \frac{1}{\gamma(1+b)} \right)}$$

ค่าพารามิเตอร์อื่นของตัวอินทิเกรตที่สามารถคำนวณได้จากจุดที่ออปแอมป์กินกำลังงานต่ำสุดนี้ คือ

$$\hat{C}_C = \frac{K_N}{\hat{P}_N} \quad (3.22ก)$$

$$\hat{C}_{IN} = K_C \hat{C}_C \quad (3.22ข)$$

$$\hat{I}_{D1} = \frac{SR \hat{C}_C}{2} \quad (3.22ค)$$

$$\hat{I}_{D6} = \frac{SR}{2} \left( \hat{C}_C + \hat{C}_{IN} \left( \left( \frac{1}{\alpha} \parallel (1+b) \right) + b_{par} \right) \right) \quad (3.22ง)$$

$$\hat{R}_{SW} = \frac{1}{\gamma \hat{C}_{IN} (1+b) BW} \quad (3.22จ)$$

โดย  $BW$  คือแบนด์วิดท์ของตัวอินทิเกรตตามตารางที่ 3.5

### 3.4.2 การออกแบบกำลังงานในระดับสถาปัตยกรรม

ในมอดูเลเตอร์เดลต้าซิกม่า สัญญาณรบกวนอิเล็กทรอนิกส์จากตัวอินทิเกรตแต่ละขั้นตอนถูกจัดสรรฐานไปด้วยอันดับเท่ากับจำนวนตัวอินทิเกรตที่อยู่ก่อนหน้า ดังนั้นสัญญาณรบกวนจากตัวอินทิเกรตขั้นตอนแรกจึงไม่ถูกจัดสรรฐานแต่ถูกลดขนาดสัญญาณรบกวนด้วยกระบวนการสุ่มเกินเท่านั้น ในขณะที่สัญญาณรบกวนจากตัวอินทิเกรตขั้นตอนหลัง ๆ ถูกจัดสรรฐานด้วยอันดับที่เพิ่มขึ้นร่วมกับกระบวนการสุ่มเกิน ดังนั้นตัวอินทิเกรตขั้นตอนแรกจึงต้องมีสัญญาณรบกวนที่น้อยกว่าขั้นตอนหลัง ๆ มาก จึงส่งผลให้ตัวอินทิเกรตขั้นตอนแรกกินกำลังงานมากกว่าขั้นตอนหลัง ๆ

เพื่อให้ทั้งระบบกินกำลังงานต่ำสุด ในการจัดสรรปริมาณสัญญาณรบกวน สัดส่วนของสัญญาณรบกวนจากตัวอินทิเกรตขั้นตอนแรกต่อสัญญาณรบกวนรวมทั้งหมดในข้อมูลสุดท้ายที่แปลงได้ ต้องมีค่ามากกว่าสัดส่วนจากตัวอินทิเกรตในขั้นตอนหลัง ๆ เพื่อให้การกินกำลังงานซึ่งมีค่ามากในขั้นตอนแรกมีค่าลดลง ซึ่งจะยังผลให้การกินกำลังงานโดยรวมลดลง ในการหาค่าการกินกำลังงานต่ำสุดของมอดูเลเตอร์ภายใต้โครงสร้างที่กำหนดให้สามารถดำเนินการได้ดังนี้

การกินกำลังงานรวมจากออปแอมป์  $P_{OP, Total}$  สามารถเขียนได้เป็น

$$P_{OP, Total} = f_{min, op1}(P_{N1}) + f_{min, op2}(P_{N2}) + f_{min, op3}(P_{N3}) + f_{min, op4}(P_{N4}) \quad (3.23)$$

โดยที่  $f_{min, opi}(P_{Ni})$  เป็นฟังก์ชันกำลังงานต่ำสุดของตัวอินทิเกรตแต่ละตัวเมื่อกำหนดขนาดสัญญาณรบกวนอ้างอิงที่ขาเข้า  $P_{Ni}$  ให้ ซึ่งฟังก์ชันนี้คือสมการที่ 3.21 จากการวิเคราะห์ในระดับตัวอินทิเกรต ดังนั้นสมการที่ 3.23 สามารถเขียนได้เป็น

$$P_{OP, Total} = \left( \frac{K_{P1} SR_1}{P_{N1}} + \frac{K_{P2} SR_2}{P_{N2}} + \frac{K_{P3} SR_3}{P_{N3}} + \frac{K_{P4} SR_4}{P_{N4}} \right) V_{dd} \quad (3.24)$$

และกำลังงานสัญญาณรบกวนรวมทั้งมอดูเลเตอร์  $P_{N, Total}$  สามารถเขียนได้เป็น

$$P_{N, Total} = \frac{(A_1)^2}{OSR} P_{N1} + \frac{(A_2)^2 \pi^2}{3 \cdot OSR^3} P_{N2} + \frac{(A_3)^2 \pi^4}{5 \cdot OSR^5} P_{N3} + \frac{(A_4)^2 \pi^6}{7 \cdot OSR^7} P_{N4} \quad (3.25)$$

โดยที่  $A_i$  เป็นอัตราขยายคิดจากขาเข้าของตัวอินทิเกรตแต่ละตัวไปยังขาออกของตัวแปลง ค่า  $A_i$  ของตัวอินทิเกรตขั้นตอนต่าง ๆ แสดงในตารางที่ 3.8 จากสมการที่ 3.25 เห็นได้ว่าสัญญาณรบกวนจากตัวอินทิเกรตขั้นตอนหลัง ๆ จะส่งผลต่อสัญญาณรบกวนรวมน้อยลงเพื่อความง่ายจะเขียนสมการที่ 3.25 ในรูปตัวแปรใหม่  $a_i$  ดังแสดงในสมการที่ 3.26

ตารางที่ 3.8 ค่าอัตราขยายคิดจากขาเข้าของตัวอินทิเกรตแต่ละตัวไปยังขาออกของตัวแปลง

ค่า $A_i$	$A_1$	$A_2$	$A_3$	$A_4$
ในรูปพหามิตเตอร์ระบบ	1	2	$\frac{2}{Gb1 \cdot a1}$	$\frac{2}{Gb1 \cdot Ga1 \cdot a1 \cdot a2}$
ค่าที่เป็นตัวเลข	1	2	8	8

$$P_{N,Total} = a_1 P_{N1} + a_2 P_{N2} + a_3 P_{N3} + a_4 P_{N4} \quad (3.26)$$

จากสมการที่ 3.24 และสมการที่ 3.26 เห็นได้ว่ามี  $P_{N1}$ ,  $P_{N2}$ ,  $P_{N3}$  และ  $P_{N4}$  เป็นตัวแปรอิสระในการหาค่าต่ำสุดของกำลังรวม  $P_{OP,Total}$  โดยมีกำลังงานสัญญาณรบกวนรวม  $P_{N,Total}$  ที่กำหนดให้เป็นเงื่อนไขบังคับ ค่าสัญญาณรบกวนในแต่ละขั้นตอนที่ทำให้การกินกำลังงานมีค่าต่ำสุด ( $\hat{P}_{N1}$ ,  $\hat{P}_{N2}$ ,  $\hat{P}_{N3}$ ,  $\hat{P}_{N4}$ ) สามารถหาได้จากกรรมวิธีทางแคลคูลัส ซึ่งได้ผลเป็น

$$\hat{P}_{Ni} = \sqrt{\frac{K_{Pi} SR_i}{\lambda a_i}} \quad (3.27)$$

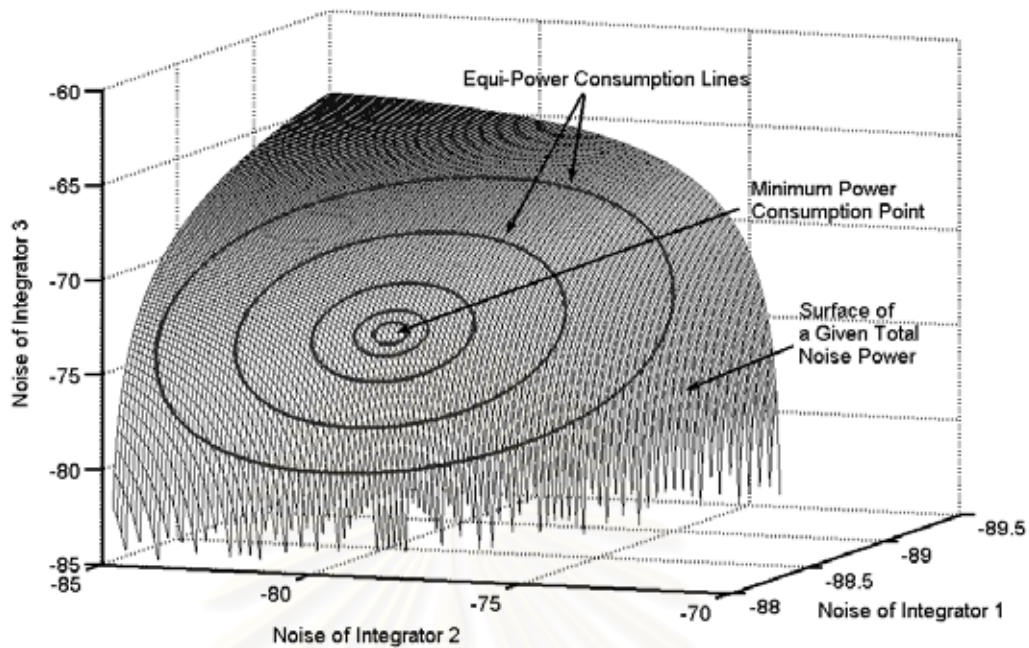
$$\text{โดยที่ } \sqrt{\lambda} = \frac{\sqrt{a_1 K_{P1} SR_1} + \sqrt{a_2 K_{P2} SR_2} + \sqrt{a_3 K_{P3} SR_3} + \sqrt{a_4 K_{P4} SR_4}}{P_{N,Total}}$$

### 3.4.3 ผลการออกแบบ

ในการออกแบบนี้จะทำการออกแบบเฉพาะตัวอินทิเกรตสามขั้นตอนแรกโดยไม่นำตัวอินทิเกรตในขั้นตอนสุดท้ายมารวมในการออกแบบด้วยเพราะตัวเก็บประจุในขั้นตอนสุดท้ายจะถูกจำกัดด้วยความสามารถในการเข้าคู่ (Matching) ของเทคโนโลยี อีกทั้งสัญญาณรบกวนจากตัวอินทิเกรตตัวสุดท้ายจะส่งผลต่อกำลังงานสัญญาณรบกวนรวมน้อยมากจนสามารถละเลยได้ โดยกำหนดให้สัญญาณรบกวนอิเล็กทรอนิกส์รวม  $P_{N,Total}$  มีขนาด  $-103$  dB เทียบกับขนาดแรงดันอ้างอิงที่  $\pm 0.8$  โวลต์ ( $0\text{dB}=1.28$  W) ผลการออกแบบที่แสดงดังตารางที่ 3.9

ตารางที่ 3.9 กำลังงานสัญญาณรบกวนและการกินกำลังงานที่ได้จากการออกแบบ

ตัวอินทิเกรต	สัญญาณรบกวน $P_{Ni}$ (dB)	การกินกำลังงาน (mW)	$C_C$ (pF)	$C_{in}$ (pF)	$I_{D1}$ (mA)	$I_{D6}$ (mA)
1	-88.5	56	6.4	15.7	1.74	6.76
2	-79.8	5.3	1	1.75	0.22	0.6
3	-73.6	2.0	0.25	0.54	0.063	0.25



รูปที่ 3.20 จุดการกินกำลังงานต่ำสุดของตัวอินทิเกรตทั้งสามตัวเมื่อ กำหนดขนาดสัญญาณรบกวนรวมให้

รูปที่ 3.20 แสดงจุดการกินกำลังงานต่ำสุดของตัวอินทิเกรตตัวทั้งสามขั้นตอนแรก เมื่อกำหนดขนาดสัญญาณรบกวนรวมให้ ผิดโค้งในปริภูมิสามมิติ (ของปริมาณสัญญาณรบกวน จากตัวอินทิเกรตแต่ละตัว) แสดงถึงจุดที่สัญญาณรบกวนรวมมีค่าตามที่กำหนดให้ (-103 dB) เส้น คอนทัวร์บนผิวดังแต่ละเส้นแสดงถึงจุดที่การกินกำลังงานจากตัวอินทิเกรตทั้งสามตัวมีค่าเท่ากัน บนเงื่อนไขบังคับปริมาณสัญญาณรบกวนรวม จะเห็นได้ว่าจะมีจุดบนผิวดังอยู่จุดหนึ่งที่มีการกิน กำลังงานมีค่าต่ำสุด

อย่างไรก็ตามผลการออกแบบที่ไมซ์ดังกล่าวเป็นเพียงค่าเริ่มต้นในการออกแบบระดับ วงจร โดยในการออกแบบจริงจะต้องทำการปรับขนาดกระแสอย่างละเอียดอีกครั้งหนึ่งเพื่อชดเชย ผลจากตัวเก็บประจุปรสิตต่าง ๆ เพื่อให้ออกแบบเป็นไปตามข้อกำหนดทางด้านความเร็วตามใน หัวข้อ 3.3.1 และค่ากำลังงานที่แสดงไว้ในตารางที่ 3.7 เป็นการกินกำลังงานของออกแบบหลัก เท่านั้น ยังไม่รวมไปถึงส่วนอื่น ๆ เช่น วงจรไบอัส วงจรป้อนกลับโหมดรวม เป็นต้น

### 3.5 สรุป

ในบทนี้ได้กล่าวถึง การเลือกโครงสร้างของตัวมอดูเลเตอร์ โครงสร้างวงจรของตัว มอดูเลเตอร์ การหาข้อกำหนดของแต่ละองค์ประกอบในระดับสถาปัตยกรรมโดยการจำลองเชิง พฤติกรรม และการออกแบบไมซ์กำลังงาน



ในวิทยานิพนธ์นี้พิจารณาเลือกใช้มอเตอร์โครงสร้างต่อเรียง 2-1-1 ที่มีอัตราการสูบลมตัวอย่างเกิน 32 เท่า และมีตัวควอนไทซ์ 3 บิต ในขั้นตอนสุดท้าย เนื่องจากโดยการประเมินแล้วการกินกำลังมีค่าไม่มากเกินไป ในขณะที่ความแม่นยำของอัตราขยายระหว่างขั้นแรกกับขั้นที่สองอยู่ในขอบเขตที่สามารถสร้างขึ้นได้ในเทคโนโลยีวงจรรวม และการเลือกโครงสร้างต่อเรียงนี้ทำให้ไม่ต้องคำนึงถึงปัญหาทางด้านเสถียรภาพของระบบ โครงสร้างมอเตอร์ที่ได้นำไปสู่การกำหนดโครงสร้างทางวงจรมอเตอร์ โดยมีการพิจารณาในหลายแง่ทั้งความเป็นไปได้ในการสร้างและการลดการกินกำลังงาน อันได้แก่ การใช้วงจรแบบผลต่าง การเลือกรูปแบบการป้อนกลับในตัวอินทิเกรต และการเลือกขนาดแรงดันอ้างอิงของตัวแปลง

จากการจำลองเชิงพฤติกรรมพบว่า ข้อกำหนดด้าน อัตราขยายวงรอบเปิดไฟตรงของออปแอมป์ อัตราสแควร์ของออปแอมป์และแบนด์วิดท์ของตัวอินทิเกรต แต่ละตัวต้องมีค่ามากเพียงพอจึงทำให้มอเตอร์ทั้งระบบสามารถแปลงสัญญาณให้เป็นข้อมูลที่มีอัตราส่วนสัญญาณต่อสัญญาณรบกวนในระดับที่กำหนดได้ ตัวอินทิเกรตในมอเตอร์ขั้นแรกต้องมี อัตราขยายวงรอบเปิดไฟตรงของออปแอมป์ อัตราสแควร์ของออปแอมป์และแบนด์วิดท์ของตัวอินทิเกรต มากกว่าตัวอินทิเกรตในมอเตอร์ขั้นถัดมา ในส่วนของตัวควอนไทซ์ ค่าออฟเซตและฮิสเทอรีซิสของตัวเปรียบเทียบสามารถแปรปรวนได้ภายในขอบเขตอันหนึ่งโดยไม่ทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนและความเพี้ยนลดลง ซึ่งข้อกำหนดของตัวเปรียบเทียบในตัวแปลงแบบเดลต้าซิกม่านั้นจะง่ายกว่าข้อกำหนดของตัวเปรียบเทียบของตัวแปลงแบบอัตราในควิสต์ที่ความละเอียดเดียวกันมาก

การออปติไมซ์กำลังงานสามารถแบ่งออกได้สองส่วนคือ การออปติไมซ์กำลังงานในระดับตัวอินทิเกรต และการออปติไมซ์กำลังงานในระดับสถาปัตยกรรม ผลที่ได้จากการออปติไมซ์ในระดับตัวอินทิเกรต คือ ในจุดที่การกินกำลังงานต่ำสุด การกินกำลังงานของออปแอมป์จะแปรผกผันกับขนาดสัญญาณรบกวนรวมของตัวอินทิเกรต และผลที่ได้จากการออปติไมซ์ในระดับสถาปัตยกรรม คือ การกินกำลังงานและกำลังงานสัญญาณรบกวนของตัวอินทิเกรตแต่ละตัว โดยตัวอินทิเกรตในขั้นตอนแรกสุดเป็นตัวอินทิเกรตที่มีภาระสัญญาณรบกวนและการกินกำลังงานมากที่สุด ในขณะที่ตัวอินทิเกรตในขั้นตอนถัดมามีภาระสัญญาณรบกวนและการกินกำลังงานลดลงเป็นลำดับ นอกจากนี้การออปติไมซ์ยังให้ ขนาดของตัวเก็บประจุที่เหมาะสม ค่าความต้านทานรวมของสวิทช์ และขนาดกระแสไบอัสสถิตในออปแอมป์ของตัวอินทิเกรตแต่ละขั้นตอนซึ่งจะถูกนำไปใช้ในการออกแบบตัวอินทิเกรตในระดับวงจรต่อไป



## บทที่ 4

### การออกแบบวงจร

ในบทนี้จะกล่าวถึงการออกแบบองค์ประกอบต่าง ๆ ในระดับวงจรและการวาดผังวงจรรวมในแต่ละองค์ประกอบเพื่อให้ได้สมรรถนะตามข้อกำหนดจากการจำลองเชิงพฤติกรรมและกระบวนการออกแบบอัตโนมัติในบทที่แล้ว องค์ประกอบในระดับวงจรในตัวมอดูเลเตอร์แบบเดลต้าซิกม่า ได้แก่ ออปแอมป์ ตัวเปรียบเทียบ วงจรสร้างแรงดันอ้างอิง วงจรสร้างกระแสไบอัส วงจรกำเนิดสัญญาณนาฬิกา และวงจรสวิตช์บีบประจุ

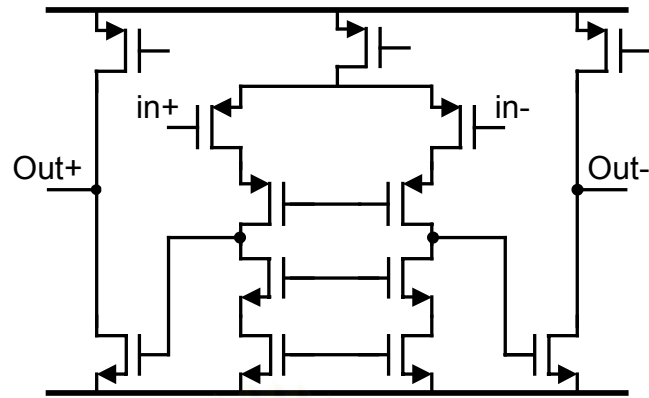
#### 4.1 ออปแอมป์

##### 4.1.1 การเลือกโครงสร้างของออปแอมป์

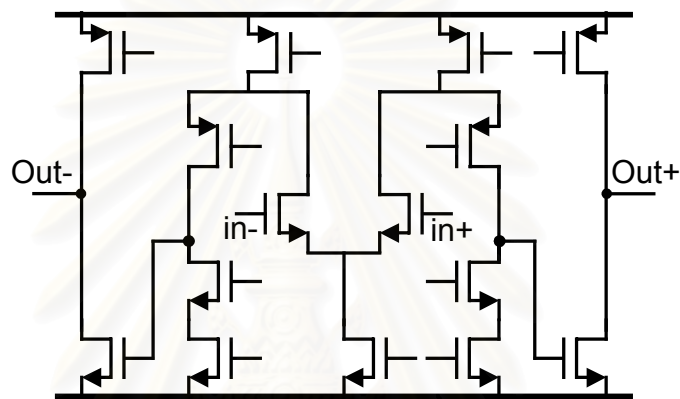
ในการเลือกโครงสร้างของออปแอมป์เพื่อให้สามารถทำงานได้ตามข้อกำหนดจากระดับสถาปัตยกรรมและมีการกินกำลังงานที่ต่ำ จะต้องพิจารณาในแง่ต่าง ๆ อันได้แก่ อัตราขยายไฟตรง ช่วงแวงสัญญาณขาออก สัญญาณรบกวน และการกินกำลังงาน

ในด้านอัตราขยายไฟตรง ออปแอมป์ที่ใช้ต้องมีอัตราขยายไฟตรงได้ถึงในระดับ 90 dB ดังนั้นออปแอมป์ต้องมีอัตราขยายอยู่ในอันดับ  $(g_m r_o)^3$  โครงสร้างที่สามารถให้อัตราขยายในขนาดดังกล่าวได้ คือ ออปแอมป์ชนิดสองชั้นตอนที่มีชั้นตอนขาเข้าเป็นรูปแบบเทเลสโคปิก (Telescopic) หรือแบบคาสโคดพับ (Folded cascode) หรือออปแอมป์แบบชั้นตอนเดียวที่ใช้เทคนิคิมพีแดนซ์ขาออกแบบเอ็นฮานซ์เมนต์ (Enhanced output-impedance) โครงสร้างทั้งสามแบบแสดงในรูปที่ 4.1 โดยเลือกใช้รูปแบบที่ให้สัญญาณขยายผ่านทรานซิสเตอร์ชนิดเอ็นในชั้นตอนขาออกเพื่อให้โพลปรสิติของออปแอมป์อยู่ที่ความถี่สูงกว่าในกรณีสัญญาณขยายผ่านทรานซิสเตอร์ชนิดพี และในขั้นนี้จะไม่พิจารณาในเรื่องการชดเชย

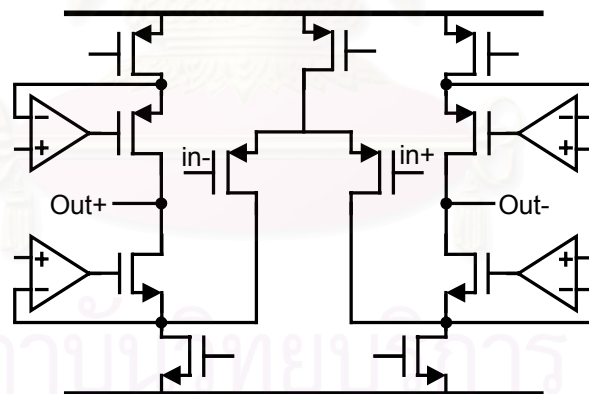
โครงสร้างของออปแอมป์สองชั้นตอนทั้งสองแบบมีโครงสร้างดังรูปที่ 4.1ก และ 4.1ข ออปแอมป์ทั้งสองแบบนี้มีทรานซิสเตอร์ในชั้นตอนขาออกต่ออยู่ในรูปแบบซอร์สรวม ทำให้ช่วงแวงขาออกกว้าง สัญญาณสามารถแวงได้ในช่วง  $V_{dd} - V_{ds,sat,NNOS} - |V_{ds,sat,PMOS}|$  ในขณะที่แบบชั้นตอนเดียวที่ใช้เทคนิคิมพีแดนซ์ขาออกแบบเอ็นฮานซ์เมนต์ซึ่งแสดงในรูปที่ 4.1ค มีช่วงแวงขาออกแคบกว่า สัญญาณสามารถแวงได้ในช่วง  $V_{dd} - 2V_{ds,sat,NNOS} - 2|V_{ds,sat,PMOS}|$  ดังได้กล่าวไปแล้วในหัวข้อ 3.2.3 ถ้าช่วงแวงสัญญาณแคบเกินไปทำให้ต้องใช้ตัวเก็บประจุสมัตัวอย่างขนาดใหญ่ ส่งผลให้ออปแอมป์กินกำลังงานมาก นอกจากนี้การลดขนาดของแรงดันอิมิต์



(ก)



(ข)



(ค)

รูปที่ 4.1 รูปแบบของออปแอมป์ที่สามารถสร้างอัตราขยายได้ในระดับ 90 dB

(ก) ออปแอมป์สองชั้นตอนที่มีขั้นตอนขาเข้าเป็นแบบเทเลสโคปิก

(ข) ออปแอมป์สองชั้นตอนที่มีขั้นตอนขาเข้าเป็นแบบคาสโคดพับ

(ค) ออปแอมป์ชั้นตอนเดียวที่ใช้เทคนิคคิมพีแดนซ์ขาออกแบบเอ็นฮานซ์เมนต์

ของทรานซิสเตอร์ขาออกในแบบขั้นตอนเดียวที่ใช้เทคนิคดังกล่าวให้เท่ากับแบบสองขั้นตอนจะทำให้ตัวเก็บประจุประจุประจุมีค่าเพิ่มขึ้นสี่เท่าโดยประมาณ ซึ่งทำให้วงจรทำงานได้ช้าลง

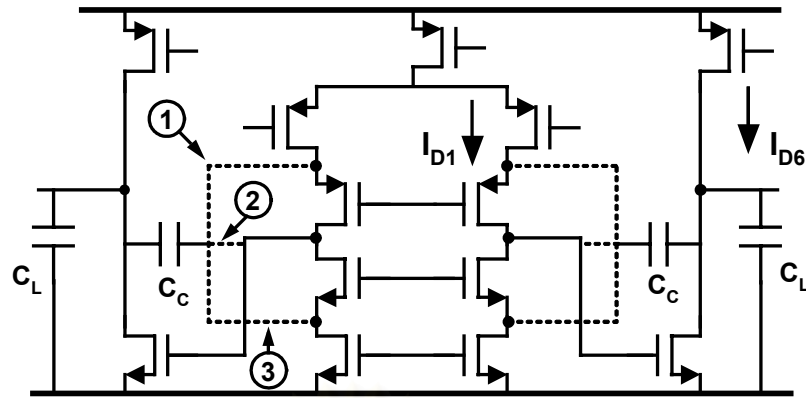
ในด้านสัญญาณรบกวน ออปแอมป์ในรูปแบบเทเลสโคปิกมีทรานซิสเตอร์กำเนิด 4 สัญญาณรบกวนหลักจำนวนสี่ตัว ในขณะที่แบบคาสโคดพับและแบบขั้นตอนเดียวที่ใช้เทคนิค อิมพีแดนซ์ขาออกแบบเอ็นฮานซ์เมนต์มีทรานซิสเตอร์กำเนิดสัญญาณรบกวนหลักหกตัว สำหรับ ตัวแปลงความละเอียดสูง ออปแอมป์ที่ใช้ควอร์จะมีสัญญาณรบกวนต่ำที่สุดเท่าที่จะเป็นไปได้

ในด้านการกินกระแส ออปแอมป์แบบคาสโคดพับใช้กระแสในขั้นตอนขาเข้าเป็น สองเท่าของแบบเทเลสโคปิกเพื่อให้ได้สมรรถนะทางด้านแบนด์วิดท์ที่เท่ากันโดยประมาณ ในขณะที่แบบเทเลสโคปิกต้องการแรงดันของแหล่งจ่ายที่สูงกว่าแบบคาสโคดพับ เพื่อให้ทรานซิสเตอร์ที่ ต่อคาสโคดกันอยู่ยังสามารถทำงานอยู่ในย่านอิมิตตัว ส่วนออปแอมป์แบบขั้นตอนเดียว กระแสในแต่ละกิ่งจะต้องมีขนาดใกล้เคียงกับกระแสในขั้นตอนขาออกของออปแอมป์สองขั้นตอนเพื่อให้ สามารถขับโหลดในขนาดเดียวกันได้ ยิ่งไปกว่านั้น การใช้เทคนิคอิมพีแดนซ์ขาออกแบบเอ็นฮานซ์ เมนต์ทำให้ต้องเสียกำลังงานไปในตัวขยายเอ็นฮานซ์เมนต์อีกส่วนหนึ่งด้วย

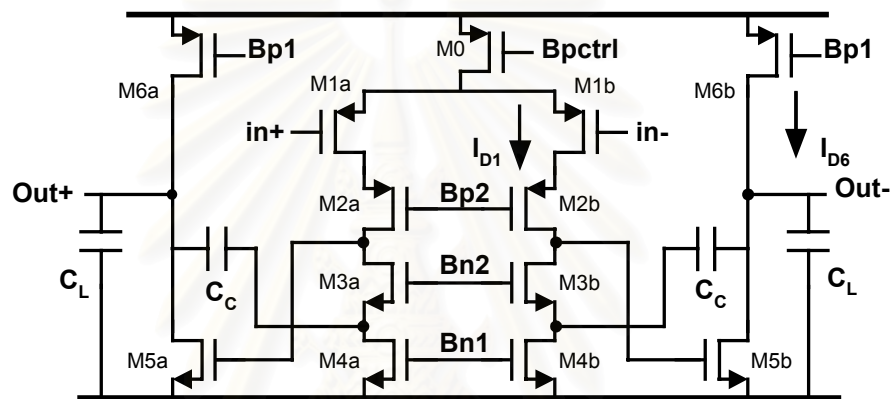
ภายใต้ข้อกำหนดแรงดันแหล่งจ่ายขนาด 3.3 โวลต์ ออปแอมป์สองขั้นตอนแบบ เทเลสโคปิกเป็นรูปแบบที่มีความเหมาะสมในการสร้างมากที่สุด ทั้งในด้านการกินกำลังงาน จำนวนทรานซิสเตอร์กำเนิดสัญญาณรบกวนหลัก และช่วงแวงสัญญาณขาออก ในวิทยานิพนธ์ นี้จึงเลือกใช้ ออปแอมป์สองขั้นตอนแบบเทเลสโคปิกในตัวอินทิเกรต

#### 4.1.2 การเลือกรูปแบบการชดเชยในออปแอมป์

ในตัวอินทิเกรตแบนด์วิดท์กว้าง ออปแอมป์ที่ใช้ต้องมีความถี่อัตราขยายเป็นหนึ่ง ที่สูง และมีโพลปรสิตวงรอบเปิด (Open-loop parasitic pole) ที่ความถี่สูงเพียงพอเมื่อออปแอมป์ ถูกป้อนกลับแล้วยังคงสูงกว่าโพลเด่นค่าจริง (Real dominant pole) ของระบบ เพื่อให้ระบบทั้งมี เสถียรภาพและสามารถประมาณได้เป็นระบบโพลเดียว อย่างไรก็ตาม ความถี่ของโพลปรสิต วงรอบเปิดก็ขึ้นกับรูปแบบการชดเชย ดังนั้นจึงต้องศึกษาเปรียบเทียบรูปแบบการชดเชยเพื่อเลือก รูปแบบการชดเชยที่เหมาะสมที่ให้แบนด์วิดท์ที่กว้างกว่าและการกินกำลังงานต่ำกว่า ออปแอมป์ สองขั้นตอนแบบเทเลสโคปิกตามที่ได้เลือกจากหัวข้อที่ 4.1.1 สามารถชดเชยได้สามรูปแบบ คือ (1) การชดเชยแบบคาสโคด (Cascode compensation) (2) การชดเชยแบบมิลเลอร์ (Miller compensation) และ (3) การชดเชยแบบคาสโคดปรับปรุง (Modified cascode compensation) ดังรูปที่ 4.2ก



(ก)



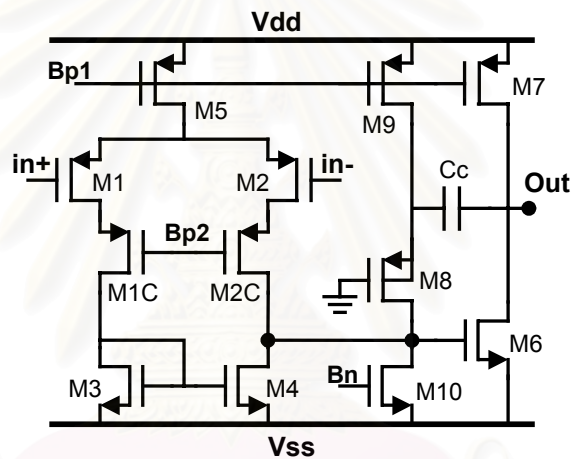
(ค)

#### รูปที่ 4.2 ออปแอมป์สองขั้นตอนที่มีการชดเชยแบบต่าง ๆ

- (ก) ออปแอมป์สองขั้นตอนซึ่งการชดเชยเป็นไปได้หลายรูปแบบ
- (1) การชดเชยแบบคาสโคด (Cascode compensation)
  - (2) การชดเชยแบบมิลเลอร์ (Miller compensation)
  - (3) การชดเชยแบบคาสโคดปรับปรุง (Modified cascode compensation)
- (ข) รูปวงจรมอดูของออปแอมป์ที่มีการชดเชยแบบคาสโคดปรับปรุง ซึ่งใช้ในวิทยานิพนธ์นี้

ในการชดเชยแบบมิลเลอร์ซึ่งเป็นการชดเชยแบบมาตรฐาน ตัวเก็บประจุชดเชยต่อคร่อมระหว่างขาออกของออปแอมป์และขาเกตของทรานซิสเตอร์ขยายขาออก M5 ในการชดเชยแบบคาสโคด [21] ตัวเก็บประจุชดเชยต่ออยู่ระหว่างขาออกของออปแอมป์และขาเดรนของทรานซิสเตอร์ขาเข้า และในการชดเชยแบบคาสโคดปรับปรุงซึ่งได้ดัดแปลงมาจากงานวิจัยของ Ahuja [22] ซึ่งแสดงในรูปที่ 4.3 ตัวเก็บประจุชดเชยต่ออยู่ระหว่างขาออกของออปแอมป์และขาเดรนของทรานซิสเตอร์แหล่งกระแสในขั้นตอนขาเข้า M4 การชดเชยแบบคาสโคดปรับปรุงนี้ได้รับการย้ายหน้าที่ทรานซิสเตอร์ชนิดพี M8 ในแบบของ Ahuja มารวมอยู่ที่ทรานซิสเตอร์ชนิดเอ็น M3

ในแบบคาสโคดปรับปรุง ดังนั้นทรานซิสเตอร์ M3 ในแบบคาสโคดปรับปรุงจึงทำหน้าที่เป็นทั้งส่วนหนึ่งของการชดเชยและส่วนหนึ่งของโหลดคาสโคด การชดเชยแบบคาสโคดปรับปรุงและแบบของ Ahuja มีแบบจำลองสัญญาณขนาดเล็กเหมือนกันดังแสดงในรูปที่ 4.5 การปรับปรุงดังกล่าวทำให้โพลปรสิตจากการชดเชยอยู่ที่ความถี่สูงกว่าเดิมเนื่องจากใช้ทรานซิสเตอร์ชนิดเอ็น M3 แทนทรานซิสเตอร์ชนิดพี M8 และลดการกินกำลังงานเนื่องจากลดกระแสลงสองกึ่ง (ในกรณีที่ใช้การชดเชยแบบ Ahuja ในออปแอมป์แบบแบบผลต่าง) ได้มีงานวิจัย [2][23] แสดงว่าการชดเชยแบบคาสโคดปกติสามารถให้แบนด์วิดท์มากกว่าการชดเชยแบบมิลเลอร์ ดังนั้นในวิทยานิพนธ์นี้จึงเปรียบเทียบแบนด์วิดท์ระหว่างการชดเชยแบบคาสโคดปกติกับการชดเชยแบบคาสโคดปรับปรุงซึ่งให้ผลว่า การชดเชยแบบคาสโคดปรับปรุงสามารถให้แบนด์วิดท์มากกว่าการชดเชยแบบคาสโคดปกติ ภายใต้การกินกำลังงานที่เท่ากัน



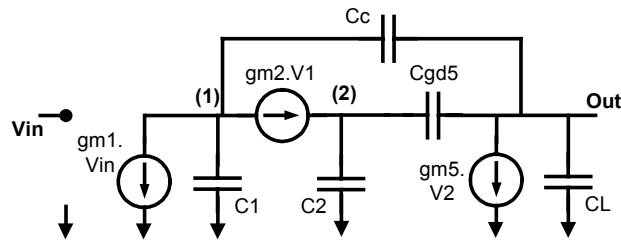
รูปที่ 4.3 ออปแอมป์สองขั้นตอนที่มีการชดเชยตาม Ahuja เส้น

โดยการใช้แบบจำลองสัญญาณขนาดเล็ก ในการวิเคราะห์การชดเชยแบบคาสโคดปกติซึ่งแสดงในรูปที่ 4.4(ก) พบว่าออปแอมป์มี โพลค่าจริงที่ความถี่ต่ำ  $P_1$  หนึ่งโพล โพลค่าเชิงซ้อนที่ความถี่สูง  $P_{2,3}$  สองโพล และศูนย์ค่าจริง  $Z_{1,2}$  สองศูนย์ ความถี่อัตราขยายเป็นหนึ่ง  $\omega_u$  มีค่าเป็น

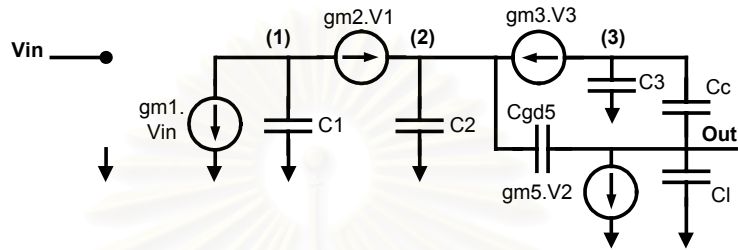
$$\omega_u = g_{m1} / C_C \quad (4.1)$$

โพลค่าเชิงซ้อนที่ความถี่สูงสองโพล  $P_{2,3}$  เป็นรากของสมการ

$$\begin{aligned} & s^2 [(C_{gd5} + C_2)(C_C + C_L)C_1 + (C_C + C_1)C_2C_{gd5} + (C_{gd5} + C_2)C_C C_L] \\ & + s [g_{m2}C_2(C_L + C_C + C_{gd5}) + g_{m2}C_{gd5}C_L + g_{m5}C_{gd5}(C_C + C_1)] \\ & + s [g_{m2}g_{m5}(C_{gd5} + C_C)] = 0 \end{aligned} \quad (4.2)$$



รูปที่ 4.4ก แบบจำลองสัญญาณขนาดเล็กของออปแอมป์ที่มีการชดเชยแบบคาสโคดปกติ



รูปที่ 4.4ข แบบจำลองสัญญาณขนาดเล็กของออปแอมป์ที่มีการชดเชยแบบคาสโคดปรับปรุง

และศูนย์ค่าจริงอยู่ที่

$$Z_{1,2} = \pm \sqrt{gm_2 gm_5 / C_2 C_C} \quad (4.3)$$

สำหรับการชดเชยแบบคาสโคดปรับปรุงซึ่งมีแบบจำลองสัญญาณขนาดเล็กแสดงในรูปที่ 4.4(ข) พบว่าออปแอมป์มี โพลค่าจริงที่ความถี่ต่ำ  $P_1$  หนึ่งโพล และที่ความถี่สูง  $P_4$  หนึ่งโพล โพลค่าเชิงซ้อนที่ความถี่สูง  $P_{2,3}$  สองโพล และศูนย์ค่าจริง  $Z_1$  หนึ่งศูนย์บนฝั่งซ้ายของแกนจินตภาพ ความถี่อัตราขยายเป็นหนึ่งใน  $\omega_u$  มีค่าเป็น

$$\omega_u = gm_1 / C_C \quad (4.4)$$

โพลค่าเชิงซ้อนที่ความถี่สูงสองโพล  $P_{2,3}$  เป็นรากของสมการ

$$\begin{aligned} & s^2 [(C_{gd5} + C_2)(C_C + C_L)C_3 + (C_C + C_3)C_2 C_{gd5} + (C_{gd5} + C_2)C_C C_L] \\ & + s [gm_3 C_2 (C_L + C_C + C_{gd5}) + gm_3 C_{gd5} C_L + gm_5 C_{gd5} (C_C + C_3)] \\ & + s [gm_3 gm_5 (C_{gd5} + C_C)] = 0 \end{aligned} \quad (4.5)$$

โพลค่าจริงที่ความถี่สูงอยู่ที่

$$P_4 = -gm_2 / C_1 \quad (4.6)$$



และศูนย์ค่าจริงอยู่ที่

$$Z_1 = -g_{m3} / C_C \quad (4.7)$$

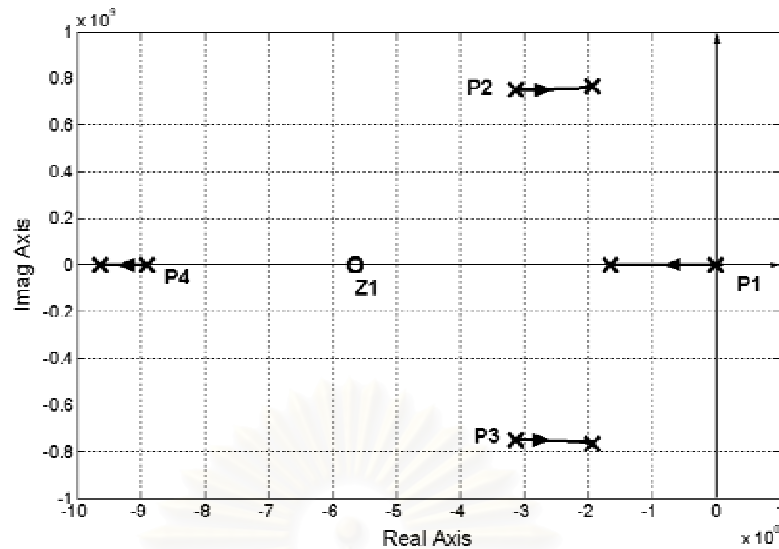
เห็นได้ว่า ด้วยการชดเชยทั้งสองแบบ ความถี่อัตราขยายเป็นหนึ่งอยู่ที่ค่าเดียวกัน และ สมการที่ 4.2 และสมการที่ 4.5 ซึ่งแสดงตำแหน่งโพลเชิงซ้อนมีรูปแบบเดียวกัน แต่มีจุดแตกต่างกันสองจุดคือ  $g_{m2}$  และ  $C_1$  ในสมการที่ 4.2 ถูกแทนที่ด้วย  $g_{m3}$  และ  $C_3$  ในสมการที่ 4.5

ผลการเปรียบเทียบตำแหน่งโพลเชิงซ้อนของออปแอมป์จากการชดเชยทั้งสองรูปแบบ โดยกำหนดให้ออปแอมป์มีกระแสไบแอส  $I_1$  และ  $I_6$  เท่ากัน มีขนาดทรานซิสเตอร์เท่ากัน มีตัวเก็บประจุโหลดและชดเชยเท่ากัน พบว่าการชดเชยแบบคาสโคดปรับปรุงให้โพลเชิงซ้อนซึ่งมีความถี่จริงสูงกว่าจากแบบคาสโคดปกติ ที่เป็นดังนี้ เนื่องมาจากในสมการของการชดเชยแบบคาสโคดปรับปรุง ค่า  $g_{m3}$  และ  $C_3$  เป็นทรานสคอนดักแตนซ์และตัวเก็บประจุแฝงจากทรานซิสเตอร์ชนิดเอ็น ในขณะที่ในสมการของการชดเชยแบบคาสโคดปกติ ค่า  $g_{m2}$  และ  $C_1$  เป็นทรานสคอนดักแตนซ์และตัวเก็บประจุแฝงจากทรานซิสเตอร์ชนิดพี ผลการเปรียบเทียบตำแหน่งโพลและศูนย์ระหว่างการชดเชยทั้งสองรูปแบบผลหนึ่งแสดงในตารางที่ 4.1 ซึ่งแสดงให้เห็นว่าความถี่จริงของโพลเชิงซ้อนของการชดเชยแบบคาสโคดปรับปรุงสูงกว่าแบบคาสโคดปกติ

**ตารางที่ 4.1** ตารางเปรียบเทียบตำแหน่งโพลและศูนย์วงรอบเปิดของออปแอมป์ที่มีการชดเชยแบบคาสโคดปกติและคาสโคดปรับปรุง โดยที่ออปแอมป์ทั้งสองมี  $I_1 = 0.3\text{mA}$ ,  $I_6 = 1\text{ mA}$ ,  $C_C = 1\text{pF}$ ,  $C_L = 1.8\text{pF}$ ,  $\omega_u = 280\text{ MHz}$

โพลและศูนย์	การชดเชยแบบคาสโคดปกติ	การชดเชยแบบคาสโคดปรับปรุง
$P_1$	-11 kHz	-3.3kHz
$P_{2,3}$	$-119 \pm 458i$ MHz	$-313 \pm 752i$ MHz
$P_4$	-	-889 MHz
$Z_1$	-1 GHz	-565 MHz
$Z_2$	940 MHz	-

เมื่อออปแอมป์ถูกป้อนกลับ โพลเชิงซ้อนดังกล่าวจะเดินทางลงสู่ความถี่ต่ำในขณะที่โพลจริงจากความถี่ต่ำเดินทางขึ้นสู่ความถี่สูง ซึ่งแสดงได้ตามทางเดินรากในรูปที่ 4.5 ในการออกแบบ จะต้องควบคุมการป้อนกลับออปแอมป์ให้โพลจริงยังอยู่ที่ความถี่ต่ำกว่าโพลเชิงซ้อนที่เดินทางลงมา ซึ่งระบบป้อนกลับจะยังคงสามารถประมาณได้เป็นระบบอันดับหนึ่งที่มีแบนด์วิดท์อยู่ที่โพลจริงตัวดังกล่าว ดังนั้นออปแอมป์ที่มีค่าจริงของโพลเชิงซ้อนวงรอบเปิดที่ความถี่สูงกว่าจะ



รูปที่ 4.5 ทางเดินรากของโพลอินเนื่องมาจากผลของตัวประกอบป้อนกลับ

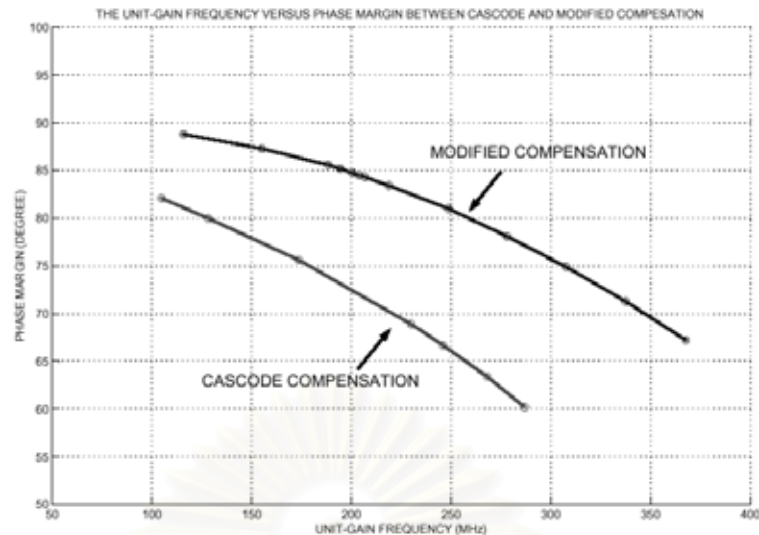
ที่ค่าความถี่อัตราขยายเป็นหนึ่งคงที่ค่าหนึ่ง ของออปแอมป์ที่ใช้การชดเชยแบบคาสโคดปรับปรุง

สามารถสร้างให้มีแบนด์วิดท์ที่กว้างกว่าออปแอมป์ที่มีค่าจริงของโพลเชิงซ้อนวงรอบเปิดที่ความถี่ต่ำกว่าได้ ดังนั้นออปแอมป์ที่มีการชดเชยแบบคาสโคดปรับปรุงสามารถสร้างให้มีแบนด์วิดท์ที่สูงกว่าแบบคาสโคดปกติได้

นอกจากนี้ ศูนย์ทางด้านซ้ายของแกนจินตภาพใกล้ความถี่อัตราขยายเป็นหนึ่ง ในการชดเชยแบบคาสโคดปรับปรุงส่งผลให้ส่วนเฟสมีค่าเพิ่มขึ้นและปรับปรุงการเข้าที่ให้เร็วกว่าการเข้าที่จากการชดเชยแบบคาสโคดปกติเล็กน้อย รูปที่ 4.6 แสดงผลการเปรียบเทียบส่วนเฟสเทียบกับความถี่อัตราขยายเป็นหนึ่งระหว่างการชดเชยทั้งสองรูปแบบเมื่อกำหนดให้ออปแอมป์ที่ชดเชยทั้งสองวิธีมีการกินกำลังงานเท่ากัน โดยการปรับความถี่อัตราขยายเป็นหนึ่งจากขนาดทรานซิสเตอร์ขาเข้า โพลและศูนย์อื่น ๆ ยังอยู่ที่ตำแหน่งเดิม ดังนั้นเมื่อความถี่อัตราขยายเป็นหนึ่งมีค่าเพิ่มขึ้น ส่วนเฟสจึงมีค่าลดลง เห็นได้ว่าที่ความถี่อัตราขยายเป็นหนึ่งที่เท่ากัน ส่วนเฟสของการชดเชยแบบคาสโคดปรับปรุงจะมีค่าสูงกว่าส่วนเฟสของแบบคาสโคดปกติ จากข้อดีหลายประการของการชดเชยแบบคาสโคดปรับปรุง ในวิทยานิพนธ์นี้จึงเลือกใช้ออปแอมป์ที่มีการชดเชยแบบคาสโคดปรับปรุงตามที่แสดงในรูปที่ 4.2(ค)

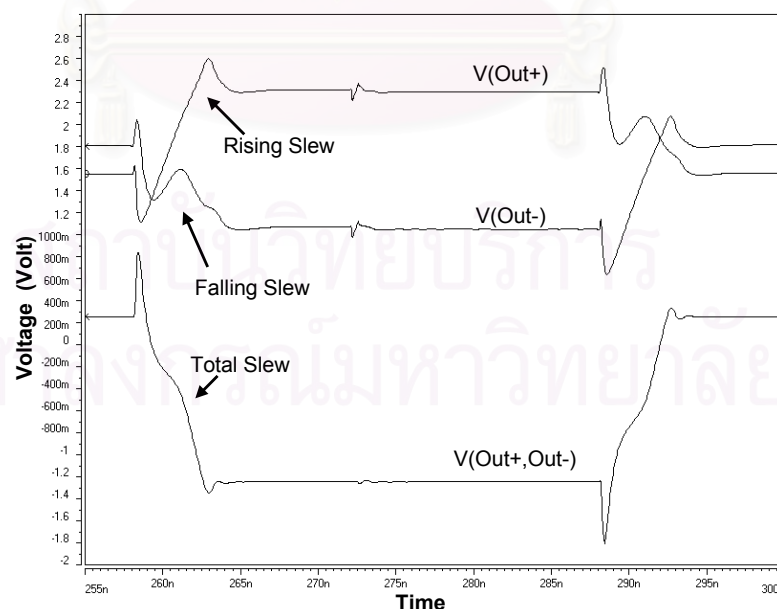
ตามรูปแบบของออปแอมป์นี้ อัตราสัญญาณมีค่าโดยประมาณเป็น

$$SR = \min\left(\frac{2I_{D1}}{C_C}, \frac{2I_{D6}}{C_C + C_L}\right) \quad (4.8)$$



รูปที่ 4.6 ผลการเปรียบเทียบส่วนเฟสเทียบกับความถี่อัตราขยายเป็นหนึ่ง ระหว่างการชดเชยทั้งสองรูปแบบ เมื่อออปแอมป์มีการกินกำลังงานที่เท่ากัน

อย่างไรก็ตาม การชดเชยแบบคาสโคดปรับปรุงมีข้อเสียในด้านอัตราการสลับอยู่เล็กน้อย กล่าวคือ ขณะออปแอมป์อยู่ในภาวะสลับ อัตราการสลับขาลงในข้างหนึ่งของออปแอมป์จะมีค่าน้อยกว่าอัตราการสลับขาขึ้นในอีกด้านหนึ่งดังแสดงในรูปที่ 4.7 ดังนั้นผลรวมของอัตราการสลับที่ปรากฏทั้งสองข้างของขาออกจะมีค่าน้อยกว่าตามสมการที่ 4.8 อยู่เล็กน้อย ทำให้ในการออกแบบต้องเพิ่มขนาดกระแสในทั้งสองกิ่งของออปแอมป์อีกเล็กน้อย เพื่อให้อัตราการสลับของออปแอมป์ผ่านตามข้อกำหนด

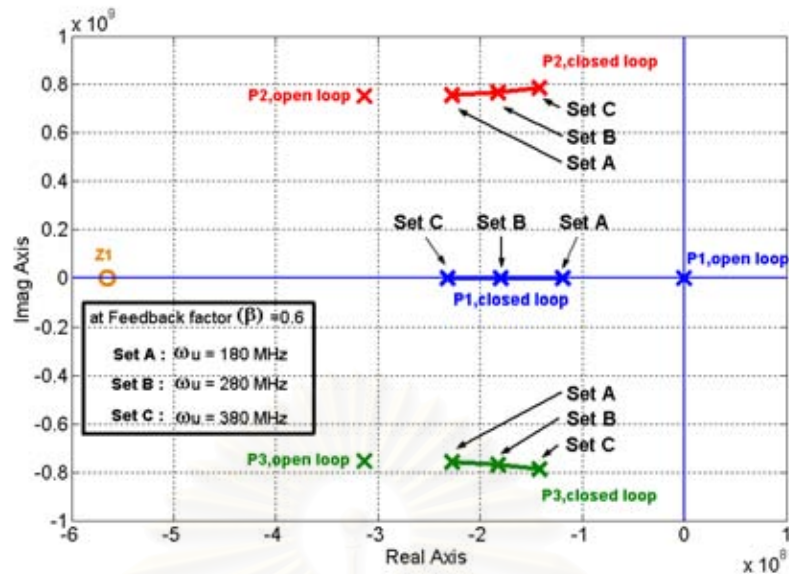


รูปที่ 4.7 อัตราการสลับที่ขาออกของออปแอมป์ที่มีการชดเชยแบบคาสโคดปรับปรุง

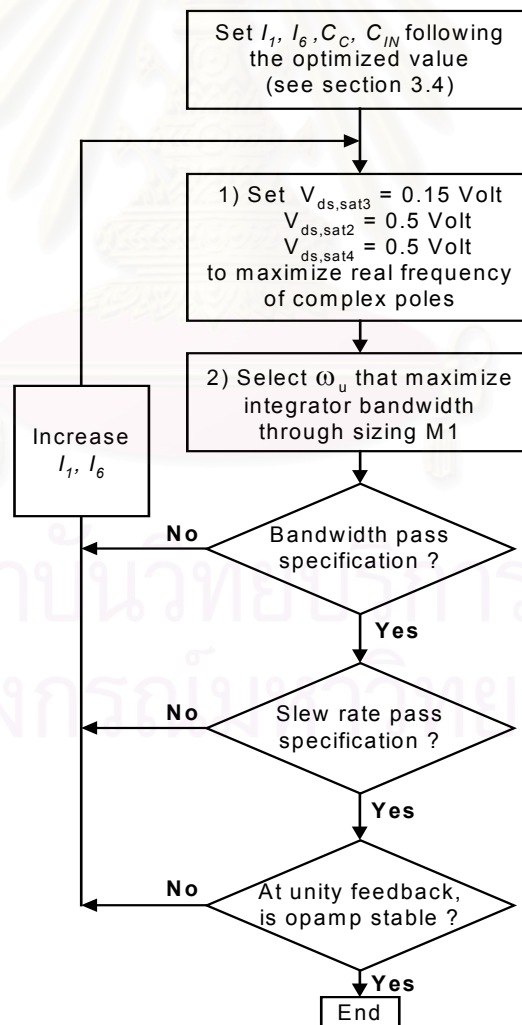
### 4.1.3 การออกแบบออปแอมป์

ออปแอมป์ที่ใช้มีโพลสี่โพลและมีศูนย์หนึ่งศูนย์ ออปแอมป์ดังกล่าวเมื่อถูกป้อนกลับ โพลจริงที่ความถี่ต่ำ  $P_1$  จะเดินทางขึ้นไปที่ความถี่สูง โพลจริงที่ความถี่สูง  $P_4$  จะเดินทางขึ้นไปที่มีความถี่สูงขึ้นโดยจะไม่ส่งผลกระทบต่อระบบมากนัก และโพลเชิงซ้อนทั้งสองโพล  $P_2$  และ  $P_3$  จะเดินทางลงมาที่ความถี่จริงค่าต่ำลงโดยที่ความถี่จินตภาพไม่เปลี่ยนแปลงมากนัก ทางเดินรากของโพลอันเนื่องมาจากผลของตัวประกอบป้อนกลับที่ค่าความถี่อัตราขยายเป็นหนึ่งคงที่ค่าหนึ่งแสดงในรูปที่ 4.5 อย่างไรก็ตามความถี่อัตราขยายเป็นหนึ่งของออปแอมป์เป็นตัวกำหนดตำแหน่งโพลวงรอบปิดของระบบอีกตัวหนึ่ง ตำแหน่งของโพลวงรอบปิดของออปแอมป์เมื่อออปแอมป์มีความถี่อัตราขยายเป็นหนึ่งต่างกันโดยการป้อนกลับที่ค่าตัวประกอบป้อนกลับค่าเดียวกันแสดงในรูปที่ 4.8 โพลสำคัญที่มีผลต่อแบนด์วิดท์และการเข้าที่ของตัวอินทิเกรตคือ โพล  $P_1$   $P_2$  และ  $P_3$  ถ้าออปแอมป์ถูกป้อนกลับด้วยตัวประกอบป้อนกลับค่าต่ำหรือออปแอมป์มีความถี่อัตราขยายเป็นหนึ่งไม่สูงมาก เมื่อป้อนกลับแล้ว โพลจริง  $P_1$  จะอยู่ที่ความถี่ต่ำกว่าความถี่จริงของโพลเชิงซ้อน  $P_2$  และ  $P_3$  แสดงได้ดังตำแหน่งโพลชุด A ในรูปที่ 4.8 การเข้าที่ของตัวอินทิเกรตนี้สามารถประมาณได้เป็นการเข้าที่ของระบบที่มีโพลจริง  $P_1$  อยู่โพลเดียว และแบนด์วิดท์ของตัวอินทิเกรตสามารถประมาณได้เป็นความถี่ของโพลจริง  $P_1$  แต่ถ้าออปแอมป์ถูกป้อนกลับด้วยตัวประกอบป้อนกลับค่ามากหรือออปแอมป์มีความถี่อัตราขยายเป็นหนึ่งสูง เมื่อป้อนกลับแล้ว โพลเชิงซ้อน  $P_2$  และ  $P_3$  จะมีค่าความถี่จริงอยู่ต่ำกว่าความถี่โพลจริง  $P_1$  แสดงได้ดังตำแหน่งโพลชุด C ในรูปที่ 4.8 การเข้าที่ของตัวอินทิเกรตนี้สามารถประมาณได้เป็นการเข้าที่ของระบบอันดับสองที่มีโพลเชิงซ้อนอยู่ที่  $P_2$  และ  $P_3$  และแบนด์วิดท์ของตัวอินทิเกรตสามารถประมาณได้เป็นความถี่จริงของโพลเชิงซ้อน  $P_2$  และ  $P_3$  แบนด์วิดท์ของทั้งสองกรณีนี้ยังไม่เป็นแบนด์วิดท์สูงสุดที่ตัวอินทิเกรตสามารถให้ได้ภายใต้ตำแหน่งโพลเชิงซ้อนวงรอบเปิดที่กำหนดให้ชุดหนึ่ง

ดังนั้นสำหรับตัวอินทิเกรตซึ่งมีตัวประกอบป้อนกลับที่แน่นอนค่าหนึ่ง จะมีความถี่อัตราขยายเป็นหนึ่งของออปแอมป์ค่าหนึ่งเป็นค่าที่เหมาะสมสำหรับตัวประกอบป้อนกลับค่าดังกล่าวที่ทำให้ตัวอินทิเกรตมีแบนด์วิดท์สูงสุดได้ ดังแสดงได้ดังตำแหน่งโพลชุด B ในรูปที่ 4.8 ระบบสามารถให้แบนด์วิดท์สูงสุดเมื่อตำแหน่งโพลเชิงซ้อน  $P_2$  และ  $P_3$  มีความถี่จริงใกล้เคียงกับความถี่ของโพลจริง  $P_1$  [2] ดังนั้นในการออกแบบต้องปรับตำแหน่งโพลทั้งสามของออปแอมป์ขณะทำงานในช่วงเวลาการอินทิเกรตให้อยู่ในลักษณะเดียวกับโพลชุด B เพื่อให้ได้แบนด์วิดท์สูงสุด โดยการปรับความถี่อัตราขยายเป็นหนึ่งของออปแอมป์ ซึ่งในทางกายภาพแล้วก็คือการปรับขนาดของทรานซิสเตอร์ขาเข้า โดยคงขนาดกระแส  $I_1$  ไว้



รูปที่ 4.8 ตำแหน่งของโพลวงรอบปิดของออปแอมป์เมื่อออปแอมป์มีค่าความถี่อัตราขยายเป็นหนึ่งต่างกันโดยการปรับกลับที่ค่าตัวประกอบปรับกลับค่าเดียวกัน



รูปที่ 4.9 ขั้นตอนการกำหนดขนาดทรานซิสเตอร์ในออปแอมป์



จากกลไกในการป้อนกลับดังกล่าวสามารถกำหนดขั้นตอนในการกำหนดขนาดของทรานซิสเตอร์ในออปแอมป์ได้ดังรูปที่ 4.9 ในขั้นแรก ทำการปรับความถี่จริงของโพลเชิงซ้อนวงรอบเปิดให้มีค่าสูงสุดเท่าที่เป็นไปได้ภายใต้กระแสที่กำหนด เพื่อให้ออปแอมป์เมื่อป้อนกลับแล้วมีแบนด์วิดท์สูงสุด เมื่อพิจารณาจากสมการที่ 4.5 ความถี่จริงของโพลเชิงซ้อนวงรอบเปิดมีค่าเป็น

$$\text{Re}[P_{2,3}] = -\frac{1}{2} \frac{g_{m3}C_2(C_L + C_C + C_{gd5}) + g_{m3}C_{gd5}C_L + g_{m5}C_{gd5}(C_C + C_3)}{(C_{gd5} + C_2)(C_C + C_L)C_3 + (C_C + C_3)C_2C_{gd5} + (C_{gd5} + C_2)C_C C_L} \quad (4.9)$$

จากสมการที่ 4.9 การทำให้ความถี่จริงของโพลเชิงซ้อนวงรอบเปิดมีค่าสูงสุดภายใต้ค่ากระแสและค่าตัวเก็บประจุที่กำหนดไว้แล้วจากกระบวนการออกแบบสามารถทำได้โดยการเพิ่มค่าความนำถ่ายโอนและลดความจุไฟฟ้าประสิทธิของทรานซิสเตอร์ที่เกี่ยวข้อง ในการเพิ่มค่าความนำถ่ายโอนสามารถทำได้โดยการเพิ่มค่า  $g_{m3}$  เท่านั้น ในขณะที่ค่า  $g_{m5}$  ได้ถูกกำหนดไว้แล้วโดยกระแสและแรงดันอิมิตตัวของทรานซิสเตอร์จากกระบวนการออกแบบที่ไว้แล้ว ดังนั้นจึงกำหนดให้ทรานซิสเตอร์ M3 มีแรงดันอิมิตตัวมีค่าเป็น 0.15 โวลต์ ซึ่งเป็นค่าแรงดันอิมิตตัวต่ำสุดที่ยังถือว่าทรานซิสเตอร์ทำงานในย่านกลับกลายอย่างแรง (Strong Inversion) ซึ่งจะทำให้  $g_{m3}$  มีค่าสูงสุด ในการลดความจุไฟฟ้าประสิทธิ  $C_2, C_3$  สามารถทำได้โดยการลดขนาดของทรานซิสเตอร์แหล่งกระแสชนิดเอ็น M4 และทรานซิสเตอร์คาสโคดชนิดพี M2 ที่ต่ออยู่ ในที่นี้กำหนดให้ทรานซิสเตอร์มีแรงดันอิมิตตัวเป็น 0.5 โวลต์ ซึ่งเป็นค่าแรงดันอิมิตตัวค่ามากที่สุดที่ยังคงทำให้ทรานซิสเตอร์ในออปแอมป์ทุกตัวสามารถทำงานได้ในย่านอิมิตตัว แม้ว่าอยู่ในกระบวนการผลิตแบบซ้ำ

ในขั้นที่สอง ทำการปรับความถี่อัตราขยายเป็นหนึ่งจนตำแหน่งโพลเชิงซ้อน  $P_2$  และ  $P_3$  มีความถี่จริงใกล้เคียงกับความถี่ของโพลจริง  $P_1$  ซึ่งเป็นจุดที่ออปแอมป์สามารถให้แบนด์วิดท์สูงสุดได้ภายใต้ตำแหน่งโพลเชิงซ้อนวงรอบเปิดที่กำหนดให้ การปรับความถี่อัตราขยายเป็นหนึ่งดังกล่าวสามารถทำได้โดยการปรับขนาดของทรานซิสเตอร์ขาเข้า

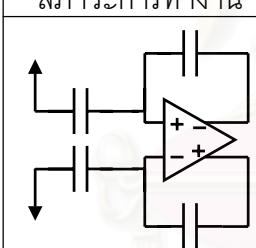
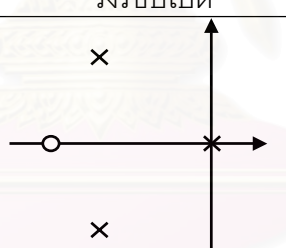
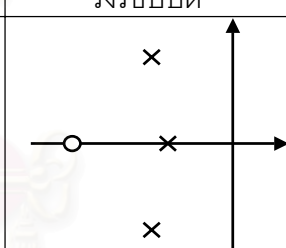
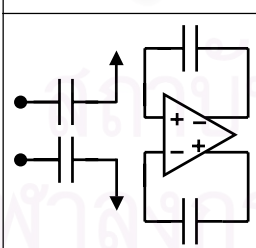
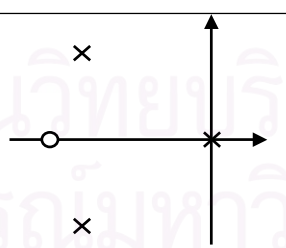
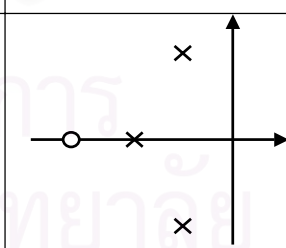
จากการปรับพารามิเตอร์ในสองขั้นตอนดังกล่าว หากพบว่าแบนด์วิดท์สูงสุดที่ออปแอมป์ให้ได้หรืออัตราการสลับยังคงต่ำกว่าข้อกำหนดจากระดับสถาปัตยกรรม จะต้องกำหนดกระแสในกิ่งทั้งสองของออปแอมป์ให้เพิ่มขึ้นจากค่าออปติไมซ์ แล้วทำการออกแบบตามขั้นตอนทั้งสองใหม่ จนกว่าแบนด์วิดท์หรืออัตราการสลับของออปแอมป์ผ่านตามข้อกำหนด

ข้อพิจารณาอีกประการหนึ่งในการออกแบบออปแอมป์ คือ ตัวอินทิเกรตต้องมีเสถียรภาพในทั้งช่วงเวลารอินทิเกรตและช่วงเวลาคงค่า (Holding phase) ในช่วงเวลาอินทิเกรต ตัวอินทิเกรตต้องถูกออกแบบให้มีแบนด์วิดท์สูงสุดตามที่กล่าวไว้ข้างต้น ตัวอินทิเกรตจึงมีเสถียรภาพอย่างแน่นอน แต่ในช่วงเวลาคงค่า ออปแอมป์มีโหลดตัวเก็บประจุที่เปลี่ยนไปและตัว



ประกอบย้อนกลับมีค่าเพิ่มขึ้นเป็นหนึ่ง การเปลี่ยนแปลงดังกล่าวทำให้โพลเชิงซ้อนของระบบวงปิดเดินทางลงมาที่ความถี่ต่ำกว่าแบนด์วิดท์หรืออาจจะข้ามไปยังฝั่งขวาของแกนจินตภาพได้ ดังนั้นในการออกแบบจะต้องคำนึงเสถียรภาพในทั้งช่วงเวลาคงค่าด้วย ถ้าพบว่าตัวอินทิเกรตไม่มีเสถียรภาพในช่วงเวลาคงค่าแรงดัน จะต้องกำหนดกระแสในออปแอมป์ให้เพิ่มขึ้นและทำการออกแบบใหม่ตามสองขั้นตอนข้างต้น

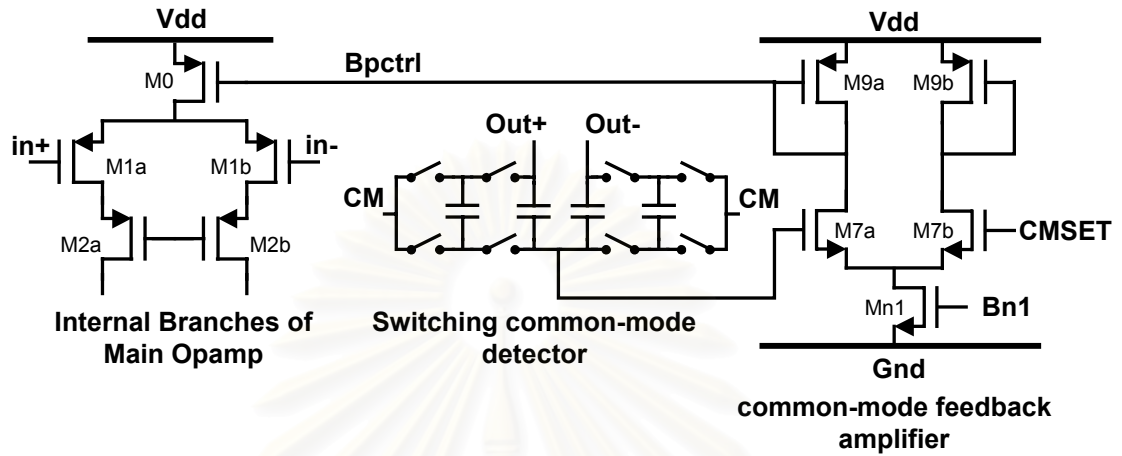
การหาตำแหน่งโพลวงรอบเปิดของออปแอมป์หาได้จากโปรแกรม SPICE และตำแหน่งโพลวงรอบปิดของออปแอมป์หาได้จากการนำตำแหน่งแห่งโพลวงรอบเปิดเข้ามาคำนวณในโปรแกรม Matlab ตำแหน่งโพลและศูนย์สำคัญของออปแอมป์ที่ได้รับการออกแบบอย่างเหมาะสมเหมาะสมมีลักษณะดังในรูปที่ 4.10 เมื่อออปแอมป์อยู่ในช่วงเวลากการอินทิเกรต ตำแหน่งโพลขณะวงรอบเปิดและวงรอบปิดแสดงในรูปที่ 4.10ก และ 4.10ข ตามลำดับ เห็นได้ว่าความถี่จริงของตำแหน่งโพลวงรอบปิดมีค่าใกล้เคียงกัน และเมื่อออปแอมป์อยู่ในคาบเวลาการสุ่มตัวอย่างหรือคงค่า ค่าความจุไฟฟ้าโหลดของออปแอมป์มีค่าเปลี่ยนไป ทำให้ตำแหน่งโพลขณะวงรอบเปิดและวงรอบปิดแสดงในรูปที่ 4.10ค และ 4.10ง ตามลำดับ เห็นได้ว่าตำแหน่งโพลทั้งหมดยังอยู่ในฝั่งซ้ายของแกนจินตภาพ

สภาวะการทำงาน	วงรอบเปิด	วงรอบปิด
 ช่วงเวลาอินทิเกรต	 4.10 ก	 4.10 ข
 ช่วงเวลาสุ่มตัวอย่าง	 4.10 ค	 4.10 ง

รูปที่ 4.10 ตำแหน่งโพลและศูนย์วงรอบเปิดและวงรอบปิดที่สำคัญของออปแอมป์ในทั้งสองช่วงการทำงาน

ในวงจรแบบผลต่างจำเป็นต้องมีวงจรป้อนกลับโหมตร่วมเพื่อคงแรงดันโหมตร่วมของออปแอมป์ไว้ให้ทำงานตามค่าที่กำหนด วงจรป้อนกลับโหมตร่วมที่ใช้แสดงได้ดังรูปที่ 4.11

วงจรวัดแรงดันโหมดร่วมแบบสวิตช์ (Switching common-mode detector) ทำการวัดแรงดันขาออกทั้งสองข้างของออปแอมป์ แล้วส่งไปเปรียบเทียบกับแรงดันโหมดร่วมที่กำหนดไว้ที่วงจรร่วมต่าง (Differential pair) กระแสที่เปลี่ยนไปในวงจรร่วมต่างจะไปสร้างแรงดันกลับเฟส  $Bpctrl$  เพื่อนำไปควบคุมทรานซิสเตอร์แหล่งกระแส  $M0$  ภายในตัวออปแอมป์หลักต่อไป



รูปที่ 4.11 วงจรร่วมโหมดกลับโหมดร่วม

ด้วยวิธีการออกแบบตามขั้นตอนดังกล่าว ขนาดทรานซิสเตอร์ในออปแอมป์หลักและในวงจรร่วมโหมดกลับโหมดร่วมแสดงในตารางที่ 4.2 และ 4.3 ตามลำดับ ผลการจำลองของออปแอมป์ของตัวอินทิเกรตแต่ละขั้นตอนสรุปได้ดังตารางที่ 4.4 และมีผลตอบสนองของชั่วคราวและค่าผิดพลาดในการเข้าที่แสดงได้ดังรูปที่ 4.12 ตารางที่ 4.5 แสดงผลการจำลองปริมาณสัญญาณรบกวนของตัวอินทิเกรตในแต่ละขั้นตอนโดยอ้างอิงที่ขาเข้าของตัวแปลงทั้งระบบ

ตารางที่ 4.2 ขนาดทรานซิสเตอร์และกระแสในออปแอมป์หลัก

ทรานซิสเตอร์	ขั้นตอนที่			
	1	2	3	4
M0	688 / 0.7	110 / 0.7	25 / 0.7	20 / 0.7
M1a, M1b	1400 / 0.7	140 / 0.7	50 / 0.7	22 / 0.7
M2a, M2b	352 / 0.7	55 / 0.7	12.5 / 0.7	12 / 0.7
M3a, M3b	768 / 0.7	120 / 0.6	28 / 0.6	26 / 0.6
M4a, M4b	160 / 1	25 / 1	6 / 1	5 / 1
M5a, M5b	1040 / 0.7	105 / 0.7	40 / 0.7	30 / 0.7
M6a, M6b	3440 / 0.7	350 / 0.7	135 / 0.7	100 / 0.7
I1, I6 ( $\mu A$ )	1920,9600	300 ,1000	75,400	60 ,320
Cc (pF)	6.4	1	0.25	0.25

ตารางที่ 4.3 ขนาดทรานซิสเตอร์ในวงจรป้อนกลับโหมดร่วม

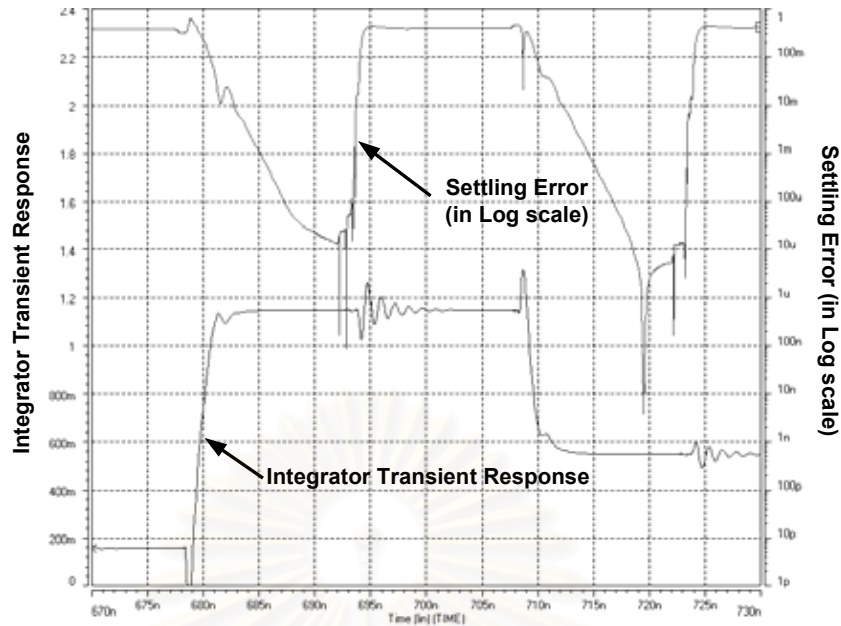
ทรานซิสเตอร์	ขั้นตอนที่			
	1	2	3	4
Mn1	240 / 0.7	24 / 1	6 / 1	5.2 / 1
M7a, M7b	150 / 0.7	32 / 0.7	8 / 0.7	5.5 / 1
M9a, M9b	516 / 0.7	66 / 0.7	12 / 0.7	20 / 0.7
I7( $\mu$ A)	1440	186	42	60

ตารางที่ 4.4 ผลการจำลองการทำงานของออปแอมป์ในแต่ละขั้นตอน

ข้อกำหนด	ออปแอมป์			
	1	2	3	4
อัตราขยายไฟตรง Adc (dB)	99.4	98.1	100	97.4
การเข้าที่ (ns)	10.2 @ 99.997 %	8.8 @ 99.997%	10.2 @ 99.99%	10.7 @ 99.9%
ความถี่อัตราขยายเป็นหนึ่ง $\omega_u$ (MHz)	358	286	324	206
แบนด์วิดท์วงรอบปิด (MHz)	173	172	151	80
อัตราสlew (V/ $\mu$ s)	480	460	550	270
ส่วนเผื่อเฟส (Degree)	75.2	83.1	78.8	82.5
สัญญาณรบกวน (dB) (0dB=1.28W)	-89	-83.5	-80.8	-84.7
ตัวเก็บประจุขาเข้า (Cin)	15.6	1.75	0.56	0.84
การกินกำลังงาน (mW)	104.1	11.1	4.3	3.7

ตารางที่ 4.5 สรุปผลการจำลองสัญญาณรบกวนอ้างอิงที่ขาเข้าของตัวแปลงทั้งระบบ

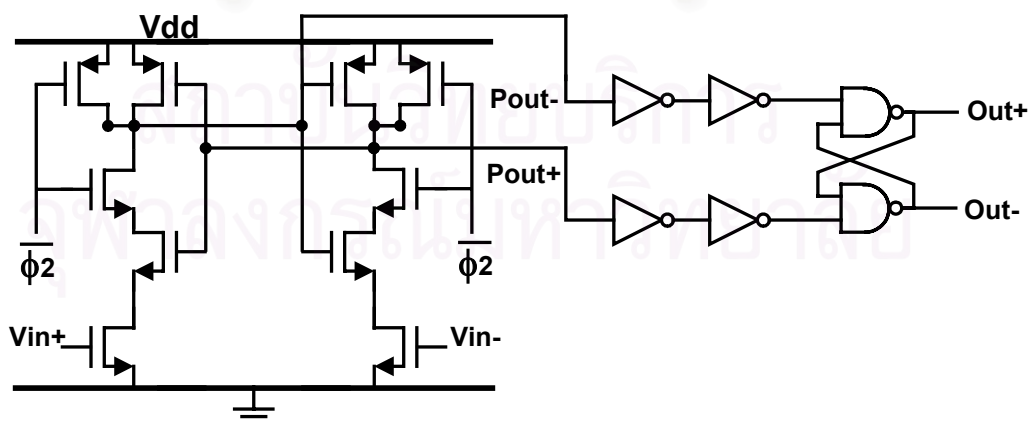
สัญญาณรบกวนจาก	ตัวอินทิเกรตที่							
	1		2		3		4	
	dB	%	dB	%	dB	%	dB	%
ตัวเก็บประจุขาเข้า	-105.8	65.9	-118.3	42.6	-123.7	52.7	-143.1	86.6
ออปแอมป์	-109.5	28.6	-117.7	49.2	-124.6	42.3	-152.5	9.8
ความต้านทานสวิดซ์	-116.6	5.5	-125.4	8.2	-133.9	5.0	-156.9	3.6
รวม	-104.06	100	-114.6	100	-120.9	100	-142.45	100
รวมทั้งหมด (dB)	-103.6							
% สัญญาณรบกวน	90.12		8.00		1.87		0.01	



รูปที่ 4.12 ผลตอบสนองชั่วคราวและค่าผิดพลาดในการเข้าที่ของตัวอินทิเกรตขั้นตอนทีหนึ่ง

#### 4.2 ตัวเปรียบเทียบพลวัต

ตามข้อกำหนดของออปเซตของตัวคอนโทซ์ ตัวคอนโทซ์ตัวที่หนึ่งและสองสามารถมีออปเซตได้สูงถึง 800 มิลลิโวลต์ ดังนั้นจึงสามารถนำตัวเปรียบเทียบพลวัต (Dynamic comparator) ซึ่งมีการกินกำลังงานต่ำแต่มีออปเซตในระดับร้อยมิลลิโวลต์มาใช้งานได้ วงจรตัวเปรียบเทียบที่ใช้แสดงในรูปที่ 4.13 ซึ่งนำมาจาก [20] วงจรที่แสดงเป็นกรณีพิเศษที่แรงดันขีดเริ่มเปลี่ยน (Threshold voltage) เป็นศูนย์ จึงไม่ต้องใช้แหล่งแรงดันอ้างอิงและทรานซิสเตอร์วัดแรงดันอ้างอิงอีกชุดหนึ่ง



รูปที่ 4.13 วงจรตัวเปรียบเทียบพลวัต

หลักการการทำงานของตัวเปรียบเทียบนี้แบ่งได้เป็นสองช่วงคือ ช่วงเวลารีเซ็ต (Reset phase) และช่วงเวลาแลตช์ (Latch phase) ในช่วงเวลารีเซ็ตซึ่ง  $\phi_2 = \text{Low}$  ทรานซิสเตอร์ M1a,b

จะต่อแรงดันขาออกเข้ากับแรงดันแหล่งจ่ายในขณะที่ยานชิสเตอร์ M3a,b จะเปิดวงจร ในช่วงเวลาแลตซ์ซึ่ง  $\phi_2 = \text{High}$  ทรานซิสเตอร์ M1a,b จะเปิดวงจรในขณะที่ยานชิสเตอร์ M3a,b จะปิดวงจร ทำให้ทรานซิสเตอร์ M2a, M4a และ M2b, M4b ต่อกันเป็นอินเวอร์เตอร์ที่ต่อกันอยู่ในรูปป้อนกลับแบบบวก ความแตกต่างจากความนำของทรานซิสเตอร์ขาเข้า Min+ และ Min- จะก่อให้เกิดความแตกต่างของแรงดันที่ขาเดรนของทรานซิสเตอร์ขาเข้าทั้งสอง ทำให้ชุดทรานซิสเตอร์ที่ต่อกันป้อนกลับแบบบวกด้านบนป้อนกลับให้แรงดันขาออก  $Pout+$  และ  $Pout-$  ต่างกันมากขึ้นเรื่อยๆ จนข้างหนึ่งมีแรงดันเท่ากับแรงดันแหล่งจ่ายและอีกข้างมีแรงดันเท่ากับกราวด์ เนื่องจากตัวเปรียบเทียบจะให้ค่าการเปรียบเทียบในช่วงเวลาแลตซ์เท่านั้น ดังนั้นจึงต้องมีฟิลิปปอบมาคค่าผลการเปรียบเทียบให้สามารถใช้ป้อนกลับในช่วงเวลาที่ตัวเปรียบเทียบอยู่ในสภาวะรีเซตได้

แรงดันขีดเริ่มของตัวเปรียบเทียบ คือแรงดันที่ทำให้ความนำของทรานซิสเตอร์ขาเข้าทั้งสองมีค่าเท่ากัน ความนำของทรานซิสเตอร์ขาเข้าทั้งสองเมื่อทำงานอยู่ในย่านไตรโอดคือ

$$G_i = k_n \left( \frac{W}{L} \right)_i (V_{in+} - V_{th}) = 2\beta(V_{in+} - V_{th}) \quad (4.10)$$

เมื่อมีความไม่เข้าคู่เกิดขึ้นกับทรานซิสเตอร์ขาเข้า ความนำของทรานซิสเตอร์แต่ละตัวสามารถเขียนได้เป็น

$$G_1 = 2\beta(V_{in+} - V_{th}) + 2\Delta\beta_1(V_{in+} - V_{th}) - 2\beta\Delta V_{th1} \quad (4.11ก)$$

$$G_2 = 2\beta(V_{in-} - V_{th}) + 2\Delta\beta_2(V_{in-} - V_{th}) - 2\beta\Delta V_{th2} \quad (4.11ข)$$

โดยที่  $\Delta V_{th1}$  กับ  $\Delta V_{th2}$  เป็นค่าผิดพลาดของแรงดันขีดเริ่มของทรานซิสเตอร์ที่ผิดไปจากค่าปกติ  $V_{th}$  และ  $\Delta\beta_1$  กับ  $\Delta\beta_2$  เป็นค่าผิดพลาดทางขนาดของทรานซิสเตอร์ที่ผิดไปจากค่าปกติของค่า  $\beta$  จากสมการที่ 4.10 เมื่อ  $G_1 = G_2$  จะได้ว่า แรงดันขีดเริ่มของตัวเปรียบเทียบ  $V_{in|th}$  สามารถเขียนได้ดังสมการที่ 4.12 โดยกำหนดให้  $\Delta V_{th} = \Delta V_{th1} - \Delta V_{th2}$  และ  $\Delta\beta = \Delta\beta_1 - \Delta\beta_2$  เป็นความแตกต่าง ระหว่างทรานซิสเตอร์ทั้งสอง

$$V_{in|th} = V_{in+} - V_{in-} = \frac{\Delta V_{th} + \left( \frac{\Delta\beta}{\beta} \right) V_{th}}{1 + \frac{\Delta\beta}{\beta}} \quad (4.12)$$

เนื่องจากค่า  $\frac{\Delta\beta}{\beta}$  ตามข้อมูลของกระบวนการผลิต[24] มีค่าอยู่ในช่วงไม่เกินหนึ่งเปอร์เซ็นต์ เพื่อความง่าย นิพจน์  $1 + \frac{\Delta\beta}{\beta}$  สามารถประมาณได้เป็นหนึ่ง ดังนั้นแรงดันขีดเริ่มของ

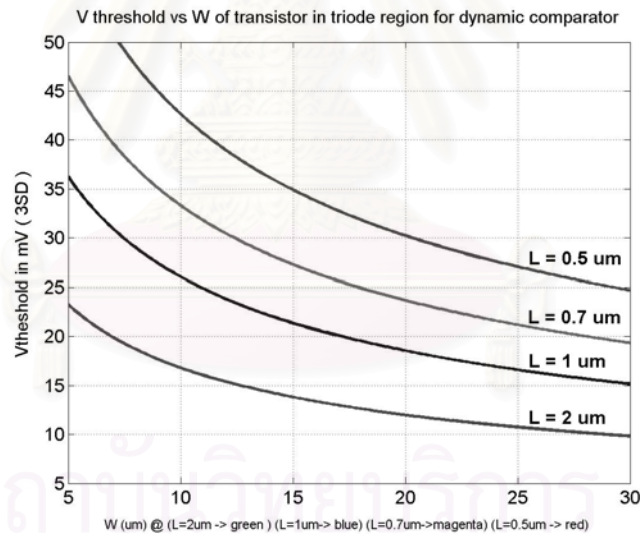
ตัวเปรียบเทียบพลวัตจึงสามารถประมาณได้เป็น

$$V_{in|th} \approx \Delta V_{th} + \left(\frac{\Delta\beta}{\beta}\right)V_{th} \quad (4.13)$$

ดังนั้นค่าเบี่ยงเบนมาตรฐานของแรงดันขีดเริ่มของตัวเปรียบเทียบ  $\sigma(V_{in|th})$  สามารถแสดงได้เป็น

$$\sigma^2(V_{in|th}) \approx \sigma^2(\Delta V_{th}) + V_{th}^2 \sigma^2\left(\frac{\Delta\beta}{\beta}\right) \quad (4.14)$$

โดย ข้อมูลความแปรปรวน  $\sigma^2(\Delta V_{th})$  และ  $\sigma^2\left(\frac{\Delta\beta}{\beta}\right)$  สามารถหาได้จากข้อมูลของกระบวนการผลิต[24] รูปที่ 4.14 แสดงแรงดันขีดเริ่มของตัวเปรียบเทียบที่ผิดไปสามเท่าของส่วนเบี่ยงเบนมาตรฐานเนื่องมาจากความไม่เข้าคู่ของทรานซิสเตอร์ขาเข้าที่ค่าความยาวต่าง ๆ เห็นได้ว่าเมื่อความยาวและความกว้างของทรานซิสเตอร์มีค่ามากขึ้นความผิดพลาดของแรงดันขีดเริ่มจะมีค่าต่ำลง



รูปที่ 4.14 แรงดันขีดเริ่มของตัวเปรียบเทียบที่ผิดไปสามเท่าของส่วนเบี่ยงเบนมาตรฐานผลเนื่องมาจากความไม่เข้าคู่ของทรานซิสเตอร์ขาเข้าที่ค่าความยาวต่าง ๆ

ในตัวเปรียบเทียบนี้เลือกให้ทรานซิสเตอร์ขาเข้ามีขนาด  $\frac{W}{L} = \frac{20\mu\text{m}}{0.7\mu\text{m}}$  ซึ่งทำให้

ออฟเซตของตัวเปรียบเทียบมีค่าต่ำกว่า 25 mV จากการจำลองพบว่า ถ้าทรานซิสเตอร์ขาเข้ามีความไม่เข้าคู่เกิดขึ้น 2 % จะทำให้เกิดออฟเซต 10 mV ตัวเปรียบเทียบนี้สามารถทำการเปรียบเทียบข้อมูลขนาด 2 mV ได้ในเวลา 1.5 ns การใช้อ่วงจรแลตซ์มาเป็นตัวเปรียบเทียบนี้ทำให้ไม่ต้อง



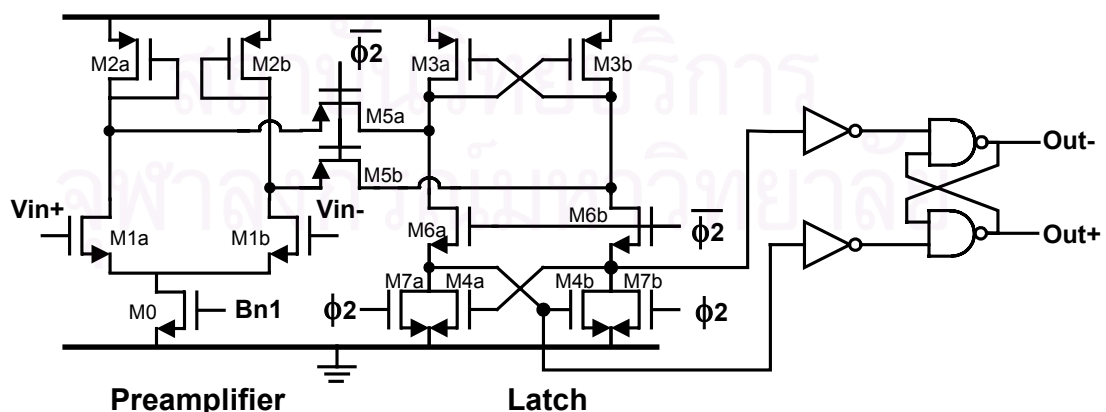
คำนึงถึงผลของฮีสเทอรีซิส เนื่องจากวงจรมีการรีเซ็ตทุกคาบสัญญาณนาฬิกา ขนาดของทรานซิสเตอร์ในตัวเปรียบเทียบพลวัตแสดงในตารางที่ 4.6

ตารางที่ 4.6 ขนาดทรานซิสเตอร์ในตัวเปรียบเทียบพลวัต

ทรานซิสเตอร์	ขนาด
Min+, Min-	20 / 0.7
M1a, M1b	12 / 0.5
M2a, M2b	24 / 0.5
M3a, M3b	4 / 0.5
M4a, M4b	8 / 0.5

### 4.3 ตัวเปรียบเทียบสถิต

จากการจำลองเชิงพฤติกรรม ออกเฟสของตัวเปรียบเทียบแต่ละตัวในตัวคอนโทรลสามบิตต้องมีค่าน้อยกว่า 64 มิลลิโวลต์ การใช้ตัวเปรียบเทียบพลวัตในกรณีที่แรงดันขีดเริ่มเปลี่ยนไม่เป็นศูนย์จะต้องใช้ทรานซิสเตอร์ขาเข้าจำนวนสี่ตัว เพื่อกำหนดระดับการควอนไทซ์ที่ค่าต่าง ๆ [20] การเข้าคู่ของทรานซิสเตอร์ขาเข้าทั้งสองนี้จะต้องดีกว่าการเข้าคู่ของทรานซิสเตอร์ขาเข้าสองตัวในหัวข้อ 4.2 ซึ่งทำให้ออกเฟสของตัวเปรียบเทียบมีค่าสูง ดังนั้นจึงนำพีแอมพลิไฟเออร์มาขยายสัญญาณก่อนป้อนเข้าสู่วงจรถ่ายแลตซ์เพื่อลดออกเฟสของตัวเปรียบเทียบ ตัวเปรียบเทียบสถิตที่ใช้ในวิทยานิพนธ์นี้แสดงดังรูปที่ 4.15 โดยดัดแปลงมาจากหลักการของตัวเปรียบเทียบพลวัตและพีแอมพลิไฟเออร์ใน [25] การทำงานของตัวเปรียบเทียบสถิตสามารถแบ่งได้เป็นสองช่วงคือ ช่วงเวลาติดตามสัญญาณ (Track phase) และช่วงเวลาแลตซ์



รูปที่ 4.15 วงจรตัวเปรียบเทียบสถิต

ในช่วงเวลาติดตามสัญญาณซึ่ง  $\phi_2 = \text{High}$  ทρανซิสเตอร์ M5a,b จะเปิดวงจร และทรานซิสเตอร์ M6a,b จะเปิดวงจร ทรานซิสเตอร์ขาเข้า M1a,b ขยายผลต่างของแรงดันขาเข้า ลงบนทรานซิสเตอร์ต่อแบบไดโอด (Diode-connected transistor) M2a,b และทรานซิสเตอร์ต่อแบบไขว้ (Cross-couple transistor) M3a,b ในช่วงเวลาแลตซ์ซึ่ง  $\phi_2 = \text{Low}$  ทรานซิสเตอร์ M5a,b และ M7a,b จะเปิดวงจร และทรานซิสเตอร์ M6a,b จะปิดวงจร ซึ่งทำให้ทรานซิสเตอร์ M2a, M4a และ M2b, M4b ต่อกันเป็นอินเวอร์เตอร์ที่ต่อกันอยู่ในรูปป้อนกลับแบบบวก โดยมีความแตกต่างของแรงดันบนขาเดรนของทรานซิสเตอร์ต่อแบบไขว้ เป็นค่าเริ่มต้นของการป้อนกลับ การป้อนกลับจากอินเวอร์เตอร์ทั้งสองตัวทำให้แรงดันขาออก  $P_{out+}$  และ  $P_{out-}$  ต่างกันมากขึ้นเรื่อย ๆ จนข้างหนึ่งมีแรงดันเท่ากับแรงดันแหล่งจ่ายและอีกข้างมีแรงดันเท่ากับกราวด์ เนื่องจากตัวเปรียบเทียบจะให้ค่าการเปรียบเทียบในช่วงเวลาแลตซ์เท่านั้น ดังนั้นจึงต้องมีฟิลิปปลอมมาคงค่าผลการเปรียบเทียบเช่นเดียวกับในตัวเปรียบเทียบพลวัต

อัตราขยายของพีแอมพลิไฟเออร์คำนวณตามวิธีการใน[26] โดยไม่คำนึงและคำนึงถึงความต้านทานของสวิตช์ M5a,b มีค่าตามสมการ 4.15ก และ 4.15ข ตามลำดับ ในการออกแบบต้องเลือกให้  $g_{m2}$  มีค่ามากกว่า  $g_{m3}$  เพื่อให้วงจรรขยายมีเสถียรภาพ

$$A_{pre} = \frac{g_{m1}}{g_{m2} - g_{m3}} \quad (4.15ก)$$

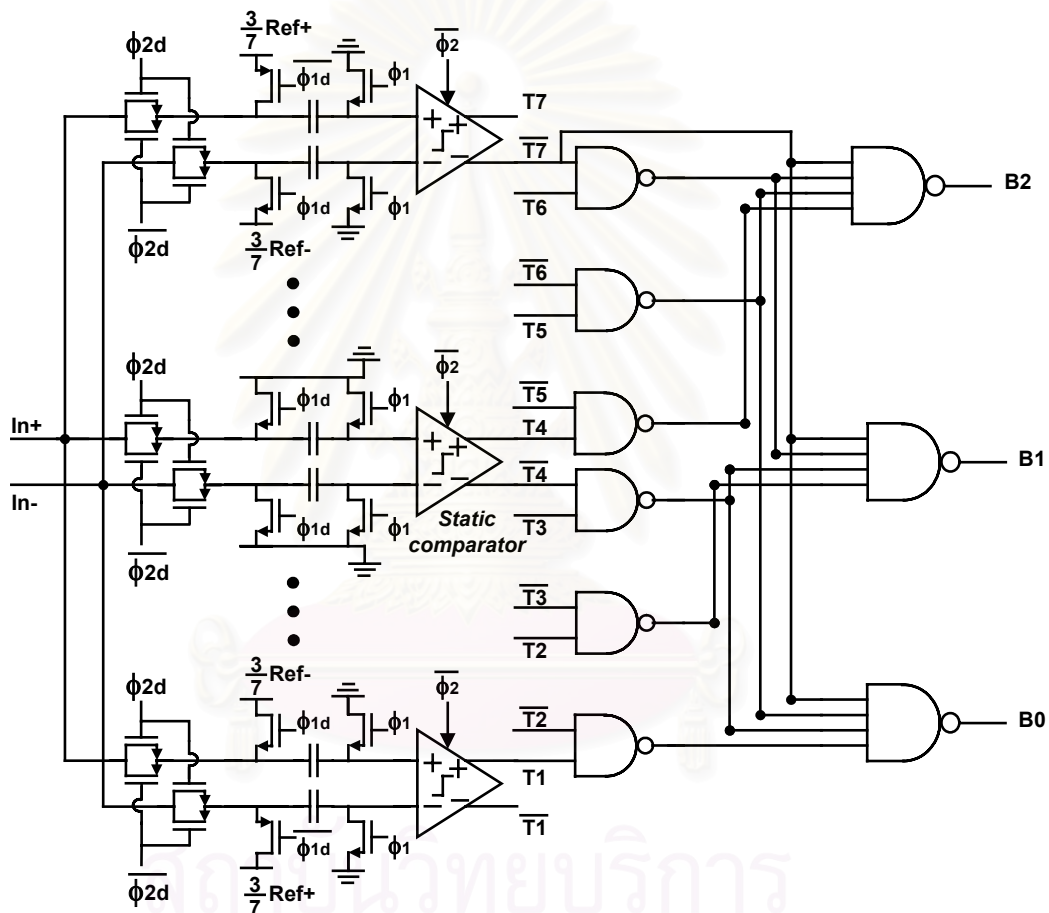
$$A_{pre} = \frac{g_{m1}}{g_{m2} + (g_{m5} \parallel -g_{m3})} \cdot \frac{g_{m5}}{g_{m5} - g_{m3}} = \frac{g_{m1}g_{m5}}{g_{m2}(g_{m5} - g_{m3}) - g_{m3}g_{m5}} \quad (4.15ข)$$

ขนาดของทรานซิสเตอร์ที่ใช้ในตัวเปรียบเทียบสถิตแสดงในตารางที่ 4.7 จากการจำลองพบว่า ถ้าทรานซิสเตอร์ขาเข้ามีความไม่เข้าคู่เกิดขึ้น 1 % จะทำให้เกิดออฟเซต 1 mV

ตารางที่ 4.7 ขนาดของทรานซิสเตอร์ในตัวเปรียบเทียบสถิต

ส่วนพีแอมพลิไฟเออร์		ส่วนวงจรถ่ายแลตซ์	
ทรานซิสเตอร์	ขนาด	ทรานซิสเตอร์	ขนาด
M0	12 / 1	M3a, M3b	4 / 0.7
M1a, M1b	16 / 0.7	M4a, M4b	4 / 0.7
M2a, M2b	8 / 0.7	M6a, M6b	4 / 0.5
M5a, M5b	4 / 0.5	M7a, M7b	4 / 0.5

อย่างไรก็ตามตัวเปรียบเทียบสถิตดังกล่าวมีแรงดันขีดเริ่มเปลี่ยนอยู่ที่ศูนย์ แต่ตัวคอนโทรลที่สามบิตต้องการตัวเปรียบเทียบที่มีแรงดันขีดเริ่มเปลี่ยนหลายระดับ การสร้างให้ตัวเปรียบเทียบสถิตนี้มีแรงดันขีดเริ่มเปลี่ยนที่ไม่เป็นศูนย์สามารถทำได้โดยการป้อนสัญญาณเข้าของตัวเปรียบเทียบที่มีแรงดันขีดเริ่มเปลี่ยนเป็นศูนย์ด้วยสัญญาณที่เป็นผลบวกระหว่างแรงดันที่ต้องการเปรียบเทียบกับแรงดันขีดเริ่มเปลี่ยนที่ต้องการ ตัวแปลงคอนโทรลที่สามบิตที่ใช้ในวิทยานิพนธ์แสดงในรูปที่ 4.16 ตัวเปรียบเทียบสถิตถูกประกอบเข้ากับ ตัวเก็บประจุ แหล่งแรงดันอ้างอิง และสวิตช์ เพื่อให้มีแรงดันขีดเริ่มเปลี่ยนหลายค่าได้



รูปที่ 4.16 วงจรตัวคอนโทรลสามบิต

(ในที่นี้แสดงเฉพาะตัวเปรียบเทียบที่ระดับ  $+3/7 \text{ Ref}$ ,  $0$  และ  $-3/7 \text{ Ref}$ )

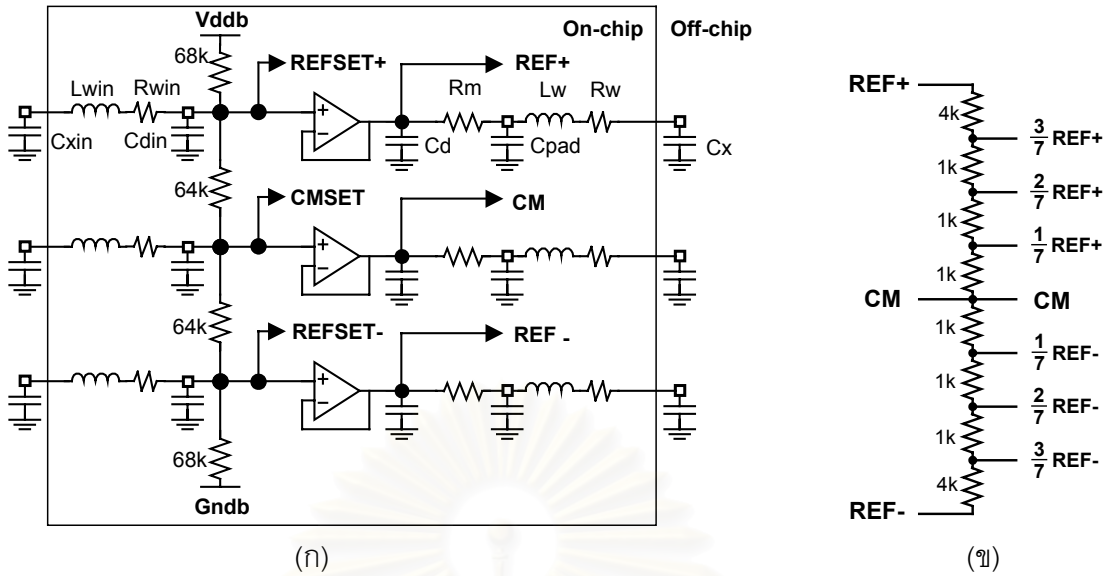
ในคาบเวลาที่ตัวอินทิเกรตทำการสุ่มตัวอย่าง ตัวเก็บประจุขาเข้าของแต่ละคู่ของตัวเปรียบเทียบจะถูกประจุจนมีแรงดันถึงระดับแรงดันขีดเริ่มเปลี่ยนต่าง ๆ ตามของแต่ละชั้น ในคาบเวลาที่ตัวอินทิเกรตทำการอินทิเกรต ตัวเก็บประจุขาเข้าแต่ละคู่จะถูกนำมาต่อกับสัญญาณขาออกของตัวอินทิเกรตตัวสุดท้ายผ่านสวิตช์ซีมอส ความแตกต่างระหว่างแรงดันขาออกของตัวอินทิเกรตกับแรงดันขีดเริ่มเปลี่ยนจะปรากฏที่ขาเข้าของตัวเปรียบเทียบที่มีแรงดันขีดเริ่มเปลี่ยน

เป็นศูนย์ ถ้าแรงดันขาออกของตัวอินทิเกรตสูงกว่าค่าแรงดันขีดเริ่มเปลี่ยนที่กำหนดจะทำให้แรงดันที่ปรากฏที่ขาเข้าของตัวเปรียบเทียบที่มีแรงดันขีดเริ่มเปลี่ยนเป็นศูนย์มีค่ามากกว่าศูนย์ แต่ ถ้าแรงดันขาออกของตัวอินทิเกรตต่ำกว่าค่าแรงดันขีดเริ่มเปลี่ยนที่กำหนดจะทำให้แรงดันที่ปรากฏที่ขาเข้าของตัวเปรียบเทียบที่มีแรงดันขีดเริ่มเปลี่ยนเป็นศูนย์มีค่าน้อยกว่าศูนย์ ตัวควอนไทซ์สามบิตใช้ตัวเปรียบเทียบสถิตจำนวนเจ็ดตัว โดยตัวเปรียบเทียบแต่ละตัวจะถูกจุดชนวนเพื่อเริ่มต้นทำการเปรียบเทียบ ณ จุดสิ้นสุดการอินทิเกรตโดยของขาขึ้นของสัญญาณ  $\phi_2$  ผลที่ได้จากตัวเปรียบเทียบมีลักษณะเป็นรหัสอุณหภูมิ ซึ่งสามารถนำไปใช้เปิดสวิตช์เพื่อประจุตัวเก็บประจุเพื่อนำไปใช้ในการป้อนกลับดังแสดงในรูป 3.13ข และนำไปป้อนให้แอมป์เกตเพื่อเข้ารหัสเป็นเลขฐานสอง

#### 4.4 วงจรกำเนิดแรงดันอ้างอิงและวงจรตามแรงดัน

มอดูเลเตอร์ที่ใช้ในวิทยานิพนธ์นี้ต้องการแรงดันอ้างอิง *Ref+* และ *Ref-* ขนาด  $\pm 0.8$  โวลต์เทียบกับแรงดันโหมคร่วมสำหรับการป้อนกลับสัญญาณจากตัวควอนไทซ์ และแรงดันอ้างอิงขนาด  $\pm 1/7$ ,  $\pm 2/7$  และ  $\pm 3/7$  เท่าของแรงดันอ้างอิง 0.8 V สำหรับอ้างอิงให้ตัวควอนไทซ์สามบิตในมอดูเลเตอร์ขั้นสุดท้าย แรงดันอ้างอิงขนาด  $\pm 0.8$  V สร้างโดยใช้ตัวต้านทานแบ่งแรงดันจากแหล่งจ่ายขนาด 3.3 โวลต์ จากนั้นแรงดันที่ได้จะถูกป้อนให้แก่วงจรตามแรงดันซึ่งสร้างโดยออปแอมป์ต่อป้อนกลับอัตราขยายเป็นหนึ่งเพื่อให้แรงดันอ้างอิงที่นำไปใช้มีอิมพีแดนซ์ขาออกต่ำ และสามารถจ่ายกระแสได้ดังแสดงในรูปที่ 4.17ก ส่วนแรงดันอ้างอิงขนาด  $\pm 1/7$ ,  $\pm 2/7$  และ  $\pm 3/7$  เท่าของแรงดันอ้างอิง 0.8 V สร้างโดยใช้ตัวต้านทานแบ่งแรงดันจากแรงดันอ้างอิงขนาด  $\pm 0.8$  V อีกทอดหนึ่ง ดังแสดงในรูปที่ 4.17ข แรงดันที่ได้จากตัวต้านทานจะถูกประจุให้แก่ตัวเก็บประจุในควอนไทซ์สามบิตดังแสดงในรูปที่ 4.15 ในทุกคาบเวลาสุ่มตัวอย่าง ดังนั้นตัวต้านทานนี้ต้องมีค่าต่ำเพียงพอที่ให้แรงดันเข้าที่ได้อย่างถูกต้อง ซึ่งในที่นี้ได้เลือกใช้ตัวต้านทานขนาด 1 k $\Omega$  และ 4 k $\Omega$  ในการแบ่งแรงดัน ดังนั้นแหล่งแรงดันอ้างอิง  $\pm 0.8$  V ต้องสามารถจ่ายกระแสขนาด 114  $\mu$ A ให้ตัวต้านทานในส่วนนี้ได้

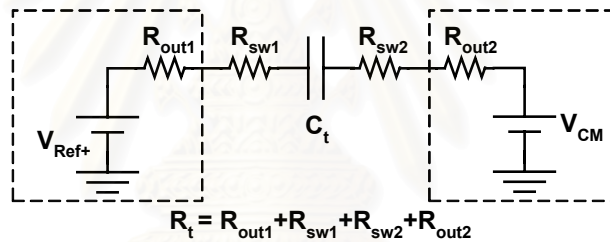
ในวงจรกำเนิดแรงดันอ้างอิงขนาด  $\pm 0.8$  V ตัวต้านทานที่ใช้แบ่งแรงดันมีขนาด 64 k $\Omega$  และ 68 k $\Omega$  และมีตัวเก็บประจุ  $C_{din}$  ขนาด 50 pF ต่อติคัปปลิ่งอยู่ในวงจรรวมและตัวเก็บประจุ  $C_{xin}$  ขนาด 1 nF ต่อติคัปปลิ่งอยู่นอกวงจรรวมเพื่อลดสัญญาณรบกวน แรงดันอ้างอิงที่ได้จากวงจรถามแรงดันจะนำไปประจุตัวเก็บประจุขาเข้าของตัวอินทิเกรตในการป้อนกลับ ขณะแหล่งแรงดันอ้างอิงจ่ายโหลดมีลักษณะดังรูปที่ 4.18 ดังนั้นอิมพีแดนซ์ขาออกของแหล่งแรงดันอ้างอิงรวมไปถึงความต้านทานของสวิตช์รวมกันต้องมีค่าต่ำพอที่ทำให้แรงดันอ้างอิงบนตัวเก็บประจุเข้าที่ได้ถูกต้องถึงระดับ 16 บิตหรือคิดเป็นการเข้าที่ด้วยเวลา  $12R_iC_i$  โดย  $R_i$  คือผลรวม



รูปที่ 4.17 วงจรสร้างแรงดันอ้างอิงที่ใช้ในวงจรรวม

(ก) วงจรสร้างแรงดันอ้างอิง  $Ref+$  และ  $Ref-$  ขนาด  $\pm 0.8 V$

(ข) วงจรสร้างแรงดันอ้างอิงขนาดให้ควอนไทซ์สามบิต



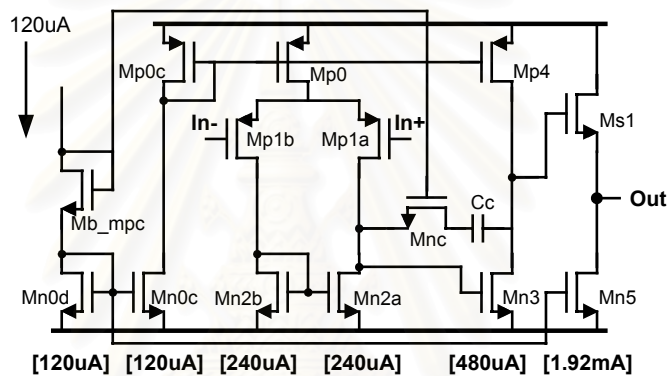
รูปที่ 4.18 แหล่งแรงดันอ้างอิงขณะจ่ายโหลดตัวเก็บประจุ

ของอิมพีแดนซ์ขาออกของแหล่งแรงดันอ้างอิงรวมและความต้านทานของสวิตช์ และ  $C_t$  คือค่าความจุไฟฟ้ารวมที่แรงดันอ้างอิงต้องจ่ายซึ่งมีค่าประมาณ 17pF ดังนั้นภายในเวลาที่มีให้ประจุแรงดันคือ 13.5 ns  $R_t$  ต้องมีค่าไม่เกิน 66  $\Omega$  โดยกำหนดให้ความต้านทานของสวิตช์ทั้งสองมีค่า 20  $\Omega$  ดังนั้นความต้านทานแหล่งจ่ายแต่ละตัวต้องมีค่าไม่เกิน 12.5  $\Omega$

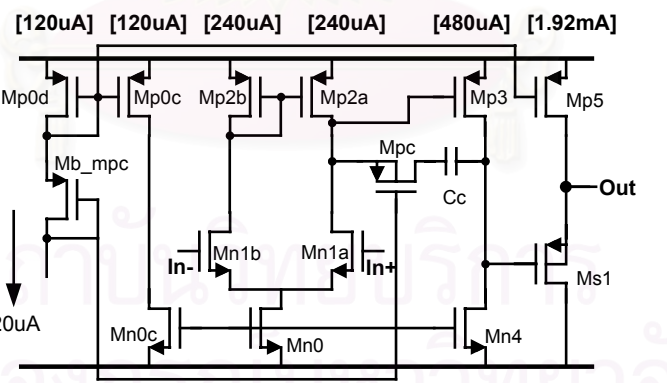
ในด้านสัญญาณรบกวนของวงจรตามแรงดัน สัญญาณรบกวนจะส่งผลต่อตัวอินทิเกรตทุกขั้นตอน แต่จะส่งผลมากที่สุดในตัวอินทิเกรตขั้นตอนแรก เนื่องจากทำให้การรวมค่าระหว่างสัญญาณขาเข้าของตัวแปลงกับสัญญาณป้อนกลับผิดพลาดไป ส่งผลให้ข้อมูลดิจิทัลขาออกที่แปลงได้มีค่าผิดพลาดตามไปด้วย วงจรตามแรงดันต้องมีสัญญาณรบกวนน้อยกว่าในระดับสัญญาณเล็กสุดที่ตัวแปลงสามารถวัดได้ นั่นคือสัญญาณรบกวนต้องมีน้อยกว่าในระดับ -98 dB เพื่อให้ข้อมูลขาออกของระบบมีความละเอียดถึง 16 บิตอย่างแท้จริง ในขณะที่การประจุตัวเก็บประจุตัวหนึ่ง ๆ มีแรงดันของอ้างอิงที่เกี่ยวข้องอยู่สองแหล่งดังนั้นสัญญาณรบกวนจากแรงดัน

อ้างอิงแต่ละแหล่งต้องน้อยกว่าระดับ -98 dB อยู่ครึ่งหนึ่ง ดังนั้นในที่นี้กำหนดให้วงจรตามแรงดันแต่ละตัวมีระดับสัญญาณรบกวนที่ -101 dB

เพื่อให้แหล่งจ่ายแรงดันอ้างอิงสามารถจ่ายกระแสได้ ตามขนาดที่ได้กล่าวไว้ข้างต้น ออกอปแอมป์ในวงจรตามแรงดันต้องมีขั้นตอนขาออกเป็นวงจรตามซอร์ส (Source follower) ส่วนการสร้างแรงดันอ้างอิงให้มีอิมพีแดนซ์ขาออกต่ำทุกย่านความถี่สามารถทำได้โดยการใช้ ออปแอมป์ต่อป้อนกลับเพื่อสร้างอิมพีแดนซ์ต่ำในย่านความถี่ต่ำร่วมกับการต่อตัวเก็บประจุ ดีคัปปลิ่งขนาดใหญ่ในวงจรรวม  $C_d$  เพื่อสร้างอิมพีแดนซ์ต่ำในย่านความถี่สูง นอกจากนี้ยังต้องใช้ ตัวเก็บประจุขนาดใหญ่  $C_X$  ระดับไมโครฟารัดต่อดีคัปปลิ่งภายนอกวงจรรวมเพื่อสร้างอิมพีแดนซ์ต่ำในย่านความถี่กลางประมาณ 1 MHz ถึง 100 MHz อีกทางหนึ่งดังแสดงในรูปที่ 4.17



(ก)



(ข)

รูปที่ 4.19 ออปแอมป์ที่ใช้ในวงจรตามแรงดัน

(ก) ออปแอมป์สำหรับตามแรงดัน 0.85 V

(ข) ออปแอมป์สำหรับตามแรงดัน 1.65 V และ 2.45 V

ในส่วนของสัญญาณรบกวน เพื่อให้แหล่งจ่ายแรงดันอ้างอิงมีสัญญาณรบกวนต่ำ ออปแอมป์ที่เลือกใช้ก็เป็นชนิดสองขั้นตอนเนื่องจากมีจำนวนทรานซิสเตอร์สร้างสัญญาณรบกวน

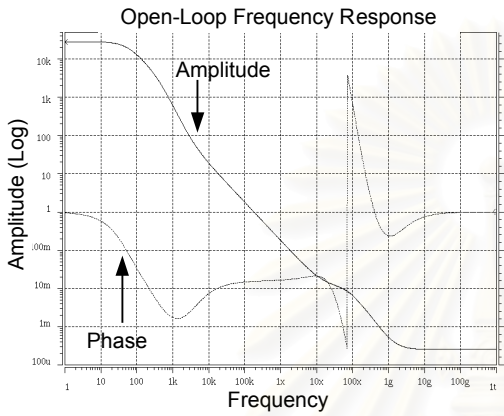
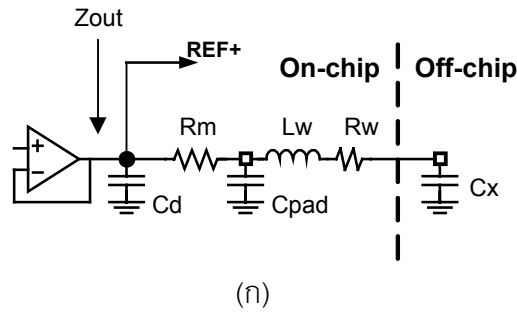


น้อยที่สุด ออกแบบที่ใช้พร้อมด้วยวงจรวบแอสในวงจรตามแรงดันแสดงดังรูปที่ 4.19 ขนาดของสัญญาณรบกวนจากออกแบบที่ป้อนกลับอัตราขยายเป็นหนึ่งมีค่าเป็น  $\frac{2kTn\beta}{3C_c}$  ในโครงสร้างนี้มีจำนวนทรานซิสเตอร์สร้างสัญญาณรบกวนหลัก  $n$  จำนวน 4 ตัวและตัวประกอบป้อนกลับ  $\beta$  มีค่าเป็นหนึ่ง เพื่อให้สัญญาณรบกวนมีค่าต่ำในระดับ  $-101$  dB ตัวเก็บประจุชดเชย  $C_c$  ต้องมีขนาด  $100$  pF นอกจากนี้ทรานซิสเตอร์ที่ใช้ในออกแบบต้องเป็นชนิดความยาวช่องยาวเพื่อลดขนาดของสัญญาณรบกวนฟลิคเกอร์ (Flicker Noise) ขนาดของทรานซิสเตอร์ที่ใช้ในออกแบบแสดงใน ตารางที่ 4.8

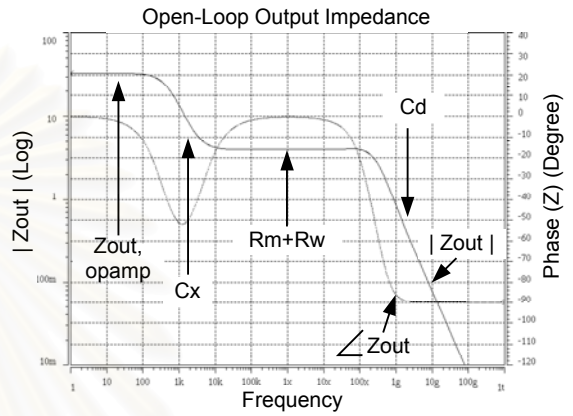
ตารางที่ 4.8 ขนาดของทรานซิสเตอร์ที่ใช้ในออกแบบสำหรับตามแรงดัน

ออกแบบใน วงจรมตามแรงดัน 0.85 V		ออกแบบใน วงจรมตามแรงดัน 1.65 V		ออกแบบใน วงจรมตามแรงดัน 2.45 V	
ทรานซิสเตอร์	ขนาด	ทรานซิสเตอร์	ขนาด	ทรานซิสเตอร์	ขนาด
Mp0	240 / 2	Mn0	180 / 2	Mn0	64 / 2
Mp1a, Mp1b	250 / 2	Mn1a, Mn1b	154 / 5	Mn1a, Mn1b	154 / 5
Mn2a, Mn2b	64 / 4	Mp2a, Mp2b	120 / 2	Mp2a, Mp2b	120 / 2
Mn3	64 / 2	Mp3	240 / 2	Mp3	240 / 2
Mp4	240 / 2	Mn4	180 / 2	Mn4	64 / 2
Mn5	64 / 2	Mp5	240 / 2	Mp5	240 / 2
Ms1	48 / 0.7	Ms1	160 / 0.7	Ms1	160 / 0.7
Mnc	60 / 1	Mpc	160 / 2	Mpc	160 / 2
Mp0c	60 / 2	Mn0c	45 / 2	Mn0c	16 / 2
Mn0c, Mn0d	16 / 2	Mp0c, Mp0d	60 / 2	Mp0c, Mp0d	60 / 2
Mb_mnc	16 / 2	Mb_mpc	60 / 2	Mb_mpc	60 / 2

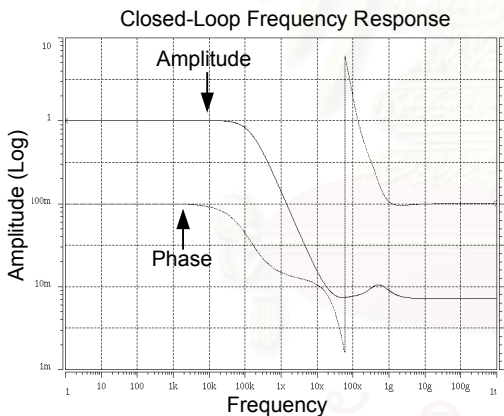
รูปที่ 4.21 แสดงผลตอบสนองทางความถี่ของออกแบบในวงจรมตามแรงดันจากการจำลอง รูปที่ 4.21ก แสดงวงจรมตามแรงดันซึ่งสร้างจากออกแบบที่มีตัวเก็บประจุภายใน  $C_d$  และภายนอกวงจรมรวม  $C_x$  ต่อดีคัปปลิ่งเพื่อลดอิมพีแดนซ์ขาออกในทุกย่านความถี่ รูปที่ 4.21ข แสดงผลตอบสนองทางความถี่ของออกแบบที่วงจรมเปิดในวงจรมตามแรงดัน รูปที่ 4.21ค แสดงอิมพีแดนซ์ขาออกเชิงขนาดและเฟสของออกแบบของวงจรมตามแรงดันเมื่ออยู่ในลักษณะวงจรมเปิด ในย่านความถี่ต่ำ (ช่วงที่ 1) ตัวเก็บประจุทั้งภายในและภายนอกวงจรมรวมจะยังไม่ส่งผลต่อ



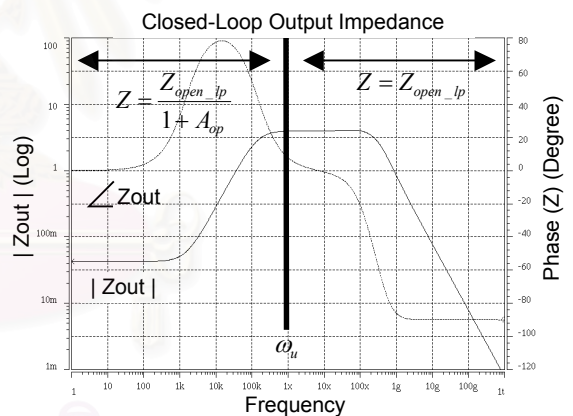
(ข)



(ค)



(ง)



(จ)

รูปที่ 4.20 ผลตอบสนองทางความถี่และอิมพีแดนซ์ขาออกของวงจรตามแรงดัน

(ก) วงจรตามแรงดันที่สร้างขึ้นจากออปแอมป์ต่อบัณการกลับร่วกับตัวเก็บประจุภายใน และภายนอกวงจรรวม

(ข) ผลตอบสนองทางความถี่ของออปแอมป์วงรอบเปิดที่ใช้ในวงจรตามแรงดัน

(ค) อิมพีแดนซ์ขาออกของออปแอมป์วงรอบเปิด

(ง) ผลตอบสนองทางความถี่ของวงจรตามแรงดัน

(จ) อิมพีแดนซ์ขาออกของวงจรตามแรงดัน

อิมพีแดนซ์ขาออกของวงจรตามแรงดัน อิมพีแดนซ์ช่วงความถี่ต่ำจึงถูกกำหนดโดยอิมพีแดนซ์ขาออกของ ออปแอมป์ซึ่งในที่นี้ออปแอมป์มีขั้นตอนขาออกเป็นวงจรตามซอร์ส ดังนั้นอิมพีแดนซ์ขาออกจึงมีค่าขนาด  $\frac{1}{g_{ms1}}$  โดย  $g_{ms1}$  เป็นค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์เดรนร่วม Ms1 ในขั้นตอนขาออก เมื่อความถี่สูงขึ้น (ช่วงที่ 2) อิมพีแดนซ์ขาออกจะเริ่มลดลงเพราะตัวเก็บประจุดีคัปปลิ่งขนาดใหญ่  $C_X$  ภายนอกวงจรรวมเริ่มส่งผล จนกระทั่งถึงความถี่ค่าหนึ่งอิมพีแดนซ์ของตัวเก็บประจุภายนอกลดลงจนน้อยกว่าความต้านทาน  $R_W$  ของลวดเชื่อม (Bond wire) ขาของแพกเก็ตกับแพด (Pad) จะทำให้อิมพีแดนซ์ขาออกในย่านความถี่นี้ (ช่วงที่ 3) เป็น  $R_m + R_W$  โดย  $R_m$  เป็นความต้านทานของสายโลหะระหว่างแพดจนถึงขาออกของออปแอมป์ จากความถี่นี้เป็นต้นไปตัวเก็บประจุภายนอกวงจรรวม  $C_X$  จะมีอิมพีแดนซ์ที่น้อยมากจนสามารถคิดได้ว่าลวดวงจรและไม่มีผลต่อค่าอิมพีแดนซ์ขาออกอีก อิมพีแดนซ์ขาออกวงจรจะมีค่าเป็นเท่านี้ไปจนถึงความถี่รีโซแนนซ์ระหว่างตัวเก็บประจุดีคัปปลิ่งในวงจรรวม  $C_d$  กับความเหนี่ยวนำของลวดเชื่อมขาแพกเก็ตกับแพด  $L_W$  ที่ความถี่นี้ (ช่วงที่ 4) อิมพีแดนซ์ขาออกของวงจรอาจจะมีค่าสูงมากเนื่องจากเกิดรีโซแนนซ์เชิงขนานระหว่าง  $C_d$  กับ  $L_W$  แต่สามารถลดได้โดยการปรับขนาดความต้านทาน  $R_m$  ของสายโลหะให้มีค่าสูงขึ้นเพื่อลดตัวประกอบคุณภาพ (Quality factor) ลง หลังจากเลยความถี่นี้ไปแล้ว (ช่วงที่ 5) อิมพีแดนซ์ของตัวเหนี่ยวนำจะมีค่าสูงมากจนทำให้ทั้งความเหนี่ยวนำและความต้านทานของลวดเชื่อมไม่มีผลต่ออิมพีแดนซ์ขาออกอีก อิมพีแดนซ์ขาออกของวงจรจะเริ่มลดลงโดยขึ้นกับอิมพีแดนซ์ของตัวเก็บประจุ  $C_d$  เป็นหลัก รูปที่ 4.21g แสดงผลตอบสนองทางความถี่ของวงจรตามแรงดัน และรูปที่ 4.21จ แสดงอิมพีแดนซ์ขาออกของวงจรตามแรงดัน เมื่อออปแอมป์ถูกป้อนกลับอัตราขยายเป็นหนึ่ง อิมพีแดนซ์ขาออกของวงจรตามแรงดันมีค่าเป็น  $\frac{Z_{open}}{1 + A_{open}}$  ในย่านความถี่ต่ำไปจนถึงความถี่อัตราขยายเป็นหนึ่ง  $\omega_u$  หลังจากความถี่นี้ อิมพีแดนซ์ขาออกจะมีลักษณะเช่นเดียวกับอิมพีแดนซ์ขาออกของออปแอมป์วงรอบเปิดเนื่องจากอัตราขยายของออปแอมป์มีค่าน้อยกว่าหนึ่งที่ความถี่สูง เห็นได้ว่าค่าอิมพีแดนซ์สูงสุดของวงจรตามแรงดันจะมีค่าเป็น  $R_m + R_W$  ในช่วงความถี่หลังจากความถี่อัตราขยายเป็นหนึ่ง  $\omega_u$  หรือในช่วง 1 MHz ถึง 100 MHz

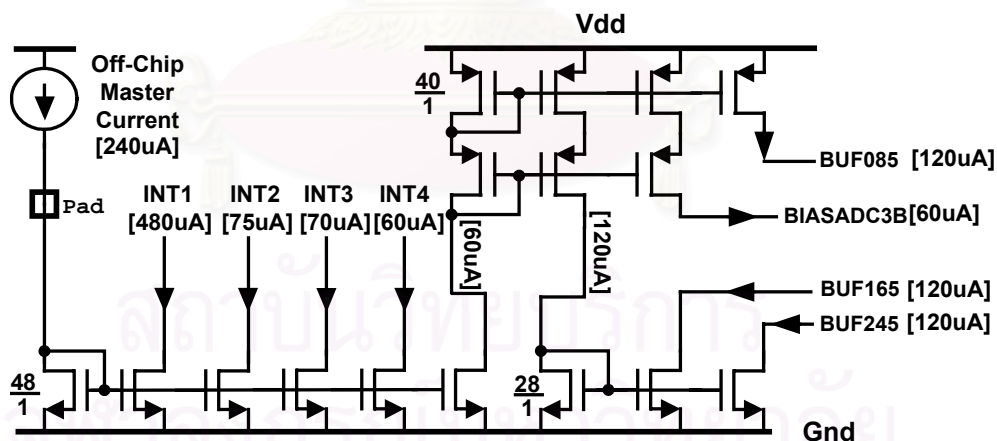
ด้วยเหตุนี้การทำให้อิมพีแดนซ์ขาออกมีค่าต่ำในช่วง 1 MHz ถึง 100 MHz จึงต้องอาศัยตัวเก็บประจุภายนอกมาช่วยลดอิมพีแดนซ์ ในการออกแบบได้ใช้ตัวเก็บประจุภายนอกมีขนาดประมาณ  $1\mu\text{F}$  ซึ่งประกอบไปด้วยตัวประจุขนาด  $1\mu\text{F}$ ,  $100\text{nF}$ ,  $10\text{nF}$  และ  $1\text{nF}$  ต่อขนานกันและให้ความต้านทานของ  $R_m + R_W$  มีค่าประมาณ  $5\Omega$  ในการจำลองได้กำหนดให้  $L_W$  มีค่า  $3\text{nH}$  ซึ่งในวงจรรวมจริงสร้างขึ้นจากการนำเอาลวดเชื่อมแพด 3 เส้นต่อขนานกัน

## 4.5 วงจรไบแอส

วงจรไบแอสที่จะกล่าวถึงในหัวข้อนี้ประกอบไปด้วย วงจรสร้างกระแสอ้างอิงให้องค์ประกอบแต่ละส่วน วงจรไบแอสของออปแอมป์ทั้งในส่วนของตัวอินทิเกรต

### 4.5.1 วงจรสร้างกระแสอ้างอิง

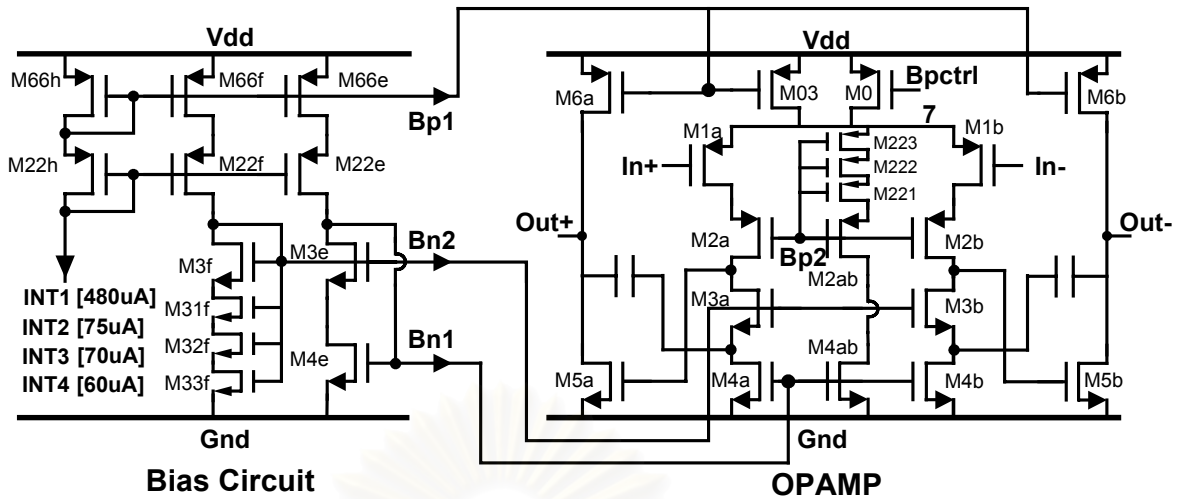
วงจรสร้างกระแสอ้างอิงให้องค์ประกอบแต่ละส่วนพร้อมด้วยค่ากระแสแสดงดังรูปที่ 4.21 วงจรไบแอสใช้แหล่งกระแสจากภายนอกวงจรรวมขนาด  $240\ \mu\text{A}$  เพื่อนำมาสร้างกระแสอ้างอิงให้แก่ ออปแอมป์ทั้งสี่ตัวในตัวอินทิเกรต ออปแอมป์ในวงจรตามแรงดันทั้งสามตัวและตัวเปรียบเทียบสถิต เนื่องจากในออปแอมป์แต่ละตัวต้องการแรงดันเพื่อมาไบแอสทรานซิสเตอร์แหล่งกระแสในออปแอมป์ โดยข้อพิจารณาในเรื่องการเข้าคู่ในการวาดผังวงจรรวมทรานซิสเตอร์สะท้อนกระแสกับทรานซิสเตอร์ที่นำกระแสไปใช้ต้องวางอยู่ใกล้กันให้มากที่สุด เพื่อให้การส่งแรงดันไปในการสะท้อนกระแสมีความผิดพลาดน้อยที่สุด แต่ออปแอมป์แต่ละตัวมีขนาดใหญ่ ดังนั้นจึงกำหนดให้ออปแอมป์แต่ละตัวใช้วงจรไบแอสแยกกัน ทั้งในส่วนของออปแอมป์ในตัวอินทิเกรตและออปแอมป์ในวงจรตามแรงดัน โดยในการสะท้อนกระแส อัตราส่วนระหว่างกระแสที่สะท้อนมีค่าไม่เกินสี่เท่า เพื่อให้กระแสในกิ่งที่ใช้งานและกิ่งที่นำมาสะท้อนเป็นสัดส่วนใกล้เคียงตามที่ออกแบบไว้



รูปที่ 4.21 วงจรสร้างกระแสอ้างอิงสำหรับจ่ายให้แก่ออปแอมป์และตัวเปรียบเทียบสถิต

### 4.5.2 วงจรไบแอสของออปแอมป์

วงจรสร้างแรงดันไบอัสให้แก่ออปแอมป์แสดงในรูปที่ 4.22 ออปแอมป์ในตัวอินทิเกรตใช้แหล่งกระแสแบบปกติในส่วนของทรานซิสเตอร์แหล่งกระแส M03 M6a และ M6b โดยสะท้อนกระแสมาจากทรานซิสเตอร์ M66h ผ่านปม  $Bp1$  และใช้แหล่งกระแสแบบคาสโคด



รูปที่ 4.22 วงจรไบแอสของออปแอมป์ที่ใช้ในตัวอินทิเกรต

แกว่งตัวช่วงกว้าง ในส่วนของทรานซิสเตอร์แหล่งกระแส M3a-M4a และ M3b-M4b โดยสะท้อนกระแสมาจากทรานซิสเตอร์ M3f และ M4e ผ่านปม Bn1 และ Bn2 ตามลำดับ นอกจากนี้ภายในตัวออปแอมป์เองยังมีทรานซิสเตอร์ M2ab สร้างแรงดันไบแอสคงที่ในปม Bp2 เทียบกับปม 7 ให้กับทรานซิสเตอร์ M2a และ M2b ขนาดทรานซิสเตอร์ในวงจรไบแอสของออปแอมป์ที่ใช้ในตัวอินทิเกรตทั้งสี่ขั้นตอนแสดงในตารางที่ 4.9

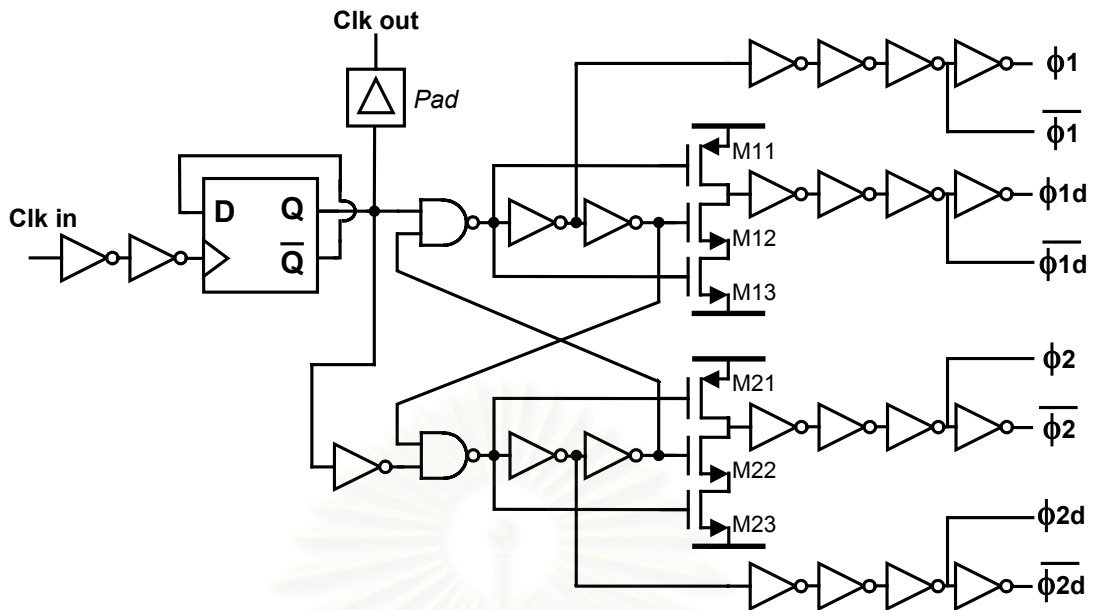
ตารางที่ 4.9 ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรไบแอสของออปแอมป์

ทรานซิสเตอร์	ขั้นตอนที่			
	1	2	3	4
M22e,f,h , M66e,f,h	172 / 0.7	27 / 0.7	25 / 0.7	20 / 0.7
M3e,f	192 / 0.6	30 / 0.6	28 / 0.6	26 / 0.6
M31f, M32f, M33f	48 / 0.9	15 / 2.1	14 / 2	13 / 2
M4e, M4ab	40 / 0.7	6 / 1	6 / 1	5.2 / 1
M2ab	88 / 0.7	14 / 0.7	12.5 / 0.7	12 / 0.7
M221, M222, M223	88 / 0.9	14 / 0.8	12.5 / 0.8	12 / 0.9

#### 4.6 วงจรกำเนิดสัญญาณนาฬิกา

วงจรสวิตช์ตัวเก็บประจุต้องการสัญญาณนาฬิกาไร้การเหลื่อมสองเฟสที่มีเฟสการประวิงเวลาเพื่อลดการผิดประจุที่ขึ้นกับสัญญาณขาเข้า วงจรกำเนิดสัญญาณนาฬิกาสำหรับวงจรสวิตช์ตัวเก็บประจุที่ใช้แสดงดังรูปที่ 4.23 สัญญาณนาฬิกาความถี่ 64 MHz ป้อนเข้าสู่วงจรหารความถี่สองเท่าเพื่อให้ได้สัญญาณนาฬิกาที่ 32 MHz ที่มีวงรอบหน้าที่ (Duty Cycle) เท่ากับ





รูปที่ 4.23 วงจรกำเนิดสัญญาณนาฬิกา

50 เปอร์เซ็นต์ สัญญาณดังกล่าวถูกป้อนเข้าสู่วงจรสร้างสัญญาณนาฬิกาไร้การเหลื่อมที่มีเฟสการประวิงเวลาแบบมาตรฐานต่อไป ทราานซิสเตอร์ M11-M13 และ M21-M23 ต่อกันเป็นตัวอินเวอร์เตอร์พลวัต ทำให้ขอบขาขึ้นของสัญญาณนาฬิกาที่มีการประวิงขึ้นพร้อมกับขอบขาขึ้นของสัญญาณนาฬิกาที่ไม่มีการประวิง ซึ่งช่วยเพิ่มเวลาในการเข้าที่ของตัวอินทิเกรตอีกเล็กน้อย ในการออกแบบนี้ เลือกขนาดของทรานซิสเตอร์ที่ใช้ให้มีความยาวช่องเป็น  $0.7 \mu\text{m}$  ในทุกองค์ประกอบเพื่อลดความผันผวนของเวลาประวิง อันเนื่องมาจากขนาดของทรานซิสเตอร์และจำนวนขั้นตอนต่อเรียงของตัวอินเวอร์เตอร์

#### 4.7 วงจรปัมประจุ

ในตัวอินทิเกรตสวิทช์ตัวเก็บประจุที่ใช้ในวิทยานิพนธ์นี้ ตัวเก็บประจุที่ใช้ในขั้นตอนต้น ๆ มีขนาดใหญ่ และต้องทำการสวิทช์ด้วยความเร็วสูง อีกทั้งสวิทช์ที่ใช้ในการรับสัญญาณขาเข้าของตัวอินทิเกรตต้องสามารถรับแรงดันได้ตลอดช่วงแรงดันแหล่งจ่าย ดังนั้นความต้านทานของสวิทช์ขณะเปิดวงจรต้องมีค่าต่ำมาก และตัวสวิทช์ควรมีความจุไฟฟ้าต่ำ ภายใต้แรงดันแหล่งจ่ายที่ 3.3 โวลต์ สามารถสร้างให้สวิทช์ที่เชื่อมต่อกับวงจรได้ตลอดช่วงแรงดันแหล่งจ่าย แต่สวิทช์ที่เชื่อมที่เชื่อมที่มีความจุไฟฟ้ามากเนื่องจากตัวสวิทช์ต้องสร้างจากทรานซิสเตอร์ชนิดเอ็นและชนิดพี แนวทางที่ทำให้สวิทช์มีความต้านทานต่ำและมีความจุไฟฟ้าต่ำ คือการใช้วงจรสวิทช์ปัมประจุ แนวคิดของวงจรสวิทช์ปัมประจุสามารถแสดงได้ดังรูปที่ 4.24 เมื่อสวิทช์อยู่ในสถานะเปิดวงจร





อย่างไรก็ตาม ความจุประสิทธิรวม  $C_{par}$  ที่แผ่นบนของตัวเก็บประจุ  $C_s$  จะไปลดแรงดันคร่อมขาเกตและซอร์สของทรานซิสเตอร์สวิตช์  $M_{sw}$  ทำให้แรงดันคร่อมขาทั้งสองต่ำลงไปจากแรงดันแหล่งจ่ายเป็น

$$V_{GS} = \frac{C_s}{C_s + C_{par}} V_{dd} \quad (4.16)$$

ในวิทยานิพนธ์นี้ใช้สวิตช์บี้มประจุจำนวน 3 ขนาด รวมเป็นจำนวน 6 ตัว ในตัวอินทิเกรตสามขั้นตอนแรก ขนาดของตัวเก็บประจุ ความต้านทานขณะเปิด และการกินกำลังงานของสวิตช์บี้มประจุทั้งสามขนาดแสดงในตารางที่ 4.10

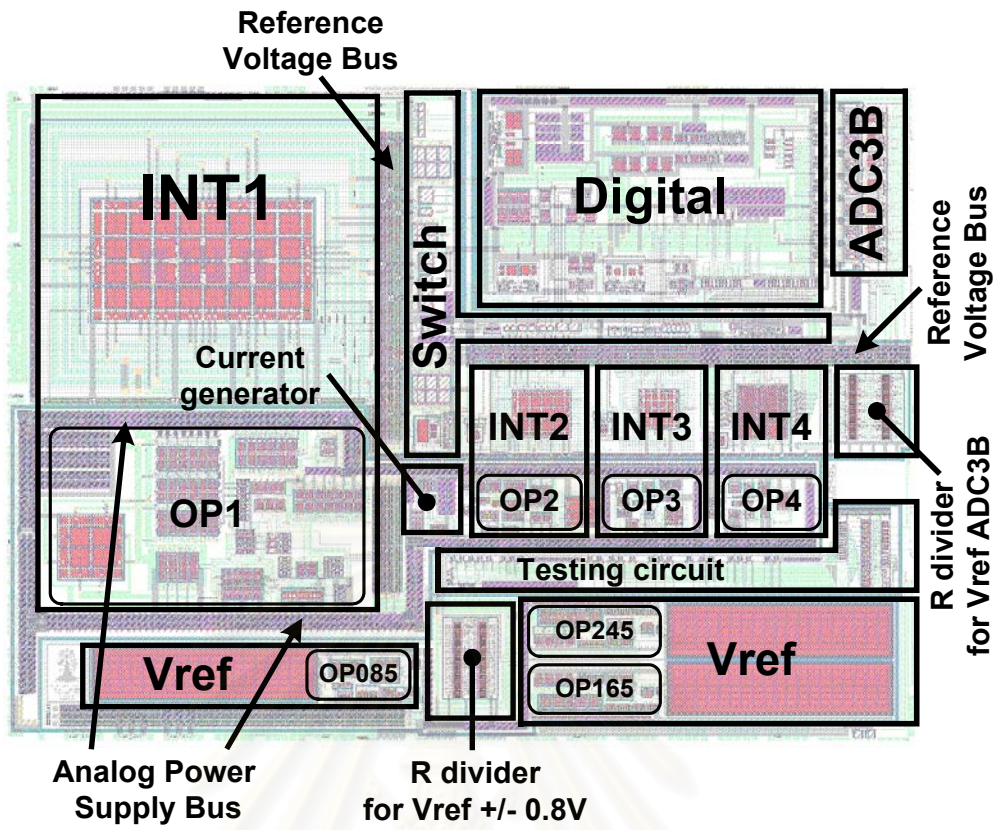
ตารางที่ 4.10 ข้อมูลของสวิตช์บี้มประจุ

สวิตช์บี้มประจุในตัวอินทิเกรตที่	ความต้านทานขณะนำไฟฟ้า ( $\Omega$ )	$C_s$ (pF)	$C_1$ (pF)	การกินกำลังงาน ( $\mu W$ )
1	15	2	0.1	221
2	50	0.7	0.1	107
3	200	0.3	0.1	80

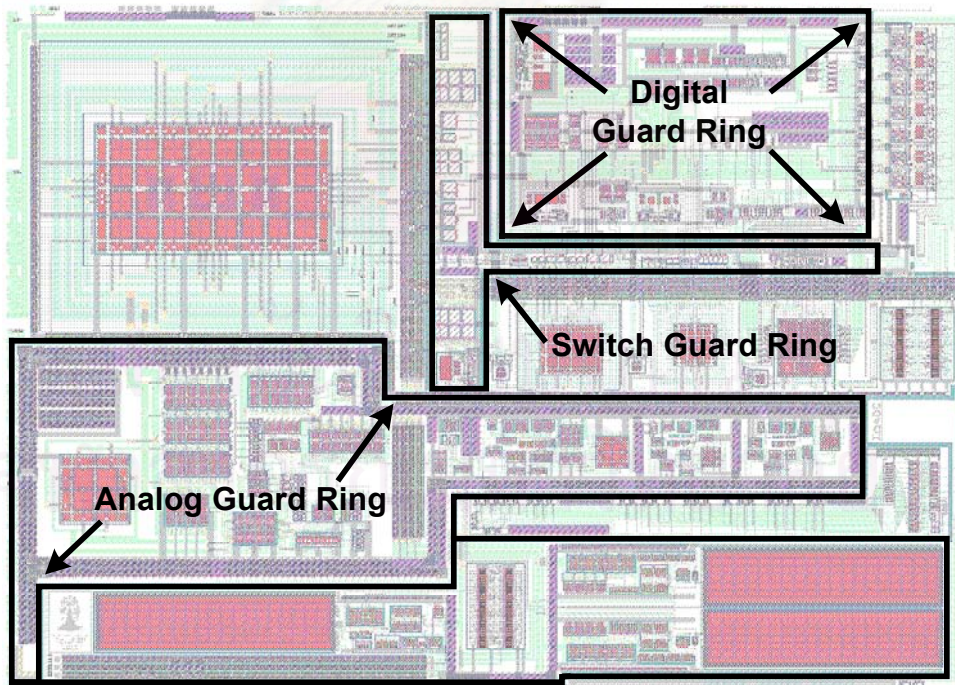
#### 4.8 การวาดผังวงจรรวม

มอดูเลเตอร์ที่ได้ออกแบบไว้ข้างต้นเป็นส่วนหนึ่งของตัวแปลงแอนะล็อกเป็นดิจิทัลความละเอียดสูง ดังนั้นในการวาดผังวงจรรวมของวงจรถ่ายสัญญาณที่มีความไวสูงนี้ ต้องพิจารณาในหลายด้านด้วยกัน ได้แก่ การวางตำแหน่งวงจรถ่ายสัญญาณและตำแหน่งวงจรถ่ายแอนะล็อก การป้องกันการรบกวนสัญญาณดิจิทัลเข้ามาสู่วงจรถ่ายแอนะล็อก และการวางทรานซิสเตอร์ ตัวเก็บประจุ และตัวต้านทาน เพื่อให้เข้าคู่กัน

ผังวงจรรวมของมอดูเลเตอร์ที่ได้ออกแบบแสดงในรูปที่ 4.25 จากรูปเห็นได้ว่าวงจรถ่ายสัญญาณถูกจัดกลุ่มให้อยู่รวมกัน วงจรถ่ายสัญญาณนี้ประกอบด้วย วงจรสร้างสัญญาณนาฬิกา ไร้มอเตอร์ แนนด์เกต นอร์เกต ตัวเปรียบเทียบพลวัต ส่วนของตัวเปรียบเทียบสถิตไม่รวมสวิตช์และตัวเก็บประจุ ส่วนของวงจรมีประจุที่ไม่รวมสวิตช์ และวงจรเข้ารหัสสัญญาณอนาล็อก วงจรเหล่านี้ใช้แหล่งจ่ายที่จัดไว้เฉพาะสำหรับกลุ่มวงจรถ่ายสัญญาณ ทั้งไฟบวกและกราวด์ ถัดออกมาจากวงจรถ่ายสัญญาณคือส่วนของสวิตช์ที่ใช้ในการต่อตัวเก็บประจุเข้ากับสัญญาณขาเข้าหรือแรงดันอ้างอิงทั้งในส่วนของตัวอินทิเกรตและตัวควอนไทซ์สามบิต สวิตช์เหล่านี้ใช้แหล่งจ่ายที่จัดไว้เฉพาะสำหรับกลุ่มสวิตช์เช่นกัน



รูปที่ 4.25 แผนผังรวมของมอดูเลเตอร์



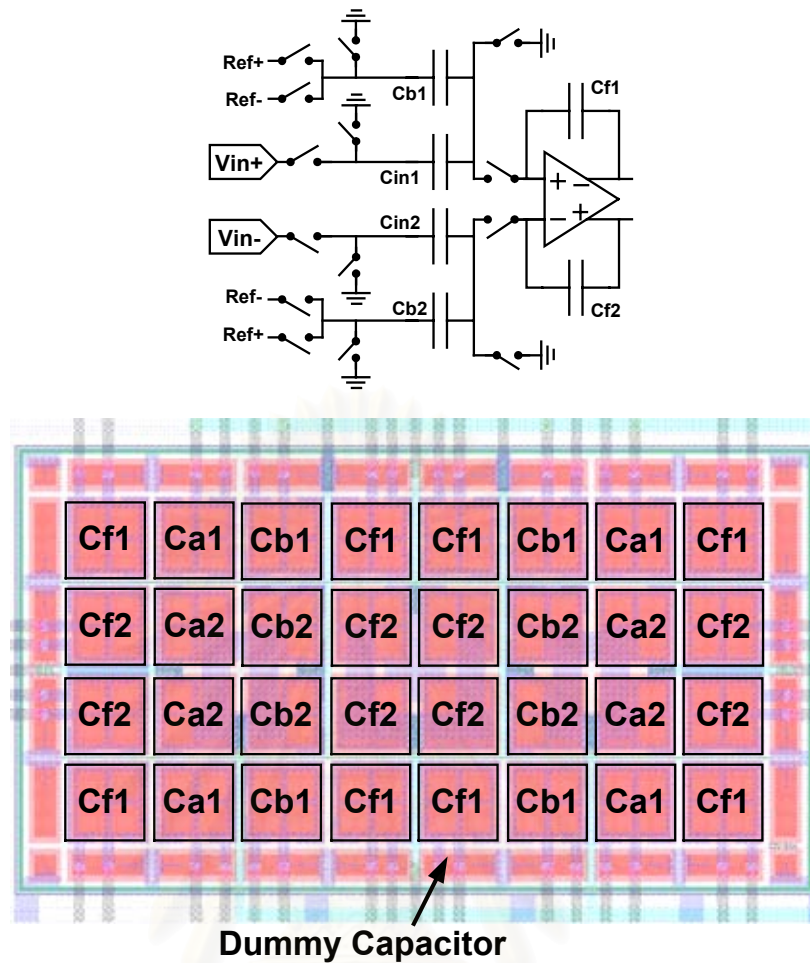
รูปที่ 4.26 การวางการ์ดริงบนวงจรรวม



ถัดออกมาจากส่วนของสวิตช์เป็นส่วนของวงจรแอนะล็อกทั้งหมด ส่วนแรกคือกลุ่มของตัวเก็บประจุที่ใช้ในตัวอินทิเกรต โดยภายใต้ตัวเก็บประจุเหล่านี้มีป้อนสารเอ็นไวจไว้เพื่อป้องกันสัญญาณรบกวนที่อาจเชื่อมต่อ (Coupling) เข้ามาทำให้แรงดันในตัวเก็บประจุผิดไป ป้อนสารเอ็นไวจนี้จัดให้ต่ออยู่กับแรงดันไฟบวกเฉพาะอีกสายหนึ่ง ถัดจากกลุ่มตัวเก็บประจุออกมาคือ ออปแอมป์ที่ใช้ในตัวอินทิเกรต ออปแอมป์เหล่านี้ใช้แหล่งจ่ายที่จัดไว้เฉพาะสำหรับกลุ่มวงจรแอนะล็อก ทั้งไฟบวกและกราวด์ ถัดจากตัวอินทิเกรตในขั้นตอนที่ 2 ถึง 4 เป็นวงจรที่ใช้ตรวจดูแรงดันภายในของวงจรรวมซึ่งมีไว้ในขั้นตอนการทดสอบวงจรรวม และส่วนสุดท้ายซึ่งอยู่ในด้านล่างสุดคือวงจรตามแรงดันซึ่งใช้สร้างแรงดันอ้างอิงให้กับมอดูเลเตอร์ทั้งวงจร วงจรนี้แยกใช้แหล่งจ่ายเฉพาะสำหรับวงจรตามแรงดันอีกเช่นกัน นอกจากนี้ส่วนของวงจรสร้างกระแสตั้งอยู่บริเวณเกือบกลางวงจรรวมทำหน้าที่สะท้อนกระแสจากแหล่งกระแสอ้างอิงภายนอกให้เป็นสัดส่วนตามที่กำหนดไว้แล้วจ่ายไปให้แก่วงจรแอนะล็อกทุกส่วน วงจรแบ่งแรงดันด้วยตัวต้านทานสำหรับสร้างแรงดันอ้างอิง  $\pm 0.8$  โวลต์ ตั้งอยู่ระหว่างวงจรตามแรงดัน และวงจรแบ่งแรงดันด้วยตัวต้านทานสำหรับสร้างแรงดันอ้างอิงให้กับตัวควอนไทซ์สามบิตตั้งอยู่ถัดจากตัวอินทิเกรตขั้นตอนที่สี่ไปทางขวา

การส่งแรงดันอ้างอิง  $\pm 0.8$  โวลต์ และแรงดันโหมดรวมไปยังองค์ประกอบต่าง ๆ จะส่งไปตามบัสที่มีทรานซิสเตอร์ชนิดเอ็นต่อดีคัปปลิ่งลงกราวด์อยู่ด้านล่างทำหน้าที่เป็นตัวเก็บประจุ ส่วนการส่งแรงดันแหล่งจ่ายของวงจรแอนะล็อกจะส่งไปตามบัสขนาดใหญ่เช่นกัน โดยบัสสำหรับไฟบวกมีทรานซิสเตอร์ชนิดเอ็นต่อดีคัปปลิ่งลงกราวด์อยู่ด้านล่างทำหน้าที่เป็นตัวเก็บประจุ และสำหรับกราวด์มีทรานซิสเตอร์ชนิดพีต่อดีคัปปลิ่งขึ้นไฟบวกเพื่อทำหน้าที่เป็นตัวเก็บประจุเช่นกัน การต่อตัวเก็บประจุดีคัปปลิ่งนี้จะช่วยลดสัญญาณรบกวนและการกระชากกระแสจากแหล่งจ่ายลงได้ และการใช้ทรานซิสเตอร์เป็นตัวเก็บประจุมีข้อดีในเรื่องความจุไฟฟ้าต่อพื้นที่สูงทำให้ใช้พื้นที่วงจรรวมน้อยลง

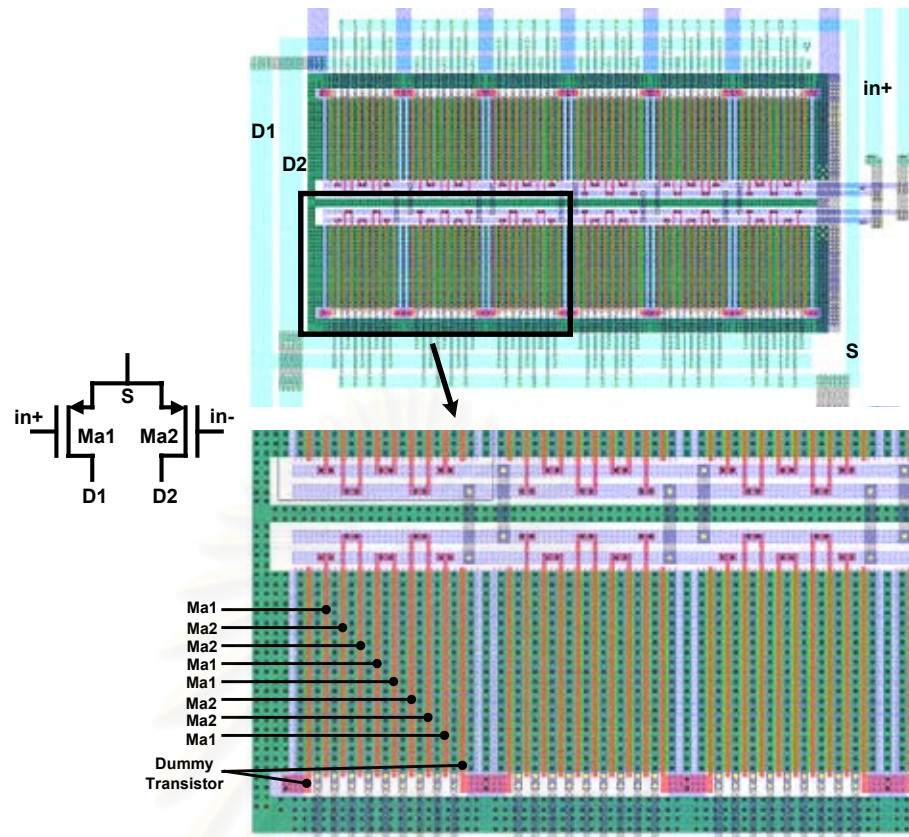
ในการป้องกันสัญญาณรบกวนจากวงจรดิจิทัลเข้ามาสู่วงจรแอนะล็อกทำได้โดยการวางการ์ดริง (Guard ring) และซิลด์ไว้รอบวงจรแอนะล็อกที่ต้องการป้องกัน และรอบวงจรดิจิทัลเพื่อป้องกันการแพร่กระจายสัญญาณรบกวน ในการวางผังวงจรรวมนี้ได้วางการ์ดริงหลักไว้ 3 ส่วนดังแสดงในรูปที่ 4.26 คือ การ์ดริงของวงจรดิจิทัล การ์ดริงของสวิตช์ และการ์ดริงของวงจรแอนะล็อก เห็นได้ว่า สัญญาณรบกวนจากวงจรดิจิทัลต้องผ่าน การ์ดริงทั้ง 3 ชั้น และป้อนสารเอ็นไวจตัวเก็บประจุ ก่อนที่จะเข้ามารบกวนวงจรแอนะล็อกได้ นอกจากการ์ดริงหลักยังมีการ์ดริงย่อย ๆ วางอยู่ในระยะใกล้โดยรอบองค์ประกอบแอนะล็อก ทั้งตัวเก็บประจุ และตัวต้านทานอีกชั้นหนึ่ง [27] ในบัสแรงดันอ้างอิงบางช่วงอาจมีสายโลหะจากวงจรดิจิทัลพาดผ่าน จึงต้องทำการซิลด์บัสแรงดัน



รูปที่ 4.27 การวางตัวเก็บประจุในตัวอินทิเกรตให้มีจุดเซนทรอยด์อยู่ร่วมกัน และมีตัวเก็บประจุหุ่่นวางอยู่โดยรอบ

อ้างอิง โดยใช้โลหะชั้นที่สองเป็นซิลด์ ในขณะที่บัสของแรงดันอ้างอิงใช้โลหะชั้นที่หนึ่ง และโลหะจากวงจรถัดจัทจัดให้อยู่ในโลหะชั้นที่สาม

ในการวางองค์ประกอบเพื่อให้เกิดความเข้าคู่ที่ดีนั้น สามารถทำได้โดยการวางองค์ประกอบให้มีจุดเซนทรอยด์ร่วมกัน (Common Centroid) และใช้องค์ประกอบหุ่่น (Dummy Element) วางอยู่โดยรอบองค์ประกอบที่ใช้ในระหว่างเดียวกันกับระหว่างองค์ประกอบที่ใช้ [28-29] การวางองค์ประกอบให้มีจุดเซนทรอยด์อยู่ร่วมกันจะช่วยทำให้องค์ประกอบแต่ละตัวมีค่าใกล้เคียงกัน ส่วนการใช้องค์ประกอบหุ่่นจะทำให้ลดความแปรปรวนของค่าขององค์ประกอบอันเนื่องมาจากขอบแต่ละด้านขององค์ประกอบถูกกั้ระหว่างกระบวนการผลิตไม่เท่ากัน การวางตัวเก็บประจุเพื่อให้เกิดการเข้าคู่ที่ดีนั้นทำได้ดังรูปที่ 4.27 ตัวเก็บประจุที่ใช้งานแต่ละตัวถูกสร้างขึ้นมาจากตัวเก็บประจุหน่วยย่อย ๆ หลายตัวโดยแต่ละตัววางตัวกระจายกันอยู่โดยมีจุดเซนทรอยด์อยู่ร่วมกันและมีตัวเก็บประจุหุ่่นวางอยู่โดยรอบ โดยขั้วทั้งสองของตัวเก็บประจุหุ่่นต่ออยู่กับกราวด์ สำหรับทรานซิสเตอร์ การวางให้จุดเซนทรอยด์อยู่ร่วมกันทำได้ดังรูปที่ 4.28

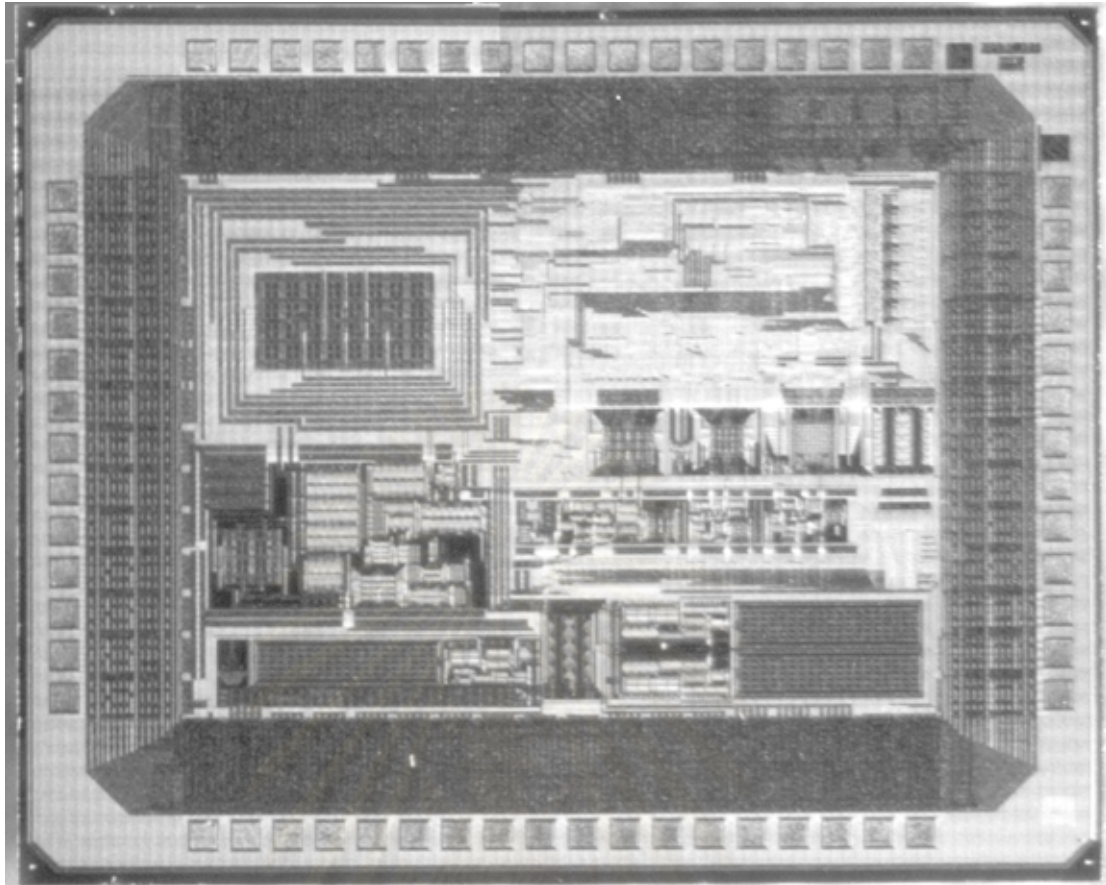


รูปที่ 4.28 แสดงการวางทรานซิสเตอร์ โดยมีจุดเซนทรอยด์อยู่ร่วมกัน และมีทรานซิสเตอร์หุ่นอยู่ที่ปลายทั้งสองด้าน

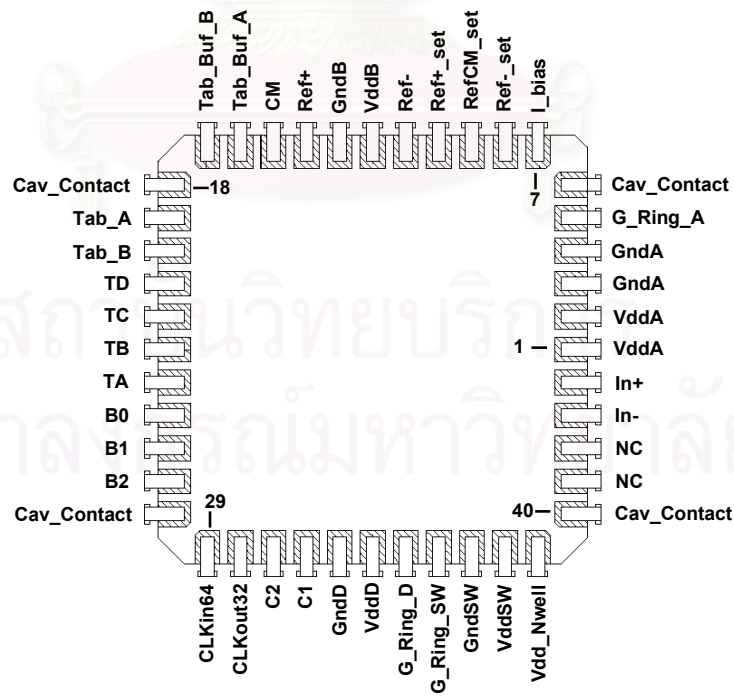
ทรานซิสเตอร์สองตัวถูกสร้างขึ้นจากทรานซิสเตอร์ย่อยขนาดเล็กหลายตัววางเรียงตัวกันอยู่ในรูปแบบ “ABBAABBA” โดย A แทนทรานซิสเตอร์ย่อยของตัวที่หนึ่งและ B ทรานซิสเตอร์ย่อยของตัวที่สอง และบริเวณด้านปลายแต่ละข้างมีทรานซิสเตอร์หุ่นซึ่งขาคู่ต่อไว้กับขาซอร์สเพื่อให้ทรานซิสเตอร์อยู่ในสถานะไม่ทำงาน สำหรับการวางตัวด้านทานให้จุดเซนทรอยด์อยู่ร่วมกันทำได้โดยการแบ่งตัวด้านทานออกเป็นส่วนย่อยและจัดเรียงในลักษณะเช่นเดียวกับทรานซิสเตอร์ดังกล่าวไว้ข้างต้น

วงจรรวมทั้งหมดโดยรวมแพด (Pad) ถูกวาดให้อยู่พื้นที่ผลึกขนาด 3870 um x 3120 um คิดเป็นพื้นที่ขนาด 12.1 ตารางมิลลิเมตร รูปที่ 4.29 แสดงรูปถ่ายผลึกของวงจรมอดูเลเตอร์ที่ได้จากการเจือสาร วงจรรวมรวมของมอดูเลเตอร์นี้ถูกบรรจุอยู่ในตัวถังแบบ JLCC44 โดยมีขาสัญญาณแสดงดังรูปที่ 4.30





รูปที่ 4.29 รูปถ่ายผลึกของวงจรมอดูเลเตอร์ที่ได้จากการเจือสาร



รูปที่ 4.30 ตัวถังที่บรรจุวงจรรวมพร้อมขาสัญญาณ

#### 4.9 สรุป

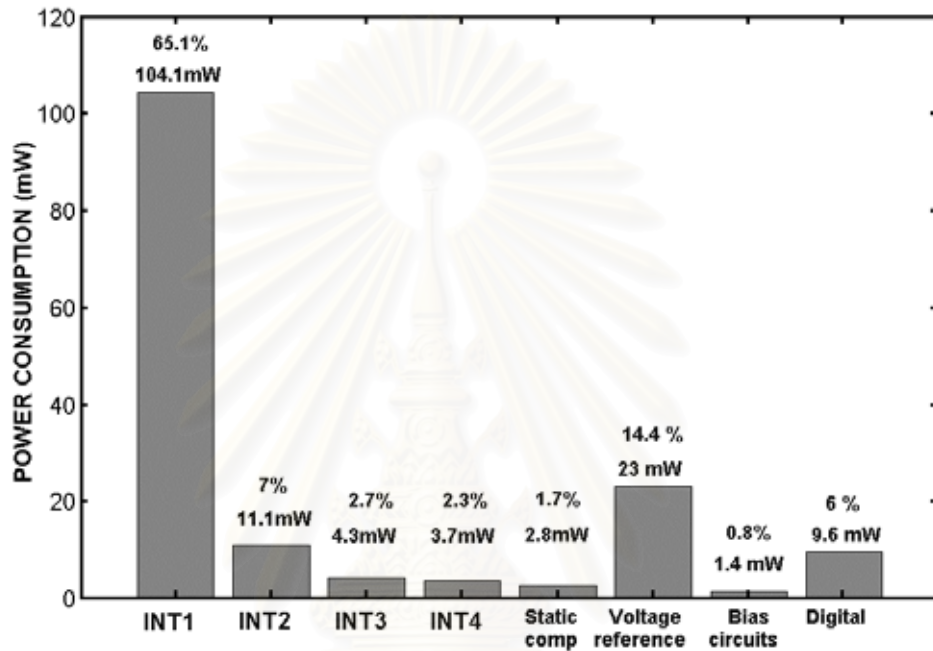
ในบทนี้ได้กล่าวถึงการออกแบบวงจรแอนะล็อกที่ใช้ในตัวมอดูเตอร์ อันได้แก่ ออปแอมป์ ตัวเปรียบเทียบพลวัต ตัวเปรียบเทียบสถิต วงจรสร้างแรงดันอ้างอิง วงจรสร้างกระแสอ้างอิง วงจรสร้างแรงดันไบแอส วงจรสร้างสัญญาณนาฬิกาใ้การเหลื่อม วงจรบีบประจุ รวมไปถึงการวาดผังวงจรรวม

ออปแอมป์ที่ใช้ในตัวอินทิเกรตเป็นชนิดสองขั้นตอนที่มีขั้นตอนภายในเป็นแบบเทเลสโคปิกและขั้นตอนที่สองเป็นแบบชอร์สร่วมทำให้มีการกินกำลังงานต่ำและมีสัญญาณรบกวนต่ำ การชดเชยในออปแอมป์เป็นแบบคาสโคดปรับปรุงซึ่งสามารถเพิ่มความถี่ของโพลปรสิติให้ไปอยู่ที่ความถี่สูงกว่าจากการชดเชยแบบคาสโคดปกติ ทำให้ออปแอมป์มีแบนด์วิดท์ที่ใช้งานสูงกว่า ตัวเปรียบเทียบพลวัตและตัวเปรียบเทียบสถิตที่ใช้ในตัวควอนไทซ์ออกแบบให้มีออฟเซตต่ำกว่าข้อกำหนดและความเร็วในการเปรียบเทียบเร็วตามข้อกำหนด

แรงดันอ้างอิงของระบบสร้างจากตัวต้านทานแบ่งแรงดันป้อนให้วงจรตามแรงดันเพื่อให้สามารถจ่ายกระแสได้ วงจรตามแรงดันอาศัยออปแอมป์ต่อป้อนกลับอัตราขยายเป็นหนึ่ง ตัวเก็บประจุภายในวงจรรวมและตัวเก็บประจุนอกวงจรรวมในการสร้างอิมพีแดนซ์ขาออกให้มีความต้านทานที่ต่ำกว่าทุกย่านความถี่ ออปแอมป์ที่ใช้เป็นชนิดสองขั้นตอนที่มีขั้นตอนขาออกเป็นวงจรตามชอร์สสำหรับแรงดันอ้างอิงของตัวควอนไทซ์สามบิตสร้างจากตัวต้านทานแบ่งแรงดันมาจากแรงดันอ้างอิงของระบบอีกทีหนึ่ง วงจรสร้างกระแสอ้างอิงเป็นวงจรสะท้อนกระแสแบบปกติ กระแสทั้งหมดอ้างอิงมาจากแหล่งกระแสขนาด  $240 \mu\text{A}$  จากภายนอกวงจรรวม ส่วนสร้างแรงดันไบแอสของออปแอมป์หลักประกอบไปด้วย วงจรสะท้อนกระแสแบบปกติ และวงจรสะท้อนกระแสแบบคาสโคดแกว่งตัวช่วงกว้าง

วงจรสร้างสัญญาณนาฬิกาใ้การเหลื่อมใช้วงจรเกตที่ออกแบบให้มีขนาดช่องทรานซิสเตอร์ใหญ่กว่าขนาดช่องในวงจรดิจิทัลเพื่อลดความผันผวนของเวลาประวิง นอกจากนี้ยังมีการใช้วงจรบีบประจุเพื่อเปิดสวิตซ์ขาเข้าของตัวอินทิเกรตสามตัวแรกเพื่อให้รับแรงดันสัญญาณได้ตลอดช่วงของแหล่งจ่าย วงจรบีบประจุนี้ถูกออกแบบให้แรงดันคร่อมขาทุกคู่ของทรานซิสเตอร์มีแรงดันไม่เกินแรงดันแหล่งจ่ายเพื่อให้ไม่มีปัญหาในเรื่องการพังทลายชั้นออกไซด์ของทรานซิสเตอร์ในระยะยาว ในส่วนการวาดผังวงจรรวม ได้คำนึงถึงการวางองค์ประกอบให้มีการเข้าคู่ และการป้องกันการรบกวนวงจรรวมจากวงจรรวมดิจิทัลเป็นหลัก

การจำลองการทำงานวงจรด้วยโปรแกรม HSPICE โดยใช้ข้อมูลวงจรที่สกัดมาจากผังวงจรรวมซึ่งรวมผลของความจุไฟฟ้าปรสิติกแล้ว และนำผลมาประมวลผลในส่วนของตัวกรองดิจิทัลโดยซอฟต์แวร์ พบว่าค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) มีค่า 100 dB และอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความถี่ (SNDR) มีค่า 89 dB ที่สัญญาณไซน์ขาเข้าขนาด  $-4$  dB ความถี่ 108kHz การกินกำลังงานของวงจรส่วนต่างๆ แสดงดังรูปที่ 4.31



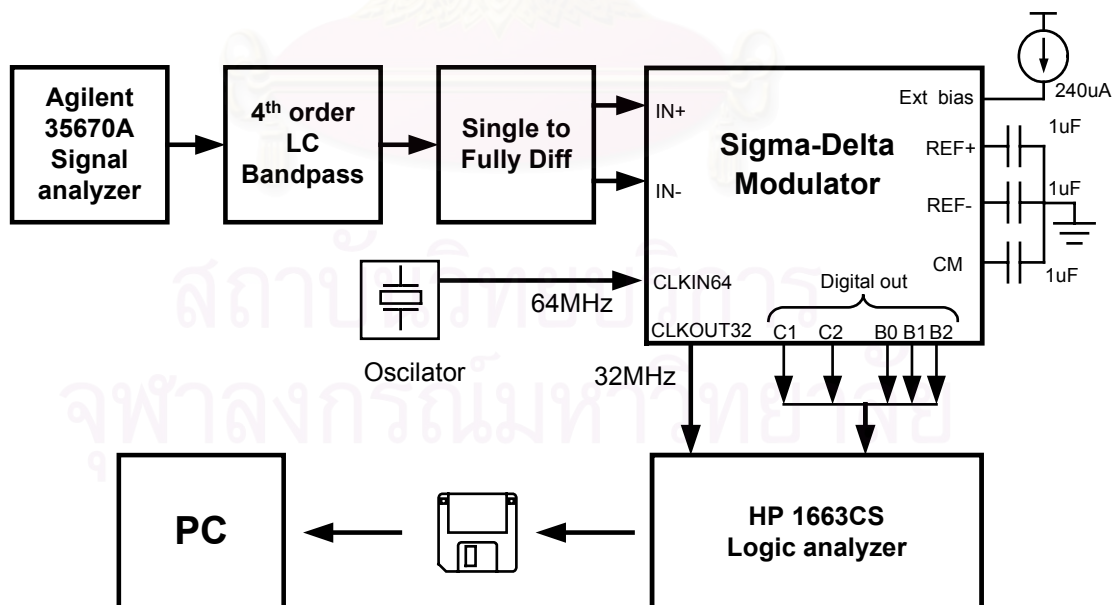
รูปที่ 4.31 การกินกำลังงานของวงจรในส่วนต่างๆ

## บทที่ 5

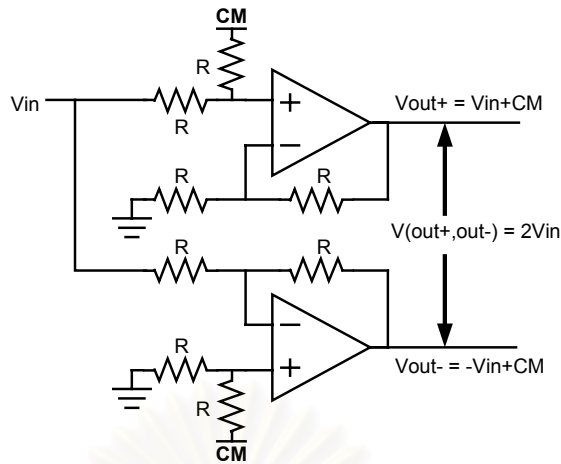
### การทดสอบวงจรรวม

#### 5.1 ระบบทดสอบวงจรรวม

ระบบทดสอบวงจรรวมมีลักษณะดังรูปที่ 5.1 มอดูเลเตอร์ถูกไบอัสด้วยแหล่งกระแสภายนอกขนาด  $240\ \mu\text{A}$  โดยมีตัวเก็บประจุขนาด  $1\ \mu\text{F}$  ต่อดีคัปปลิ่งอยู่ที่แรงดันอ้างอิงทั้ง 3 ค่า สัญญาณไซน์ที่ใช้ในการทดสอบมอดูเลตอร์นำมาจากเครื่องวิเคราะห์สัญญาณ (Agilent 35670A Signal Analyzer) นำมาผ่านวงจรกรองผ่านแถบอันดับสี่เพื่อลดสัญญาณรบกวน วงจรกรองผ่านแถบสร้างขึ้นในรูปแบบขั้นบันได (Ladder) จากตัวเหนี่ยวนำและตัวเก็บประจุซึ่งเป็นอุปกรณ์ที่ไม่สร้างสัญญาณรบกวน สัญญาณที่กรองได้จากวงจรกรองจะถูกป้อนให้แก่วงจรแปลงสัญญาณออกด้านเดียวเป็นสัญญาณผลต่าง (Single-ended-to-fully-differential converter) ซึ่งสร้างโดยออปแอมป์ชนิดสัญญาณรบกวนต่ำดังแสดงในรูปที่ 5.2 มอดูเลเตอร์ใช้สัญญาณนาฬิกาจากวงจรออสซิลเลเตอร์ภายนอกเพื่อสร้างสัญญาณนาฬิกาไว้การเหลื่อมภายในวงจรรวมและส่งสัญญาณนาฬิกาความถี่ที่เป็นความถี่ครึ่งหนึ่งของสัญญาณนาฬิกาที่ป้อนเข้ามาออกมาเพื่อให้อุปกรณ์ภายนอกซึ่งโครโนสในการรับผลการมอดูเลตของมอดูเลเตอร์ซึ่งอยู่ในรูปข้อมูล ดิจิทัล 5 บิต คือ C1, C2, B0, B1 และ B2



รูปที่ 5.1 ระบบที่ใช้ทดสอบมอดูเลเตอร์เดลต้าซิกมา



รูปที่ 5.2 วงจรแปลงสัญญาณออกด้านเดียวเป็นสัญญาณแบบผลต่าง

ข้อมูลทั้ง 5 บิตที่ได้จากมอดูเลเตอร์จะถูกจัดเก็บโดยเครื่องวิเคราะห์สัญญาณตรรกะ (HP 1663 CS Logic Analyzer) ซึ่งสามารถเก็บข้อมูลได้สูงสุดจำนวน 8192 ชุด ข้อมูลดังกล่าวจะถูกนำมาประมวลสัญญาณดิจิทัลด้วยซอฟต์แวร์ในส่วนของ วงจรตรรกะหากล้างสัญญาณรบกวน ตัวกรองเดซิเมชัน ตัวกรองเอพโฟอาร์ และวัดอัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) และอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยน (SNDR) การวัดอัตราส่วนสัญญาณต่อสัญญาณรบกวน และอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยน ใช้วิธีการวัดความผิดพลาดต่ำสุดของสัญญาณไซน์ (Sinusoidal Minimum Error Method) ตามงานวิจัย [30]

มอดูเลเตอร์ใช้แรงดันแหล่งจ่ายจากวงจรรวมค่างาแรงดัน LM317T สองตัวซึ่งกำเนิดแรงดันขนาด 3.3 โวลต์แยกให้ทั้งส่วนแอนะล็อกและดิจิทัล ในการออกแบบแผ่นพิมพ์ลายวงจร ได้แยกกระนาบกราวด์ของวงจรแอนะล็อกและวงจรดิจิทัลออกจากกัน โดยให้กราวด์ของวงจรทั้งสองต่อถึงการผ่านหลอดเฟอร์ไรท์ (Ferrite Bead) รายละเอียดของวงจรทดสอบแสดงในภาคผนวก ค นอกจากนี้ขณะทำการทดสอบ วงจรทั้งหมดถูกบรรจุอยู่ในกล่องอลูมิเนียมหนา 3 มิลลิเมตรเพื่อป้องกันสัญญาณรบกวนที่อาจแพร่เข้ามาได้จากภายนอก

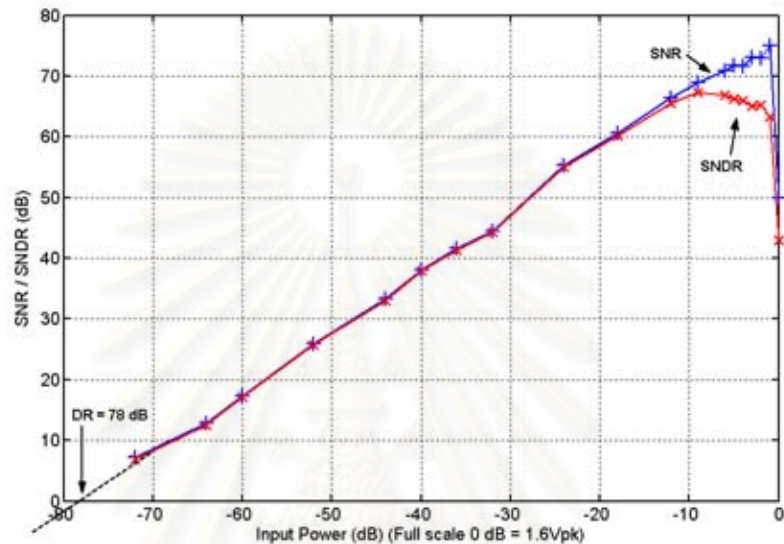
## 5.2 ผลการทดสอบและวิเคราะห์ผลการทดสอบ

ตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลด้าซิกมานี้สามารถบ่งชี้ได้ด้วยการวัดคุณสมบัติใน 4 ด้าน คือ อัตราส่วนสัญญาณต่อสัญญาณรบกวน สัญญาณรบกวน ลักษณะสเปกตรัมสัญญาณของข้อมูลขาออก และการกินกำลังงาน

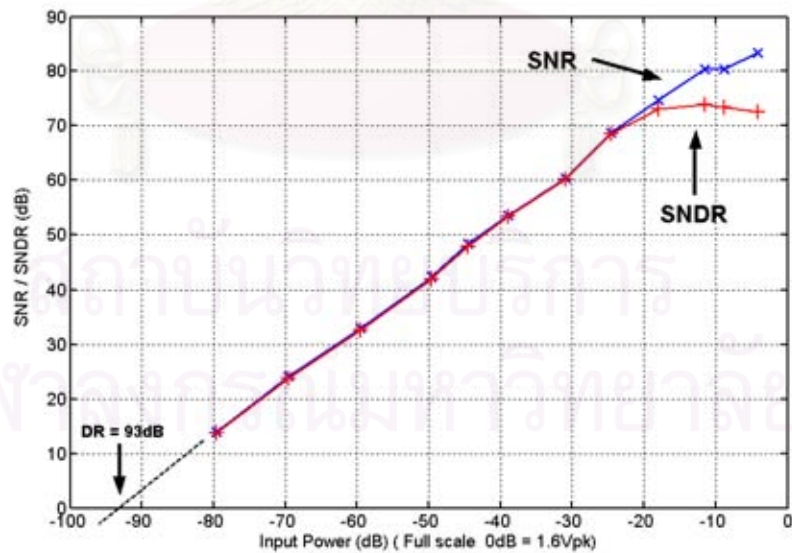


### 5.2.1. การวัดอัตราส่วนสัญญาณต่อสัญญาณรบกวน

อัตราส่วนสัญญาณต่อสัญญาณรบกวน (SNR) และอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยน (SNDR) ของมอดูเลเตอร์ขณะทำงานที่ความถี่สัญญาณนาฬิกา 32 MHz ซึ่งมีอัตราในควิสต์ที่ 1 MHz เมื่อสัญญาณไซน์ขาเข้ามีความถี่ 100 kHz เทียบกับกำลังงานสัญญาณขาเข้าขนาด ต่าง ๆ แสดงในรูปที่ 5.3ก ในกรณีนี้อัตราส่วนสัญญาณต่อสัญญาณ



(ก)



(ข)

รูปที่ 5.3 อัตราส่วนสัญญาณต่อสัญญาณรบกวนเทียบกับกำลังงานสัญญาณขาเข้า

(ก) สัญญาณไซน์ความถี่ 100 kHz มอดูเลเตอร์ทำงานที่ความถี่ 32 MHz

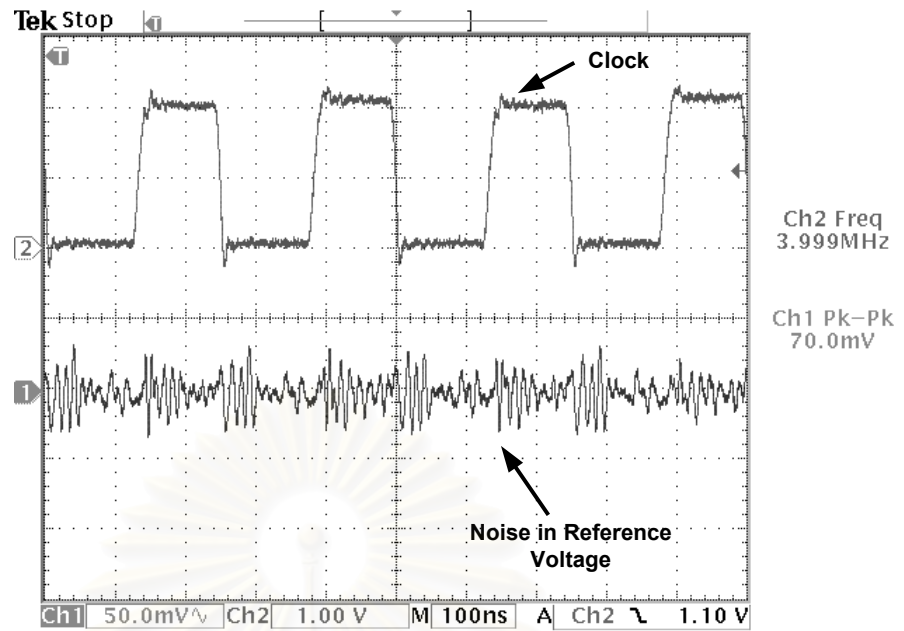
(ข) สัญญาณไซน์ความถี่ 5.5 kHz มอดูเลเตอร์ทำงานที่ความถี่ 2 MHz

รบกวนสูงสุดมีค่าเป็น 75 dB เกิดขึ้นเมื่อสัญญาณขาเข้ามีขนาด  $-1$  dB เทียบกับขนาดสัญญาณเต็มสเกล (สัญญาณไซน์ที่มีค่ายอด 1.6 V) และพัลส์พลวัตมีค่า 78 dB หรือได้เป็น 12.5 บิต เมื่อลดความถี่สัญญาณนาฬิกาถึงเป็น 2 MHz ซึ่งมีอัตราในควิสิสต์ที่ 62.5 kHz และใช้สัญญาณไซน์ความถี่ 5.5 kHz ในการทดสอบ อัตราส่วนสัญญาณต่อสัญญาณรบกวนและอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยนเทียบกับกำลังงานสัญญาณขาเข้าแสดงในรูปที่ 5.3ข ในกรณีนี้ อัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุดมีค่าเป็น 85 dB เกิดขึ้นเมื่อสัญญาณขาเข้ามีขนาด  $-4$  dB เทียบกับขนาดสัญญาณเต็มสเกลและพัลส์พลวัตมีค่า 93 dB ซึ่งคิดได้เป็น 15 บิต

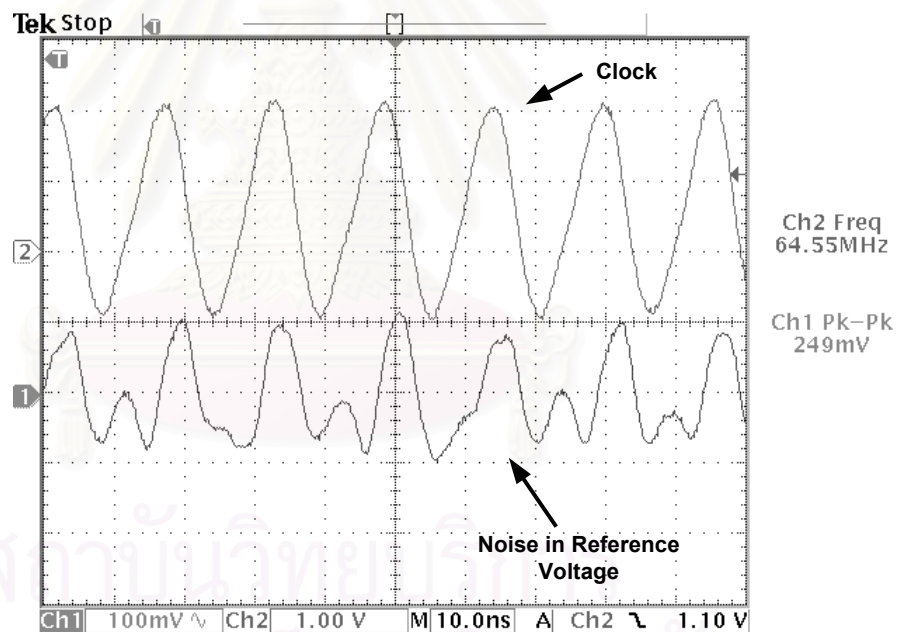
ผลการวัดอัตราส่วนสัญญาณต่อสัญญาณรบกวนที่ได้มีค่าน้อยกว่าค่าที่ได้กำหนดไว้ใน การออกแบบและได้จากผลการจำลอง (98dB) ซึ่งคาดว่าเป็นผลมาจากแรงดันแหล่งจ่ายวงจรแอนะล็อกและแรงดันสัญญาณอ้างอิงของวงจรมอดูเลเตอร์ถูกรบกวนจากสัญญาณนาฬิกาความถี่สูง ทั้งจากภายนอกวงจรรวมและภายในวงจรรวมเอง ในระหว่างการทดลองพบว่าการรบกวนนี้มีลักษณะเป็นสัญญาณรายคาบตรงกับสัญญาณนาฬิกา และขนาดการรบกวนมีค่าเพิ่มขึ้นตามความถี่ของสัญญาณนาฬิกา รูปที่ 5.4ก และ 5.4ข แสดงสัญญาณรบกวนบนแรงดันอ้างอิงอันเนื่องมาจากสัญญาณนาฬิกาที่ความถี่ 32 MHz และ 2 MHz ลักษณะดังกล่าวนี้คาดว่า เป็นสาเหตุอันหนึ่งที่ทำให้มอดูเลเตอร์ที่ทำงานที่ความถี่ 32 MHz มีอัตราส่วนสัญญาณต่อสัญญาณรบกวนมีค่าต่ำกว่าขณะมอดูเลเตอร์ทำงานที่ความถี่ 2 MHz นอกจากนี้แรงดันอ้างอิงสร้างขึ้นจากการใช้ตัวต้านทานแบ่งแรงดันจากแรงดันแหล่งจ่ายวงจรแอนะล็อก ทำให้แรงดันอ้างอิงที่ได้ถูกรบกวนได้ง่ายผ่านมาจากการรบกวนบนแรงดันแหล่งจ่ายอีกทางหนึ่ง

จากรูปที่ 5.3ก และ 5.3ข เห็นได้ว่าที่สัญญาณขาเข้าขนาดใหญ่ ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยนจะลดลงมากกว่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมเพียงอย่างเดียวมากเนื่องจากสัญญาณขาเข้ามอดูเลเตอร์ไม่ได้มีเพียงองค์ประกอบความถี่เดียว แต่ยังคงมีองค์ประกอบความถี่ฮาร์มอนิกบนขนาดเล็กปนอยู่ (ซึ่งสามารถตรวจพบได้โดยการวิเคราะห์เครื่องวิเคราะห์สัญญาณพัลส์พลวัตสูง) แม้ว่าจะผ่านการกรองจากวงจรกรองแถบแบบตัวเหนี่ยวนำและตัวเก็บประจุแล้วก็ตาม จึงทำให้มอดูเลเตอร์แปลงสัญญาณได้อัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยนลดลง ทั้งนี้คาดว่า เป็นมาจากความไม่เป็นเชิงเส้นของตัวเหนี่ยวนำและตัวเก็บประจุในวงจรกรองแถบผ่าน

นอกจากนี้ ได้ทดลองเปลี่ยนค่าอัตราขยายของตัวอินทิเกรตและสัมประสิทธิ์บางตัว (Ga1, Gb1, a1) ซึ่งมีความไวต่อความแปรปรวนมาก พบว่าทำให้อัตราส่วนสัญญาณต่อ



(ก)



(ข)

รูปที่ 5.4 สัญญาณรบกวนบนแรงดันอ้างอิงอันเนื่องมาจากสัญญาณนาฬิกา

(ก) มอดูเลเตอร์ทำงานที่ความถี่ 32 MHz

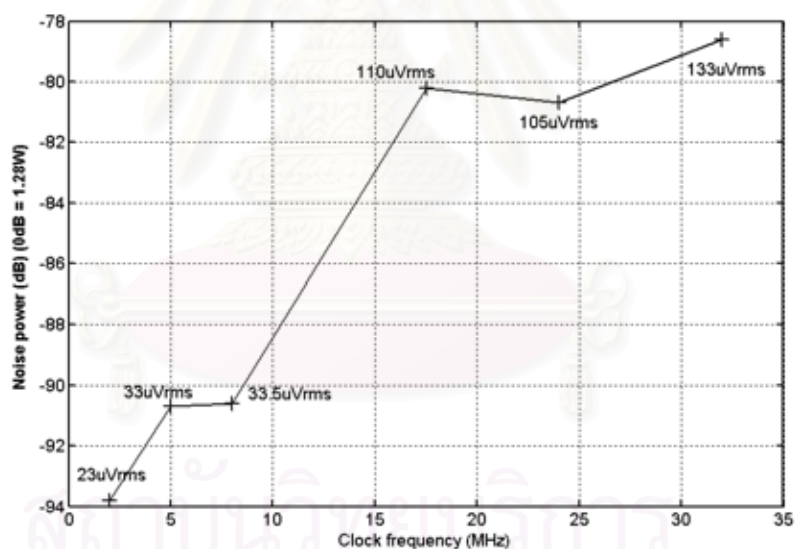
(ข) มอดูเลเตอร์ทำงานที่ความถี่ 2 MHz

สัญญาณรบกวนดีขึ้นประมาณ 0.5 dB ดังนั้นการลดลงของอัตราส่วนสัญญาณต่อสัญญาณรบกวนจึงไม่ได้เป็นผลมาจากความเข้าคู่ของตัวเก็บประจุในวงจรรวม

### 5.2.2 สัญญาณรบกวน

การวัดกำลังสัญญาณรบกวนทำได้โดยการลัดวงจรขาเข้าของมอดูเลเตอร์และต่อเข้ากับแรงดันโหมมร่วม ค่ากำลังงานสัญญาณรบกวนคำนวณได้จากความแปรปรวนเชิงสถิติ (Variance) ของข้อมูลจากการแปลงขั้นสุดท้ายซึ่งได้จากตัวกรองดิจิทัล จากการทดลองพบว่ากำลังของสัญญาณรบกวนของมอดูเลเตอร์ในขณะที่ทำงานที่สัญญาณนาฬิกาที่ 32 MHz มีค่า -78.6 dB เทียบกับกำลังงานสัญญาณเต็มสเกล (1.6Vpeak) อย่างไรก็ตามเมื่อลดความถี่สัญญาณนาฬิกาจะพบว่าปริมาณสัญญาณรบกวนมีค่าลดลงดังแสดงในรูปที่ 5.5

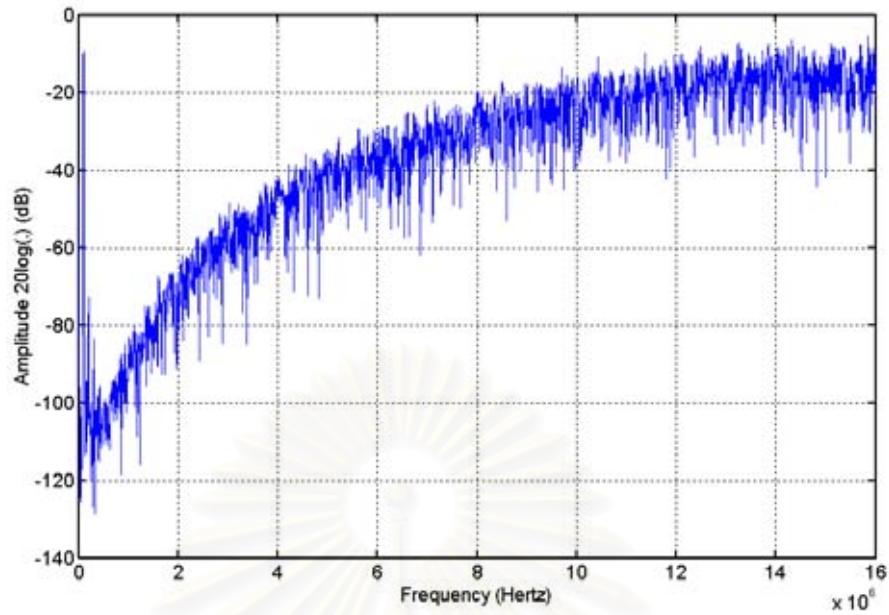
การที่มอดูเลเตอร์มีสัญญาณรบกวนภายในต่ำลงเมื่อความถี่สัญญาณนาฬิกาลดต่ำลง คาดว่าเป็นผลมาจากการรบกวนแรงดันอ้างอิงจากสัญญาณนาฬิกาเช่นเดียวกัน



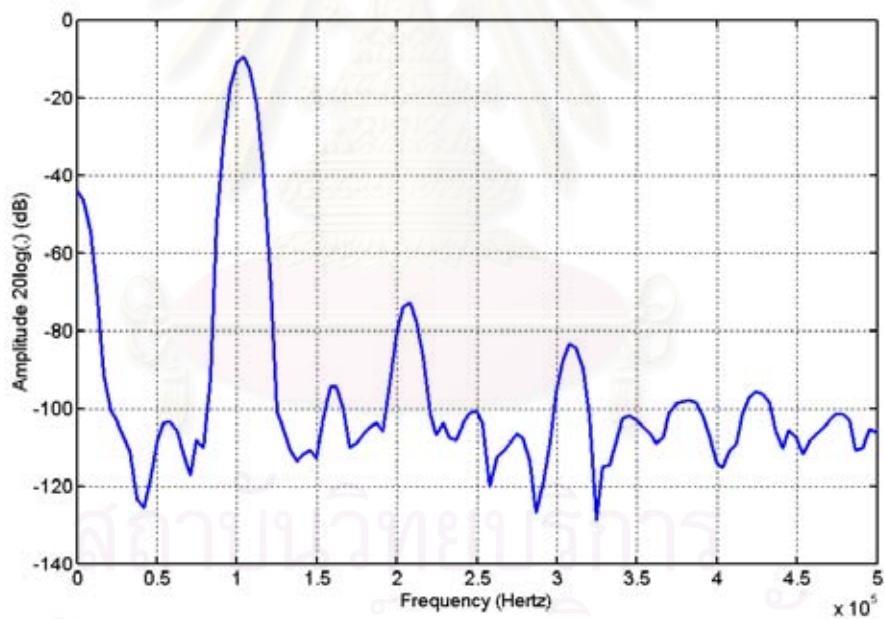
รูปที่ 5.5 ปริมาณกำลังงานสัญญาณรบกวนเมื่อมอดูเลเตอร์ทำงานที่ความถี่ต่าง ๆ

### 5.2.3 การวัดสเปกตรัมสัญญาณขาออกของตัวแปลง

สเปกตรัมของข้อมูลขาออกของมอดูเลเตอร์หลังจากผ่านวงจรรบกวนหักล้างสัญญาณรบกวน ที่สัญญาณขาเข้าขนาด -4 dB เมื่อมอดูเลเตอร์ทำงานที่ความถี่ 32 MHz และ 2 MHz ภายในแบนด์วิดท์การสุ่มตัวอย่าง แสดงในรูปที่ 5.6ก และ 5.7ก ตามลำดับ รูปที่ 5.6ก และ 5.7ก แสดงให้เห็นว่าสเปกตรัมของข้อมูลขาออกของมอดูเลเตอร์ประกอบไปด้วยสัญญาณ



(ก)



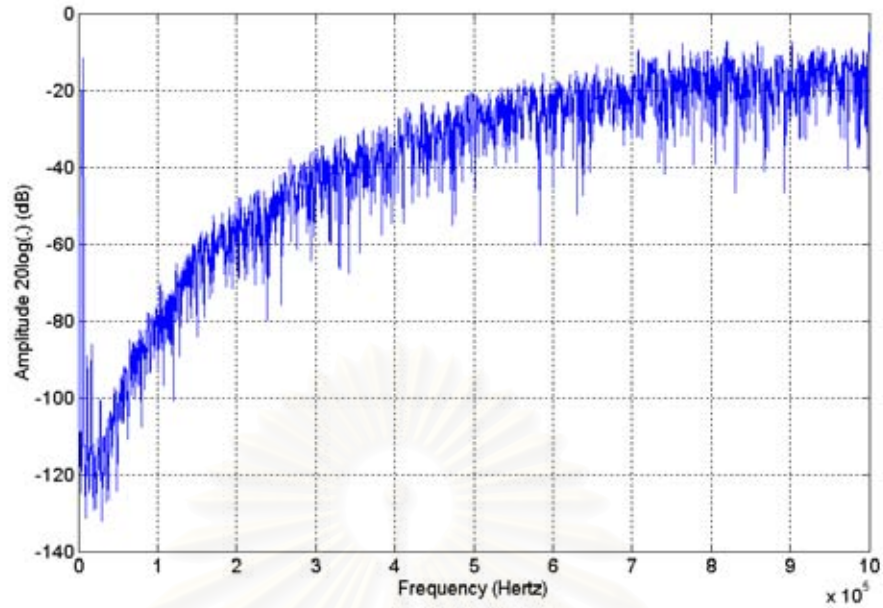
(ข)

รูปที่ 5.6 สเปกตรัมสัญญาณขาออกของมอดูเลเตอร์สุ่มตัวอย่างที่ความถี่ 32 MHz

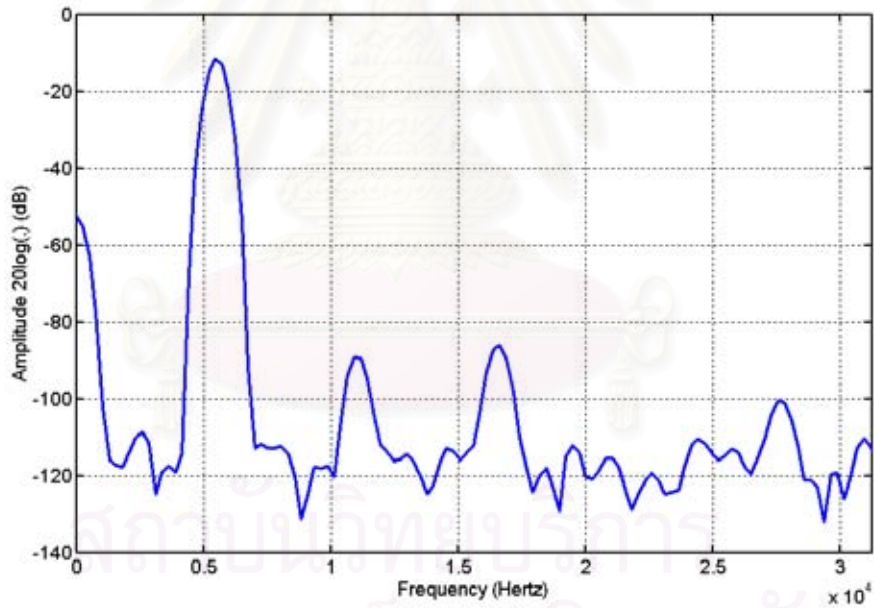
(ก) ภายในแบนด์วิดท์การสุ่มตัวอย่าง

(ข) ภายในแบนด์วิดท์ของสัญญาณ





(ก)



(ข)

รูปที่ 5.6 สเปกตรัมสัญญาณขาออกของมอดูเลเตอร์สุ่มตัวอย่างที่ความถี่ 2 MHz

(ก) ภายในแบนด์วิดท์การสุ่มตัวอย่าง

(ข) ภายในแบนด์วิดท์ของสัญญาณ

ขาเข้ารูปไซน์และรบกวนควอนไทซ์ที่ถูกจัดสรรฐานภายใต้แบนด์วิดท์ของการสุ่มตัวอย่าง ส่วนสเปกตรัมของข้อมูลสุดท้ายที่ได้จากการแปลงภายในแบนด์วิดท์ของสัญญาณขาเข้า แสดงในรูปที่ 5.6 และ 5.7 เห็นได้ว่าพื้นสัญญาณรบกวน (Noise floor) ของมอดูเลเตอร์ทำงานที่ความถี่ 2 MHz มีค่าต่ำกว่าในกรณีที่มีมอดูเลเตอร์ทำงานที่ความถี่ 32 MHz ซึ่งสอดคล้องกับผลการวัดสัญญาณรบกวนดังที่กล่าวไว้ในหัวข้อที่แล้ว องค์ประกอบฮาร์โมนิกที่ปรากฏขึ้นในสเปกตรัมของสัญญาณขั้นสุดคาดว่าเป็นผลมาจากสัญญาณขาเข้าของมอดูเลเตอร์มีความเพี้ยนเนื่องจากความไม่เป็นเชิงเส้นของวงจรกรอง

#### 5.2.4 การวัดการกินกำลังงาน

วงจรรวมของมอดูเลเตอร์ประกอบไปด้วยส่วนแอนะล็อกและดิจิทัล การกินกำลังงานของทั้งสองส่วนแสดงได้ดังตารางที่ 5.1

**ตารางที่ 5.1** การกินกำลังงานของมอดูเลเตอร์ในส่วนต่าง ๆ

การกินกำลังงานใน	จากการทดสอบ	จากการออกแบบ
ภาคแอนะล็อก	142.5 mW	150.4 mW
ภาคดิจิทัล	44.9 mW (รวมแพด)	9.6 mW (ไม่รวมแพด)

จากตารางที่ 5.2 เห็นได้ว่าการกินกำลังงานในภาคแอนะล็อกจากการทดสอบมีค่าใกล้เคียงกับการกินกำลังงานที่ได้จากการออกแบบ ในการออกแบบได้กำหนดให้ขาของแรงดันแหล่งจ่ายวงจรดิจิทัลและขาแรงดันแหล่งจ่ายของแพดเป็นขาเดียวกัน ดังนั้นกำลังงานในส่วนที่วัดได้นี้จึงเป็นผลรวมจากการกินกำลังงานของทั้งสองส่วน จึงไม่สามารถหาส่วนการกินกำลังงานที่แท้จริงของวงจรดิจิทัลในวงจรมอดูเลเตอร์เพื่อการเปรียบเทียบได้

### 5.3 สรุป

ในบทนี้ได้กล่าวถึง การทดสอบวงจรรวม ผลการทดสอบวงจรรวมและการวิเคราะห์ผลการทดสอบ

มอดูเลเตอร์ต้นแบบเมื่อทำงานที่สัญญาณนาฬิกา 32 MHz ซึ่งมีอัตราในควิสท์ที่ 1 MHz สามารถแปลงสัญญาณให้มีอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุด 75 dB ในขณะที่พิสัยพลวัตมีค่า 78 dB หรือเทียบเท่า 12.5 บิต ที่สัญญาณไซน์ความถี่ 100 kHz และมีกำลังสัญญาณรบกวนขาเข้า  $-78.6$  dB เทียบกับกำลังงานสัญญาณไซน์เต็มสเกล และเมื่อลดความถี่

สัญญาณนาฬิกาเป็น 2 MHz ทำให้อัตราในคริสตัลมีค่าที่ 62.5 kHz มอดูเลเตอร์สามารถแปลงสัญญาณให้มีอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุด 85 dB ในขณะที่ฟิลต์พวลวัตมีค่า 93 dB หรือเทียบเท่า 15 บิต ที่สัญญาณไซน์ความถี่ 5.5 kHz และมีกำลังสัญญาณรบกวนขาเข้า -93 dB เทียบกับกำลังงานสัญญาณไซน์เต็มสเกล การกินกำลังงานรวมของมอดูเลเตอร์ซึ่งรวมแพดมีค่า 188 mW

การที่มอดูเลเตอร์แปลงสัญญาณได้มีความละเอียดน้อยกว่าความละเอียดที่ได้จากผลการจำลอง (ซึ่งมีอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุดที่ 100 dB และอัตราส่วนสัญญาณต่อสัญญาณรบกวนรวมความเพี้ยนที่ 89 dB ที่สัญญาณไซน์ขาเข้าความถี่ 108 kHz ขนาด -4 dB เทียบกับสัญญาณเต็มสเกล ขณะมอดูเลเตอร์ทำงานที่สัญญาณนาฬิกา 32 MHz) คาดว่าเป็นผลมาแรงดันอ้างอิงถูกรบกวนจากสัญญาณนาฬิกาเป็นหลัก



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## บทที่ 6

### สรุป

#### 6.1 ข้อสรุป

วิทยานิพนธ์นี้นำเสนอการออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลด้า ซิกม่า ที่มีความละเอียด 16 บิต และอัตราการแปลงข้อมูล 1 MS/s ทำงานที่แหล่งจ่าย 3.3 โวลต์ โดยใช้เทคโนโลยีซีมอส 0.5 ไมโครเมตร ในการออกแบบเน้นถึงการลดการกินกำลังงานในทุกขั้นตอนทั้งในระดับสถาปัตยกรรมและการออกแบบระดับวงจร มอดูเลเตอร์ที่ใช้มีโครงสร้างเป็นแบบต่อเรียง 2-1-1 มีตัวควอนไทซ์ 1 บิตในมอดูเลเตอร์สองขั้นแรก และตัวควอนไทซ์ 3 บิตในขั้นสุดท้าย โดยใช้อัตราการสุ่มเกินที่ 32 เท่า ด้วยโครงสร้างแบบต่อเรียง อันดับและอัตราการสุ่มเกินของมอดูเลเตอร์ที่เลือกใช้เป็นค่าที่ทำให้การกินกำลังมีค่าต่ำในขณะที่ความแม่นยำของค่าอัตราขยายต่าง ๆ ยังสามารถสร้างได้ในเทคโนโลยีวงจรรวม ในมอดูเลเตอร์ประกอบด้วยองค์ประกอบสำคัญคือ ตัวอินทิเกรต ตัวควอนไทซ์ ตัวแปลงดิจิทัลเป็นแอนะล็อกป้อนกลับ และแรงดันอ้างอิงความไม่เป็นอุดมคติขององค์ประกอบเหล่านี้เกิดจากกระบวนการผลิตทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวนของตัวแปลงลดลงไปจากอุดมคติ การกำหนดข้อกำหนดขององค์ประกอบในแต่ละส่วนสามารถหาได้โดยการจำลองเชิงพฤติกรรม

การออกแบบไมซ์กำลังงานในระดับสถาปัตยกรรมทำโดยการจัดสรรปริมาณสัญญาณรบกวนให้แก่ตัวอินทิเกรตแต่ละขั้นตอนอย่างเหมาะสมซึ่งทำให้การกินกำลังงานรวมของทั้งระบบมีค่าน้อยสุด และการออกแบบไมซ์กำลังงานในระดับตัวอินทิเกรตเป็นการจัดสรรปริมาณสัญญาณรบกวนให้แก่แหล่งกำเนิดสัญญาณรบกวนทางกายภาพซึ่งทำให้การกินกำลังงานรวมของตัวอินทิเกรตมีค่าน้อยสุดภายใต้ปริมาณสัญญาณรบกวนรวมค่าหนึ่งที่กำหนดให้ ผลที่ได้จากการออกแบบไมซ์คือ ค่ากระแสไบอัสสถิต และค่าตัวเก็บประจุสุ่มตัวอย่างและตัวเก็บประจุชดเชยในออปแอมป์ ซึ่งสามารถนำไปใช้ในการออกแบบระดับวงจร

มอดูเลเตอร์ประกอบไปด้วยวงจรต่าง ๆ ได้แก่ ออปแอมป์ ตัวเปรียบเทียบพลวัต ตัวเปรียบเทียบสถิต วงจรสร้างแรงดันอ้างอิง วงจรสร้างกระแสอ้างอิง วงจรสร้างแรงดันไบแอส วงจรสร้างสัญญาณนาฬิกาไร้อารเหลิ่อม วงจรบีบประจุ ออปแอมป์ในตัวอินทิเกรตเป็นแบบสองขั้นตอนโดยขั้นตอนขาเข้าเป็นแบบเทเลสโคปิกและขั้นตอนขาออกเป็นแบบชอร์สร่วม ใช้การชดเชยแบบคาสโคดปรับปรุงซึ่งทำให้ตำแหน่งโพลเชิงซ้อนที่มีความถี่สูงอยู่ที่ความถี่สูงกว่าการชดเชย

แบบนี้ทำให้สามารถสร้างตัวอินทิเกรตให้มีแบนด์วิดท์มากกว่าการชดเชยในรูปแบบอื่น นอกจากนี้ยังมีศูนย์ในด้านซ้ายของแกนจินตภาพช่วยปรับปรุงผลตอบทางเวลาให้ดีขึ้น

มอดูเลเตอร์ต้นแบบเมื่อนำมาทำงานร่วมกับตัวกรองดิจิทัลโดยใช้ซอฟต์แวร์สามารถแปลงสัญญาณให้มีอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุด 75 dB และมีพิสัยพลวัต 78 dB หรือคิดเป็น 12.5 บิต ที่สัญญาณไซน์ความถี่ 100 kHz ที่สัญญาณนาฬิกา 32 MHz และเมื่อลดสัญญาณนาฬิกาลงเป็น 2 MHz อัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงสุดมีค่า 85 dB และมีพิสัยพลวัต 93 dB ซึ่งคิดเป็น 15 บิต ที่สัญญาณไซน์ความถี่ 5.5 kHz ในขณะที่การกินกำลังงานรวมของมอดูเลเตอร์มีค่า 188 mW

## 6.2 ข้อเสนอแนะ

ข้อเสนอแนะในการปรับปรุงและพัฒนาการออกแบบตัวแปลงแอนะล็อกเป็นดิจิทัลชนิดเดลด้าซิกม่าในอนาคตมีดังต่อไปนี้

1. ออกแบบแหล่งกำเนิดแรงดันอ้างอิงโดยอ้างอิงจากแรงดันแบนด์แกปเพื่อลดการรบกวนจากแรงดันแหล่งจ่าย
2. ปรับปรุงแผ่นพิมพ์ลายวงจรที่ใช้ในการทดสอบให้มีการป้องกันการรบกวนจากแหล่งกำเนิดสัญญาณนาฬิกาได้ดีขึ้น
3. นำเทคนิคการสุ่มตัวอย่างสองเท่ามาใช้เพื่อเพิ่มอัตราการแปลง [31]-[34]
4. นำเทคนิคการเลือกสัมประสิทธิ์ในตัวมอดูเลเตอร์เพื่อให้มีช่วงแกว่งขาออกของตัวอินทิเกรตมีขนาดเล็กลงมาใช้ เพื่อให้ช่วงสัญญาณเข้ามีขนาดใหญ่ขึ้น
5. สร้างวงจรดิจิทัลในส่วนของตัวกรองเดซิเมชันและตัวกรองเอฟโฟลทาร์ไว้ในวงจรรวมเดียวกัน เพื่อให้ผู้ใช้สามารถใช้งานได้ง่ายขึ้น
6. นำวิธีการออปติไมซ์ไปปรับปรุงและพัฒนาต่อเพื่อให้ใช้กับวงจรสวิตช์ตัวเก็บประจุรูปแบบอื่นได้



## รายการอ้างอิง

- [1] Andrew M. Abo., and Paul R. Gray. A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter. IEEE J. Solid-State Circuits 34 No.5 (May 1999) : 599-605.
- [2] Arnold. R. Feldman. High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications. Doctoral dissertation. Memorandum No. UCB/ERL M97/62 Electronics research laboratory College of Engineering University of California, Berkeley, 1997.
- [3] Yves Geerts., Augusto M. Marques., Michel S.J. Steyaert., and Willy Sansen. A 3.3-V, 15-bit, Delta-Sigma ADC with a Signal Bandwidth of 1.1 Mhz for ADSL Application. IEEE J. Solid-State Circuits 34 No.7 (July 1999) : 927-937.
- [4] Yves Geerts., Michel S.J. Steyaert, and Willy Sansen. A 12-bit 12.5 MS/s Multi-Bit DS CMOS. IEEE Custom IC conference (2000) : 21-24.
- [5] Augusto M. Marques, Michel S.J. Steyaert, and Willy Sansen. A 15-b Resolution 2-MHz Nyquist Rate DS ADC in a 1- $\mu$ m CMOS Technology. IEEE J. Solid-State Circuits 33 No.8 (July 1998) : 1065-1075.
- [6] Guangming Yin, and Willy Sansen. A High-Frequency and High-Resolution Fourth-Order SD A/D Converter in BiCMOS Technology. IEEE J. Solid-State Circuits 19. No.8 (August 1994) : 857-865.
- [7] James. C. Morizio, and others. 14-bit 2.2-MS/s Sigma-Delta ADC's. IEEE J. Solid-State Circuits 35. No.7 (July 2000) : 968-976.
- [8] David A. Johns and Ken Martin. Analog Integrated Circuit Design. USA : John Wiley & Sons, 1997.
- [9] James Candy, and Gabor Temes. Oversampling Methods for A/D and D/A Conversion. in Oversampling Delta-Sigma Data Converters, New York : IEEE Press, 1992.

- [10] Bernhard E. B. and Bruce A. W. The Design of Sigma-Delta Modulation Analog-to-Digital Converters. IEEE J. Solid-State Circuits 23 No.6 (December 1988) : 1298-1308.
- [11] Shuni Chu, and C. Sidney Burrus. Multirate Filter Designs Using Comb Filters. IEEE Trans. Circuits and Sys CAS-31 (November 1984) : 913-924.
- [12] Fernando Medeiro, Angel Perez-Verdu, and Angel Rodriguez-Vazquez. Top-Down Design of High performance sigma-delta modulators. The Netherlands : Kluwer Academic Publishers, 1999.
- [13] Tapani Ritoniemi, Teppo Karema, and Hannu Tenhunen. Design of Stable High Order 1-Bit Sigma-Delta Modulators. IEEE Proc. of ISCS'90 (May 1990) : 3267-3270.
- [14] Rex T. Baird, and Terri S. Fiez. A Low Oversampling Ratio 14-b 500kHz DS ADC with a Self-Calibrated Multibit ADC. IEEE J. Solid-State Circuits 31. No.3 (March 1996) : 312-320.
- [15] Ravindranath Naiknaware, and Terri S. Fiez. 142dB  $\Delta\Sigma$  ADC with a 100nV LSB in a 3V CMOS Process. IEEE Custom IC conference (2000) : 5-8.
- [16] Olivier Nys., and Robert K. Henderson. A 19-Bit Low-Power Multibit Sigma-Delta ADC Based on Data Weighted Averaging. IEEE J. Solid-State Circuits 32. No.7 (July 1997) : 933-942.
- [17] Brian P. Brandt, and Bruce A. Wooley. A 50-Mhz Multibit Sigma-Delta Modulator for 12-b 2-MHz A/D Conversion. IEEE J. Solid-State Circuits 26. No.12 (December 1991) : 1746-1756.
- [18] Louis A. Willium, and Bruce A. Wooley. Third-Order Cascaded Sigma-Delta Modulators. IEEE J. Solid-State Circuits 38 No.5 (May 1991) : 489-498.
- [19] Louis A. Willium, and Bruce A. Wooley. A Third-Order Sigma-Delta Modulator with Extended Dynamic Range. IEEE J. Solid-State Circuits 29 No.3 (March 1994) : 193-202.

- [20] Thomas B. Cho, and Paul R. Gray. A 10b, 20 Msample/s, 35mW Pipeline A/D Converter. IEEE J. Solid-State Circuits 30 No.3 (March 1995) : 166-172.
- [21] David. B. Ribner and Miles. A. Copeland. Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range. IEEE J. Solid-State Circuits 19 No.6 (December 1984) : 919-925.
- [22] Bhupendra Ahuja. An Improved Frequency Compensation Technique for CMOS Operational Amplifier. IEEE J. Solid-State Circuits 18 No.6 (December 1983) : 629-633.
- [23] Katsufumi Nakamura. An 85 mW, 10 b, 40 Msample/s CMOS Parallel-Pipelines ADC. IEEE J. Solid-State Circuits 30 No.3 (March 1995) : 629-633.
- [24] Technology and design documentation: Alcatel Microelectronics 0.5 $\mu$ m CMOS. Belgium : IMEC, 2000.
- [25] Bung S. Song, Seung-hoon L., Micheal F. T. A 10-b 15-MHz CMOS Recycling Two-Step A/D Converter. IEEE J. Solid-State Circuits 25. No.6 (December 1990) : 1328-1338.
- [26] Behzad Razavi. Principles of Data Conversion System Design. New York : IEEE Press, 1995.
- [27] David K. Su, Marc J. Loinaz, Shoichi Masui and Bruce Wooley. Experiment Result and Modeling Technique for Substrate Noise in Mixed-signal Integrated Circuits. IEEE J. Solid-State Circuits 28. No.4 (April 1993) : 420-430.
- [28] M. J. McNutt, S. LeMarquis and J. L. Dunkley. Systematic Capacitance Matching Errors and Corrective Layout Procedures. IEEE J. Solid-State Circuits 29. No.5 (May 1994) : 611-616.
- [29] Alan Hastings. The Art of Analog Layout. New Jersey : Prentice-Hall, 2001.
- [30] Bernhard E. Boser. and Bruce A. Wooley. Simulation and Testing Oversampled Analog-to-Digital Converters. IEEE Transactions on Computer-Aided Design 7 (June 1988) : 668-674.

- [31] Ted V. B., Kenneth C. D., Paul J. H., and Stephen H. L. A Second-Order Double-Sampled Delta-Sigma Modulator Using Additive-Error Switching. IEEE J. Solid-State Circuits 31. No.3 (March 1996) : 284-293.
- [32] Ian G. Spectral Shaping of Circuit Errors in Digital-to-Analog Converters. IEEE Transactions on circuits and systems 44 No.18 (October 1997) : 808-817.
- [33] Chuc K. T., Stephen H. L. and Paul J. H. A Second-Order Double-Sampled Delta-Sigma Modulator Using Individual-Level Averaging. IEEE J. Solid-State Circuits 32 No.8 (August 1997) : 1269-1273.
- [34] Katelijin V., Shahriar R., Bruce A. W. A 2.5-V Sigma-Delta Modulator for Broadband Communications Applications. IEEE J. Solid-State Circuits 36 No.12 (December 2001) : 1887-1899.
- [35] Claude-Alain Gobet and Alexander, Knob. Noise Analysis of Switched Capacitor Network. IEEE transactions on Circuit and systems No.1 (January 1983) : 37-43.
- [36] P. R. Gray and R. G. Meyer. Analysis and Design of Analog Integrated Circuits. 3rd Ed. Singapore : John Wiley & Sons, 1997.



ภาคผนวก

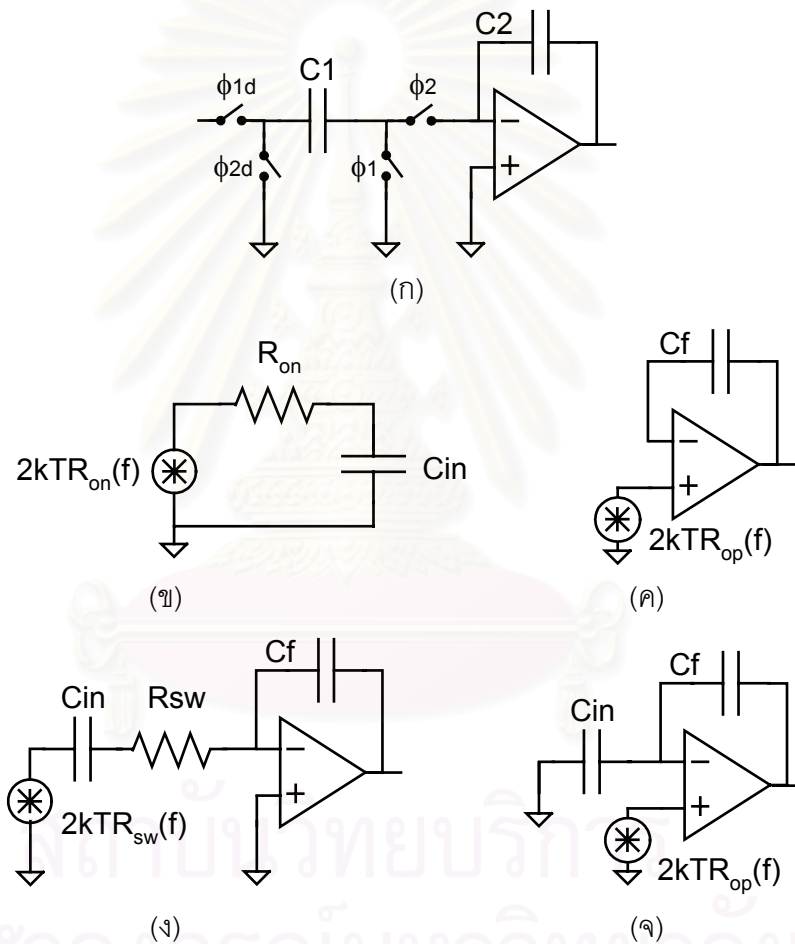
สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย



## ภาคผนวก ก

## สัญญาณรบกวนในตัวอินทิเกรตสวิทช์ตัวเก็บประจุ

สัญญาณรบกวนในตัวอินทิเกรตสวิทช์ตัวเก็บประจุที่ส่งผลกระทบต่อข้อมูลขาออกของตัวแปลงเกิดจาก 3 ส่วนสำคัญ [35] คือ สัญญาณรบกวนจากตัวเก็บประจุสุ่มตัวอย่าง สัญญาณรบกวนจากความต้านทานของสวิทช์ในคาบเวลาอินทิเกรต และสัญญาณจากออปแอมป์ที่ใช้ในตัวอินทิเกรต รูปที่ ก.1 แสดงสัญญาณรบกวนที่เกิดขึ้นบนตัวอินทิเกรตในช่วงเวลาต่าง ๆ



รูปที่ ก.1 สัญญาณรบกวนที่เกิดขึ้นบนตัวอินทิเกรตในช่วงเวลาต่าง ๆ

- (ก.1ก) ตัวอินทิเกรตสวิทช์ตัวเก็บประจุ
- (ก.1ข) สัญญาณรบกวนที่เกิดขึ้นบนตัวเก็บประจุขาเข้า
- (ก.1ค) สัญญาณรบกวนจากออปแอมป์ขณะอยู่ในคาบเวลาคงค่าแรงดัน
- (ก.1ง) สัญญาณรบกวนจากความต้านทานของสวิทช์ขณะอยู่ในคาบเวลาอินทิเกรต
- (ก.1จ) สัญญาณรบกวนจากออปแอมป์ขณะอยู่ในคาบเวลาอินทิเกรต

ในคาบเวลาสุ่มตัวอย่าง สัญญาณรบกวนที่เกิดขึ้นแสดงในรูปที่ ก.1ข และ ก.1ค สัญญาณรบกวนในรูปที่ ก.1ข สามารถคำนวณได้ดังนี้

สเปกตรัมของสัญญาณรบกวนความร้อนจากตัวต้านทานมีค่าเป็น

$$S_{o,Cin}(f) = 2kTR_{on} \quad (ก.1)$$

แบนด์วิดท์สมมูลของสัญญาณรบกวนมีค่าเป็น

$$B_{N,Cin} = 2 \cdot \frac{1}{2\pi R_{on} C_{in}} \cdot \frac{\pi}{2} = \frac{2}{4R_{on} C_{in}} \quad (ก.2)$$

โดยปกติแล้วในวงจรสวิตซ์ตัวเก็บประจุ แบนด์วิดท์สมมูลของสัญญาณรบกวนจะสูงกว่าความถี่ของอัตราการสุ่มตัวอย่าง  $f_s$  ดังนั้นสัญญาณรบกวนที่ความถี่สูงจะเคลือบแฝงกลับเข้ามาในแบนด์วิดท์ของการสุ่มตัวอย่าง ทำให้ในแบนด์วิดท์ของการสุ่มตัวอย่างมีสเปกตรัมของสัญญาณรบกวนเพิ่มเป็น

$$S_{SH,Cin}(f) = S_{o,Cin} \cdot \frac{B_{N,Cin}}{f_s} \quad (ก.3)$$

ภายในแบนด์วิดท์ของการสุ่มตัวอย่าง สัญญาณรบกวนที่เกิดขึ้นบนตัวเก็บประจุมีค่าเป็น

$$P_{N,Cin} = \int_{\frac{-f_s}{2}}^{+\frac{f_s}{2}} S_{SH,Cin}(f) df = S_{o,Cin} \cdot \frac{B_{N,Cin}}{f_s} \cdot f_s = \frac{kT}{C_{in}} \quad (ก.4)$$

ในกรณีที่ตัวเก็บประจุขาเข้ามีหลายตัวและเป็นวงจรแบบแบบผลต่างดังในรูปที่ 3.14 กำลังงานของสัญญาณรบกวนจากการสุ่มตัวอย่างนี้จะถูกอินทิเกรตไปปรากฏที่ขาออกของตัวอินทิเกรตซึ่งค่าดังสมการที่ ก.5 และกำลังงานของสัญญาณรบกวนอ้างอิงที่ขาเข้ามีค่าดังสมการที่ ก.6

$$P_{N,Cin,out} = \left(\frac{C_{in}}{C_f}\right)^2 \cdot \frac{2kT}{C_{in}} + \left(\frac{C_b}{C_f}\right)^2 \cdot \frac{2kT}{C_b} + \dots \quad (ก.5)$$

$$P_{N,Cin,in} = \frac{2kT}{C_{in}} + \left(\frac{C_b}{C_{in}}\right)^2 \cdot \frac{2kT}{C_b} + \dots = \frac{2kT(1+b)}{C_{in}} \quad (ก.6)$$

โดยที่ 
$$b = \frac{C_{b1}}{C_{in}} + \frac{C_{b2}}{C_{in}} + \dots = \sum_i \frac{C_{bi}}{C_{in}}$$

สำหรับสัญญาณรบกวนจากออปแอมป์ขณะอยู่ในคาบเวลาคงค่าแรงดันตามรูปที่ ก.1ค จะทำให้ขาออกของออปแอมป์มีสัญญาณรบกวนเช่นเดียวกันกับสัญญาณรบกวนรวมอ้างอิงที่ขาเข้าของออปแอมป์ แต่จะไม่ส่งผลใด ๆ ต่อแรงดันที่เก็บไว้ในตัวเก็บประจุคงค่า  $C_f$  ดังนั้นสัญญาณรบกวนในส่วนนี้จึงไม่มีผลต่อผลการแปลงของตัวแปลงแอนะล็อกเป็นดิจิทัล

สำหรับสัญญาณรบกวนจากความต้านทานของสวิตช์ขณะอยู่ในคาบเวลาอินทิเกรตตามรูปที่ ก.1ง สามารถคำนวณได้ดังนี้

สเปกตรัมของสัญญาณรบกวนความร้อนจากความต้านทานสวิตช์มีค่าเป็น

$$S_{o,sw}(f) = 2kTR_{sw} \quad (ก.7)$$

แบนด์วิดท์สมมูลของสัญญาณรบกวนมีค่าเป็น

$$B_{N,sw} = 2 \cdot \frac{\omega_u \beta}{2\pi} \cdot \frac{\pi}{2} = \frac{2\omega_u \beta}{4} \quad (ก.8)$$

สัญญาณรบกวนภายในแบนด์วิดท์ของการสุ่มตัวอย่างที่เกิดจากสวิตช์ที่ถูกรวมไปในขณะอินทิเกรตอ้างอิงที่ขาเข้ามีค่าเป็น

$$P_{N,sw} = \int_{\frac{f_s}{2}}^{+\frac{f_s}{2}} S_{SH,sw}(f) df = S_{o,sw} \cdot \frac{B_{N,sw}}{f_s} \cdot f_s = kTR_{sw} \omega_u \beta \quad (ก.9)$$

ในกรณีของวงจรแบบแบบผลต่างกำลังสัญญาณรบกวนมีค่าเป็น

$$P_{N,sw} = 2kTR_{sw} \omega_u \beta \quad (ก.10)$$

สำหรับสัญญาณรบกวนจากออปแอมป์ขณะอยู่ในคาบเวลาอินทิเกรตตามรูปที่ ก.1จ สามารถคำนวณได้เหมือนกับกรณีสัญญาณรบกวนจากความต้านทานของสวิตช์ ตัวอินทิเกรตมีแบนด์วิดท์ของสัญญาณรบกวนเท่ากัน ดังนั้นสัญญาณรบกวนภายในแบนด์วิดท์ของการสุ่มตัวอย่างที่เกิดจากสัญญาณรบกวนออปแอมป์มีค่าเป็น

$$P_{N,op} = kTR_{op} \omega_u \beta \quad (ก.11)$$

ความต้านทานสมมูล  $R_{op}$  แสดงสัญญาณรบกวนของออปแอมป์มีค่าเป็น

$$R_{op} = \frac{2n}{3g_m} \quad (ก.12)$$

โดย  $n$  คือจำนวนทรานซิสเตอร์ที่สร้างสัญญาณรบกวนในออปแอมป์  
และความถี่อัตราขยายเป็นหนึ่งในของออปแอมป์สองขั้นตอนมีค่าเป็น

$$\omega_u = \frac{g_m}{C_C} \quad (\text{ก.13})$$

สัญญาณรบกวนจากออปแอมป์มีค่าเป็น

$$P_{N,OP} = \frac{2kTn\beta}{3C_C} \quad (\text{ก.14})$$

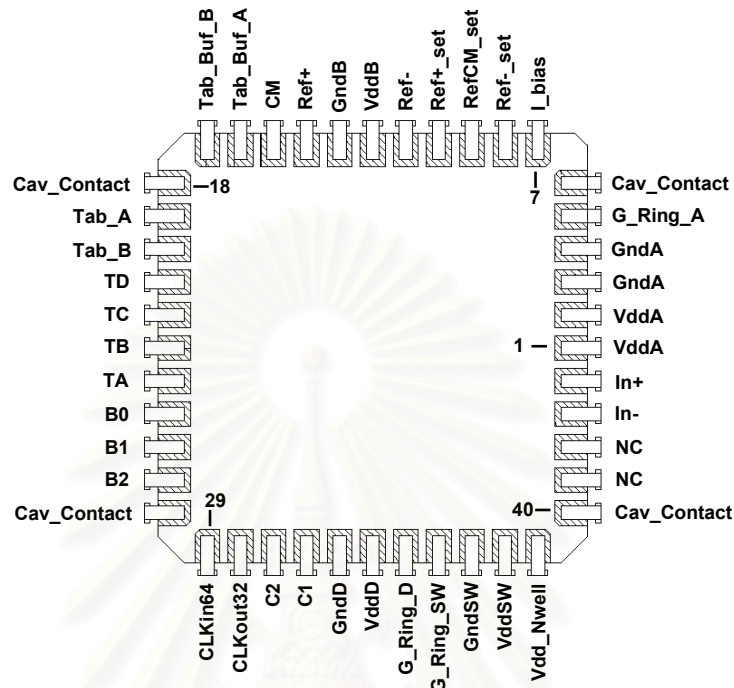
โดยการรวมสัญญาณรบกวนจากทุกแหล่งเข้าด้วยกัน สัญญาณรบกวนรวมของ  
ตัวอินทิเกรตดังเช่นในรูปที่ 3.14 มีค่าเป็น

$$P_N = \frac{2kT(1+b)}{C_{in}} + 2kTR_{sw}\beta\omega_u + \frac{2kTn\beta}{3C_C} \quad (\text{ก.15})$$

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## ภาคผนวก ข

## รายละเอียดขาของวงจรรวม



รูปที่ ข.1 ขาต่าง ๆ ของวงจรรวมอคูเลเตอร์

ตารางที่ ข.1 รายละเอียดขาของวงจรรวมอคูเลเตอร์

PIN	PIN Name	Function
1, 2	VddA	Main Analog Power Supply, +3.3V
3, 4	GndA	Main Analog Ground
5	G_Ring_A	Analog Guard Ring
6, 18, 28, 40	Cav_contact	Cavity Contact
7	I_bias	External Bias Current, 240uA
8	Ref-_set	Negative-Reference-Voltage set-point
9	RefCM_set	Common-mode-Reference-Voltage set-point
10	Ref+_set	Positive-Reference-Voltage set-point
11	Ref-	Negative-Reference-Voltage, Force in
12	Vddb	Reference Buffter Power Supply, +3.3V
13	Gndb	Reference Buffer Ground
14	Ref+	Positive-Reference-Voltage, Force in
15	CM	Common-mode-Reference-Voltage, Force in



ตารางที่ ข.1 รายละเอียดขาของวงจรมอดูเลเตอร์ (ต่อ)

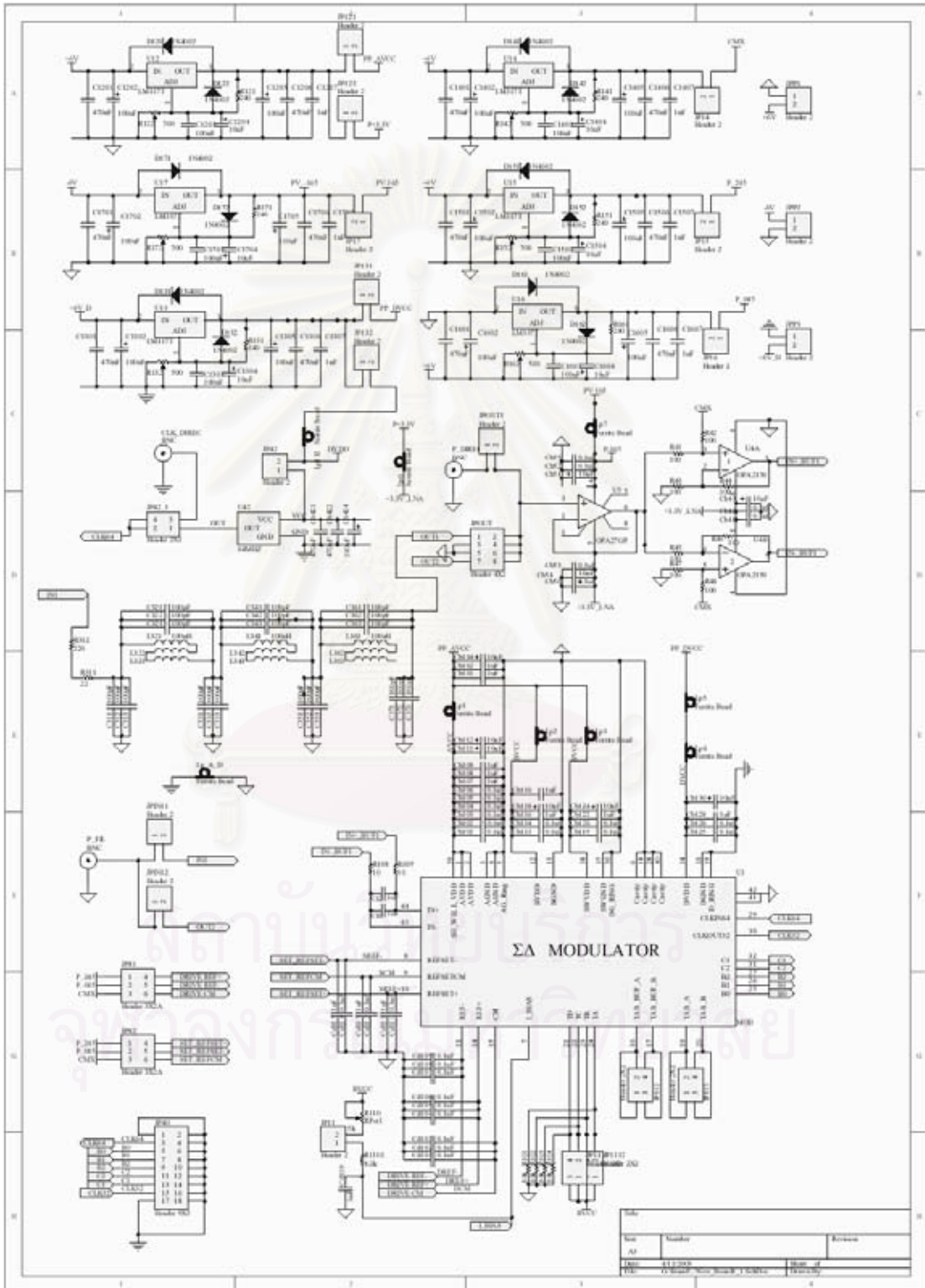
PIN	PIN Name	Function
16	Tab_Buf_A	Buffered Internal Signal A (Test Mode)
17	Tab_Buf_B	Buffered Internal Signal B (Test Mode)
19	Tab_sig_A	Tabbed Internal Signal A (Test Mode)
20	Tab_sig_B	Tabbed Internal Signal B (Test Mode)
21	TD	Code D, to see Internal Signal (Test Mode)
22	TC	Code C, to see Internal Signal (Test Mode)
23	TB	Code B, to see Internal Signal (Test Mode)
24	TA	Code A, to see Internal Signal (Test Mode)
25	B0	Bit 0 of ADC3B of 3 <sup>rd</sup> Modulator
26	B1	Bit 1 of ADC3B of 3 <sup>rd</sup> Modulator
27	B2	Bit 2 of ADC3B of 3 <sup>rd</sup> Modulator
29	Clkin64	64MHz input Clock
30	Clkout32	32MHz output Clock
31	C2	Quantizer output of 2 <sup>nd</sup> Modulator
32	C1	Quantizer output of 1 <sup>st</sup> Modulator
33	GndD	Digital Ground
34	VddD	Digital Power Supply, +3.3V
35	G_Ring_D	Digital Guard Ring
36	G_Ring_SW	Switch Guard Ring
37	GndSW	Switch Ground
38	VddSW	Switch Power Supply, +3.3V
39	Vdd_NWell	+3.3V for bias Nwell to Shield matched cap
41, 42	NC	Not Connect
43	In-	Negative Input
44	In+	Positive Input

หมายเหตุ : ขา 16, 17, 19, 20 ในภาวะปกติ ให้ปล่อยลอยไว้

ขา 21, 22, 23, 24 ในภาวะปกติ ให้ต่อลงกราวด์

ภาคผนวก ค

ผังวงจรที่ใช้ทดสอบมอดูเลเตอร์ต้นแบบ



รูปที่ ค.1 ผังวงจรที่ใช้ทดสอบมอดูเลเตอร์ต้นแบบ

ภาคผนวก ง

บทความที่ได้รับการพิจารณาตอบรับใน  
2002 International Symposium on Communication and  
Information Technology (ISCIT)



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# Designing Opamps for Low-Voltage, High-Speed, High Accuracy Analog-to-Digital Converters

Naiyavudhi Wongkomet, Thaweesak Thantipwan, and Atit Tamtrakarn

Department of Electrical Engineering,  
Faculty of Engineering, Chulalongkorn University  
Phayathai Rd. Pathumwan Bangkok, Thailand 10330.  
Phone: +66-2218-6488, Fax: +66-2218-6488,  
Email: naiyavud@ee.eng.chula.ac.th

## ABSTRACT

This paper presents two opamp design examples for modern analog-to-digital converters. The first opamp, designed for a low-voltage low-power high-speed pipeline ADC, is a two-stage with folded-cascode as the first stage and feature common-mode stabilized active load and closed-loop pole placement techniques. The second opamp, designed for a high-accuracy high-speed sigma-delta ADC, is a two-stage opamp employing a modified cascode compensation to improve the bandwidth without increasing the power consumption. Both opamps are designed in a 0.5- $\mu\text{m}$  CMOS technology and achieve DC gain over 90dB and unity-gain bandwidth over 200MHz.

designed for two analog-to-digital converters. The first is a 2.5-V 10-bit 40MS/s pipeline ADC converter featuring double sampling technique [1]. The second is a 3.3V 16-bit 1-MS/s Nyquist-rate sigma-delta ADC [2]. Both converters are designed in a 3.3-V, 0.5- $\mu\text{m}$  CMOS technology.

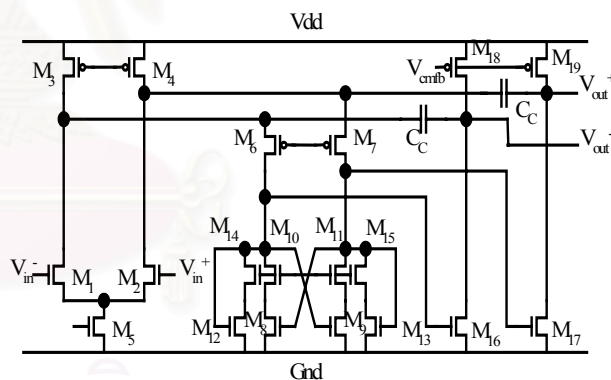
The outline of this paper is as follows. Section 2 describes the first opamp, while Section 3 describes the second opamp. Simulation results are summarized in Section 4. Section 5 is the conclusion.

## 2. Low-voltage low-power high-gain opamp

### 1. Introduction

Many modern electronic devices are mixed-signal systems where analog signals are quantized into digital data for processing in the digital domain. Hence, the performance of the system inevitably relies on the performance of analog-to-digital converters. The demands for high-resolution and high-speed converters have continually increased in telecommunications, digital signal processing, and industrial applications. Meanwhile, the operating voltage of integrated circuits becomes lower every year following advances in CMOS technology, thus reducing the signal swing and increasing the power consumption. In contrast, portable devices require that the power consumption is minimized to maximize the battery life. All of these requirements imply that the opamps, the core of practically all analog-to-digital converters, need to have high speed, high gain, large output swing, and low noise, while can operate at low supply voltage and consume as little power as possible.

This paper discusses two opamps which have been



**Figure 1.** Low voltage opamp with common-mode stabilized active load.

For low-voltage supply, the opamp needs wide input voltage range and wide output voltage swing. Cascode topology is not preferred because the output voltage swing is limited by the cascode devices. Typically, the conventional two-stage topology is the best candidate but this topology does not have enough DC gain for high-resolution applications. Moreover, for fully differential topology, a two-stage opamp normally requires a common-

mode feedback (CMFB) amplifier to sense common-mode output voltage, invert the phase, and feedback to the first stage. This consumes additional power because the CMFB amplifier must be as fast as the main amplifier.

The proposed opamp as shown in Figure 1 is suitable for low-voltage high accuracy applications. The input stage is a folded-cascode stage with common-mode stabilized active load [3-4] and the second stage is a class A common source. The cascode compensation scheme [5] is chosen for this opamp rather than the conventional miller compensation to achieve lower power consumption.

The common-mode stabilized active load, modified from reference [3] and [4] by adding cascode devices, consists of eight equal size transistors  $M_8$ - $M_{15}$ , is preferred as load of the first stage rather than normal cascode active load. With this load, differential signals see high load impedance since transconductance of  $M_{12}$ - $M_{15}$  are cancelled by the transconductance of  $M_8$ - $M_{11}$ . Meanwhile, the common-mode signal impedance is low and thus the common-mode voltage in the first stage output is stable without a CMFB circuit. This scheme eliminates the need to reverse the phase of common-mode feedback signal and allows a simple switched-capacitor CMFB [6] to be applied to the second stage directly. Simplified equations of common-mode output impedance,  $R_{o,cm}$ , and differential-mode output impedance,  $R_{o,dm}$ , are shown below.

$$R_{o,cm} \approx \frac{1}{2g_m} \quad (1)$$

$$R_{o,dm} = \frac{r_o(2 + g_m r_o)}{2} \quad (2)$$

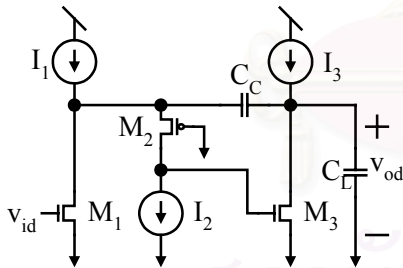


Figure 2. The differential half-circuit model of the opamp in Figure 1

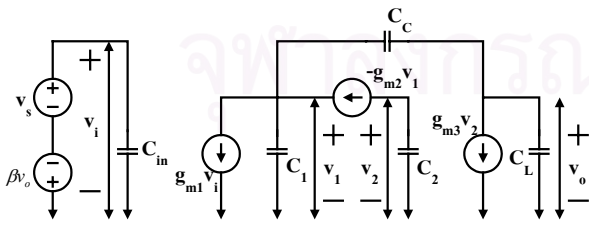


Figure 3. Small-signal model of the circuit in Figure 2

If mismatches exist between  $M_{12}$ - $M_{15}$  and  $M_8$ - $M_{11}$ , the common-mode impedance would increase slightly while the differential-mode impedance could increase, decrease, or even become negative depending on the direction and magnitude of the mismatch. Through derivation and simulation, it was confirmed that transistor mismatches up to two percents result in negligible effect to the opamp transient response.

This opamp is a two-zero three-pole system and is difficult to design with conventional design techniques. A good approach is to use closed-loop pole placement technique [7]. The closed-loop pole placement technique is the method that fixes position of poles and zeros when the system is closed loop and then find out what the value of physical device parameters are. This technique simplifies the design of such complex system.

From the differential half-circuit model in Figure 2 and its small-signal model in Figure 3, the closed-loop transfer function can be derived as shown below

$$H_{cl}(s) = \frac{\frac{g_{m1}}{C_2 C_T^2} (g_{m2} g_{m3} - C_2 C_C s^2)}{s^3 + \left[ \frac{g_{m2}(C_L + C_C) - \beta g_{m1} C_C}{C_T^2} \right] s^2 + \frac{g_{m2} g_{m3} C_C}{C_2 C_T^2} s + \frac{\beta g_{m1} g_{m2} g_{m3}}{C_2 C_T^2}} \quad (3)$$

where  $C_T = C_1 C_L + C_1 C_C + C_L C_C$ ,  $C_1$  is the parasitic capacitance at the drain of  $M_1$ ,  $C_2$  is the parasitic capacitance at the gate of  $M_3$ .

The denominator of the closed-loop transfer function in Eq.(3), denoted as  $D(s)$ , indicates the positions of closed-loop poles in terms of  $\alpha$ ,  $\xi$  and  $\omega_n$  as shown here

$$D(s) = (s + \alpha \xi \omega_n)(s^2 + 2\xi \omega_n s + \omega_n^2) \quad (4)$$

These parameters are related to physical device parameters. The optimum value of these parameters can be obtained by the desired step response and numerical optimization. In this design,  $\alpha = 0.9$  and  $\xi = 0.85$  are the optimum values in term of power consumption.

Eq.(3) and Eq. (4) show that this opamp has two zeros, one real pole, and two complex poles. The location of poles and zeros are shown in Figure 4. Since the zeros are at the same frequency but on different half of the plane, the zeros do not degrade phase margin. Moreover, the zeros are at much higher frequency, thus do not effect the amplifier response.

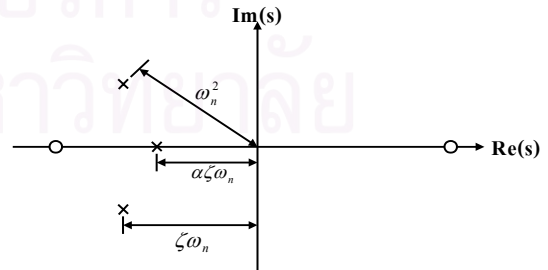


Figure 4. Pole-zero plot diagram.



### 3. High-speed high-gain opamp

In most switched-capacitor applications, the requirements for opamps are large bandwidth, high slew rate, high gain (>90 dB), wide swing and low noise because the systems operate at frequency several times higher than the signal bandwidths. The two-stage opamp in Figure 5 with PMOS-input telescopic configuration as the first stage and NMOS common source as the second stage can satisfy the high gain, low noise and wide swing requirements. The opamp gain is in the order of  $(g_m r_o)^3$  which is enough to realize 90-dB gain and the opamp has the lowest number of transistors generating noise. To realize large closed-loop bandwidth, the opamp must have high unity-gain frequency, and all parasitic poles must be at even higher frequency to ensure stability. Since the locations of parasitic poles depend on the opamp compensation, this is an important issue to explore in order to maximize the bandwidth and minimize the power consumption.

This paper proposes a modified cascode compensation technique as shown in Figure 5. This compensation technique yields a higher bandwidth than typical cascode compensation [5] as shown in Figure 6 and Ahuja compensation [8] as shown in Figure 7 because its nearest parasitic poles come from NMOS rather than PMOS. Compared to Ahuja compensation, this technique removes M8 in Figure 7 by utilizing M3s in the active load as shown in Figure 5; hence, the two compensation schemes have identical small-signal models. The advantages of the modified cascode compensation, however, are power saving due to the elimination of one branch and the conversion of PMOS (M8) to NMOS (M3s).

Next, the small-signal differences between the traditional cascode compensation and the modified cascode compensation will be investigated. Figure 8 shows the small-signal model of an amplifier with cascode compensation. For open-loop, the opamp has one real pole located at low frequency, two complex poles and two real zeros. The unity gain frequency is given by

$$\omega_u = g_{m1} / C_C \quad (5)$$

The two zeros are located at

$$Z_{1,2} = \pm \sqrt{g_{m2} g_{m5} / C_2 C_C} \quad (6)$$

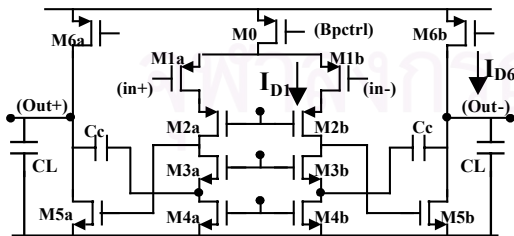


Figure 5. Amplifier with modified cascode compensation

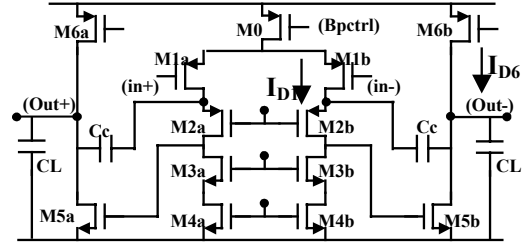


Figure 6. Amplifier with cascode compensation.

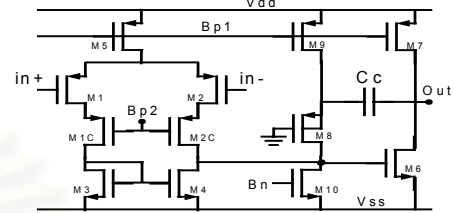


Figure 7. Amplifier with Ahuja compensation

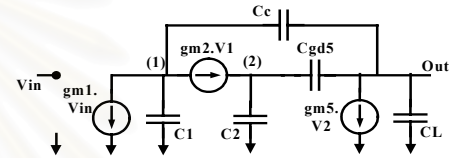


Figure 8. Small-signal model of amplifier with cascode compensation.

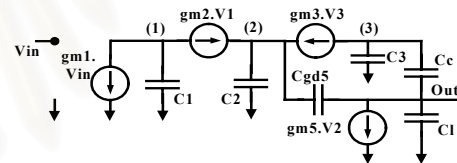


Figure 9. Small-signal model of amplifier with modified cascode compensation.

and the two complex poles are approximately the roots of  $s^2[(C_{gd5} + C_2)(C_C + C_L)C_1 + (C_C + C_1)C_2C_{gd5} + (C_{gd5} + C_2)C_C C_L] + s[g_{m2}C_2(C_L + C_C + C_{gd5}) + g_{m2}C_{gd5}C_L + g_{m5}C_{gd5}(C_C + C_1)] + s[g_{m2}g_{m5}(C_{gd5} + C_C)] = 0$  (7)

For the modified cascode compensation, the small-signal model is shown in Figure 9. The opamp has two real poles, two complex poles and one left-half-plane zero. One real pole is at low frequency and another is at very high frequency.

$$P_4 = -g_{m2} / C_1 \quad (8)$$

The unity-gain frequency is approximately

$$\omega_u = g_{m1} / C_C \quad (9)$$

the left-half-plane zero is located at

$$Z_1 = -g_{m3} / C_C \quad (10)$$

and the complex poles are approximately the roots of

$$s^2[(C_{gd5} + C_2)(C_C + C_L)C_3 + (C_C + C_3)C_2C_{gd5} + (C_{gd5} + C_2)C_C C_L] + s[g_{m3}C_2(C_L + C_C + C_{gd5}) + g_{m3}C_{gd5}C_L + g_{m5}C_{gd5}(C_C + C_3)] + s[g_{m3}g_{m5}(C_{gd5} + C_C)] = 0 \quad (11)$$

Equation (7) and (11) are almost identical. The two differences are the substitution of  $C1$  and  $gm2$  in Equation (7) with  $C3$  and  $gm3$  in Equation (11), respectively.

To illustrate the effectiveness of the proposed compensation technique, we designed two amplifiers with identical bias current, device sizing, load capacitance, and compensation capacitor, but with different compensation techniques. According to Equation (5) and (9), both amplifiers have the same unity-gain bandwidth. The key difference, however, is the much higher frequency of the complex poles (P2,P3) as shown in Table 1, and thus better phase margin. This results from that M2 in the cascode compensation is a PMOS, while M3 in the modified cascode compensation is an NMOS. Another advantage of the new compensation is that there is a left-half-plane zero near unity-gain frequency which can slightly improve the phase margin and the settling.

One drawback of the modified cascode compensation is that the falling slew rate becomes slower than the rising slew rate. This, however, can be compensated by increasing the bias current of the second stage.

**Table 1.** Open-loop poles and zeros of opamps with different compensation. Both opamps have  $I_{D1}=0.3\text{mA}$ ,  $I_{D6}=1\text{mA}$ ,  $C_c=1\text{pF}$ ,  $C_L=1.8\text{pF}$ ,  $\omega_u=280\text{MHz}$ .

Pole & Zero	Cascode comp	Modified comp
P1	-11 kHz	-3.3kHz
P2,3	-119±458i MHz	-313±752i MHz
P4	-	-889 MHz
Z1	-1 GHz	-565 MHz
Z2	940 MHz	-

#### 4. Implementation and simulation results

The two proposed amplifiers are designed in a 0.5- $\mu\text{m}$  CMOS process. Table 2 summarizes all the simulated specifications. One of the amplifier is being fabricated and the other will be fabricated shortly.

#### 5. Conclusions

This paper describes two amplifiers for modern high performance analog-to-digital converters. Both amplifiers are two-stage with folded-cascode as the first stage. Several design techniques are discussed such as common-mode stabilized active load, closed-loop pole placement, and modified cascode compensation.

**Table 2.** Summary of opamp specifications

Specifications	Opamp with common-mode stabilized active load	Opamp with modified cascode compensation
DC gain (dB)	91	99
Unity-gain BW (MHz)	202	368
Phase margin (Degree)	64 @ $\beta=0.5$	67 @ $\beta=1$
$C_L$ (pF)	2	1.5
$C_C$ (pF)	0.8	1
Settling time (ns)	14.1 (99.9%)	8.7 (99.99%)
Noise (nV/rt.Hz)	287@1kHz 10.2@1MHz	110@1kHz 4.1@1MHz
Supply voltage (V)	2.5	3.3
Output swing (V)	±2	±2.6
Power consumption (mW)	3	11.1

#### 6. References

- [1] A. Tamtrakarn and N. Wongkomet. "A 2.5-V 10-Bit 40-MS/s Double Sampling Pipeline A/D Converter", Asia-Pacific Conference on Circuits and System, 2002.
- [2] T. Thantipwan and N. Wongkomet. "A Power-Optimized 16-Bit 1MS/s Nyquist-Rate Sigma-Delta Analog-to-Digital Converter", Chulalongkorn University. To be published.
- [3] M. Waltari and K. Halonen, "A Switched-Opamp with Fast Common Mode Feedback", Proceedings of the 6<sup>th</sup> IEEE International Conference on Electronics, Circuit and Systems 1999, Vol. 3, pp. 1523-1525, 1999.
- [4] M. Waltari and K. Halonen, "A 10-Bit 220-Msample/s CMOS Sample-and-Hold Circuit", Proceeding of the 1998 IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 253-256, 1998.
- [5] D. B. Ribner and M. A. Copeland, "Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range", IEEE Journal of Solid-State Circuits, Vol. SC-19, No. 6, pp. 919-925, December 1984.
- [6] R. Castello and P. R. Gray, "A High-Performance Micropower Switched-Capacitor Filter", IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 6, pp. 1122-1132, December 1985.
- [7] A. R. Feldman, "High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications", Memorandum No. UCB/ERL M97/62, Electronics Research Laboratory, U. C. Berkeley, 1997.
- [8] B. Ahuja, "An Improved Frequency Compensation Technique for CMOS Operational Amplifier", IEEE JSSC, Vol. 18, No. 6, pp. 629-1633, Dec, 1983.

## ประวัติผู้เขียนวิทยานิพนธ์

นายทวีศักดิ์ ธารทิพย์วรรณ เกิดเมื่อวันที่ 15 กันยายน พุทธศักราช 2522 จังหวัด กรุงเทพมหานคร สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต เกียรตินิยมอันดับหนึ่ง สาขาวิชาวิศวกรรมไฟฟ้า จากคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2542 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ที่คณะ วิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปี 2543 เคยได้รับรางวัลรองชนะเลิศอันดับสอง ใน การประกวดออกแบบวงจรรวมแห่งประเทศไทยครั้งที่ 2 ซึ่งจัดโดยศูนย์เทคโนโลยีอิเล็กทรอนิกส์ และคอมพิวเตอร์แห่งชาติ



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย