บทที่ 8

ข้อสรุปและข้อเสนอแนะ

8.1 ข้อสรุป

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรกรองผ่านต่ำแบบต่อเนื่องทางเวลาสำหรับสัญญาณวิดีโอระบบ PAL ที่ถูกสุ่มด้วยความถี่ 13.5MHz ในเทคโนโลยี 0.7μm CMOS ซึ่งทำหน้าที่ป้องกันการซ้อนทับของสัญญาณ (Anti-aliasing) เนื่องจากการสุ่มตัวอย่างสัญญาณของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัล และสามารถปรับเปลี่ยนเป็นวงจรกรองสร้างสัญญาณกลับ (Reconstruction) สำหรับกรองสัญญาณที่ออกจากตัวแปลงสัญญาณดิจิทัลเป็นแอนะล็อก วงจรกรองประกอบด้วย วงจรกรองผ่านต่ำชนิดเอลลิปติกอันดับ 5 วงจรปรับเฟส (Equalizer) อันดับ 3 วงจรขยายสัญญาณความถี่สูงที่หายไปเนื่องจากการแปลงกลับสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (sin(x)/x correction) รวมไปถึงวงจรรับสัญญาณขาเข้า วงจรขยายสัญญาณขาออก และวงจรไบอัสอื่นๆ

ในส่วนของวงจรกรองมีโครงสร้างแบบ fully differential และใช้เทคนิคแบบ Gm-C ออกแบบให้ไม่มีการปรับความคลาดเคลื่อนเฟส (phase error) จากภายนอกวงจรรวมเพื่อความง่ายในการใช้งาน วงจรทรานส์คอนดักเตอร์แบบใหม่ซึ่งมีผลตอบสนองทางความถี่และความเป็นเชิงเส้นสูงรวมไปถึงวิธีการปรับค่าทรานส์คอนดักแตนซ์ของมันได้ถูกนำมาใช้สำหรับวิทยานิพนธ์ฉบับนี้ โดยวงจรวงจรทรานส์คอนดักเตอร์ดังกล่าวใช้ตัวต้านทานช่วยให้ความเป็นเชิงเส้นดีขึ้นกว่าวงจรทรานส์คอนดักเตอร์แบบซีมอสทั่วๆไป และใช้การเปิด-ปิดสวิตซ์เลือกค่าความต้านทานที่ใช้ได้ถึง 8 ระดับเพื่อให้สามารถปรับค่าทรานส์คอนดักแตนซ์ได้ในช่วงกว้าง

การจำลองการทำงานด้วยความปรวนแปรของอุปกรณ์แบบสุดขอบทั้งหมดได้คุณสมบัติตามมาตรฐาน CCIR601 ในระดับ desktop ทั้งหมดยกเว้นในกระบวนการผลิตแบบช้าเท่านั้นที่ค่า DP (Differential Phase) มากกว่ามาตรฐานไปเล็กน้อย

8.2 ข้อเสนอแนะ

1. ออกแบบให้ทรานส์คอนดักเตอร์มีผลตอบสนองเชิงความถี่ลดลงโดยนำไปแลกกับความเป็นเชิงเส้นที่ดีขึ้นให้ได้ค่า DP อยู่ในมาตรฐานระดับ desktop แล้วใช้การปรับความคลาดเลื่อนเฟส (phase error) ของตัวอินทิเกรตจากภายนอกวงจรรวมทดแทนผลตอบสนองเชิงความถี่ที่ลดลง

2. เพิ่มความเป็นเชิงเส้นของวงจรกรองสร้างสัญญาณกลับ (Reconstruction Filter) โดยใช้ไบโพลาร์ทรานซิสเตอร์ (ต่อภายนอกวงจรรวม) ช่วยขับโหลด 75 โอห์มที่ขาออกของวงจรขยายสัญญาณขาออก

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย