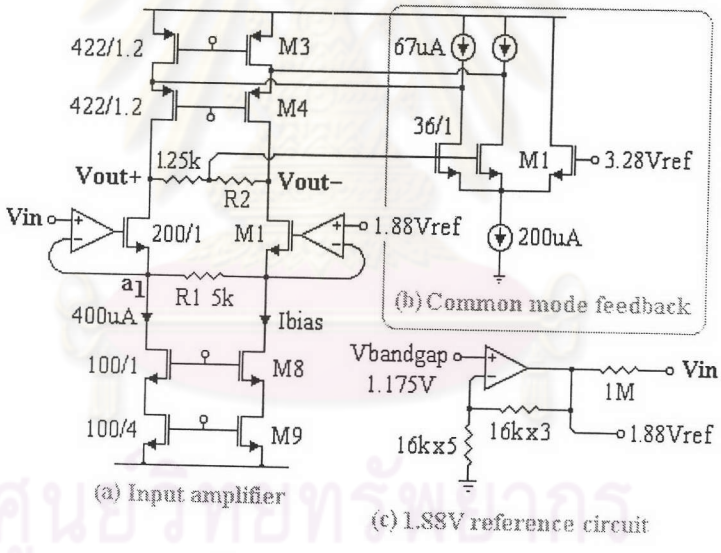
บทที่ 6

การออกแบบวงจรส่วนขาเข้า-ขาออกและวงจรไบอัส

6.1 วงจรรับสัญญาณขาเข้า

วงจรรับสัญญาณขาเข้ามีหน้าที่รับสัญญาณวิดีโอขาเข้าแบบปลายเดี่ยว (single-ended) ขนาด 1 โวลต์ยอดถึงยอดมาแปลงเป็นสัญญาณแบบ differential ขนาด 0.5 โวลต์ยอดถึงยอดส่งต่อให้กับวงจรกรองต่อไป วงจรรับสัญญาณขาเข้าไม่ต้องการผลตอบสนองทางความถี่กว้างเท่ากับวงจรทรานส์คอนดักเตอร์ ดังนั้นจึงใช้โครงสร้างที่ซับซ้อนกว่าซึ่งให้ความเป็นเชิงเส้นดีกว่าดังรูปที่ 6.1 วงจรแบ่งออกเป็น 3 ส่วนคือ วงจรสร้างสัญญาณอ้างอิง 1.88 โวลต์ วงจรขยายสัญญาณขาเข้า และวงจรป้อนกลับแรงดันโหมดร่วมขาออก



รูปที่ 6.1 วงจรรับสัญญาณขาเข้า

วงจรสร้างสัญญาณอ้างอิง 1.88 โวลต์ดังรูปที่ 6.1(c) ใช้สร้างแรงดันอ้างอิงให้กับขาเข้าของออปแอมป์ทั้งสองตัว โดยที่โนด Vin จะมีตัวเก็บประจุภายนอกขนาด 1μF ต่อขวางระหว่างโนด Vin กับสัญญาณขาเข้าเพื่อแยกระดับแรงดันไฟตรงและใช้ตัวต้านทานขนาด 1 เมกกะโอห์มต่อคร่อมโนด Vin กับแรงดันอ้างอิง 1.88 โวลต์เพื่อเพิ่มความต้านทานขาเข้าของวงจร วงจรรับสัญญาณขาเข้าดังรูปที่ 6.1(a) มีการทำงานเริ่มจากแรงดันขาเข้า Vin แบบปลายเดี่ยวผ่านไปตกคร่อม R_1 เปลี่ยนเป็นกระแสแบบ differential ไหลลอดผ่านทรานซิสเตอร์ M1 เข้าสู่ R_2 จึงเปลี่ยนเป็นแรงดันแบบ differential ต่อไป วงจรป้อนกลับแรงดันโหมดร่วมขาออกรับแรงดันเฉลี่ยของแรง

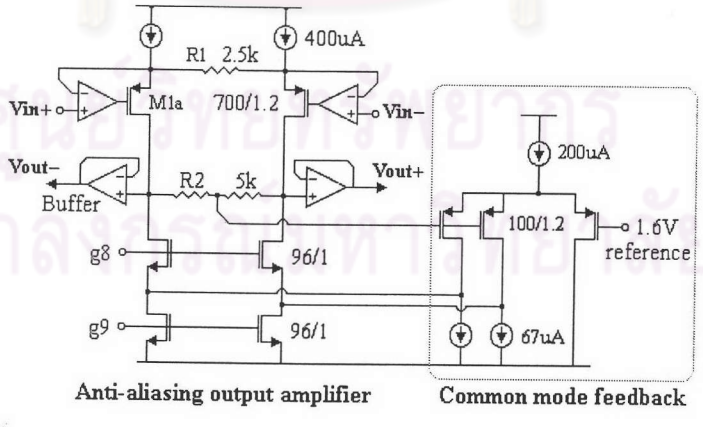
ดันขาออกเข้ามาเปรียบเทียบกับแรงดันอ้างอิง 3.28 โวลต์แล้วใช้การป้อนกระแสกลับด้วยโครงสร้างแบบ folded-cascode เพื่อให้การป้อนกลับมีเสถียรภาพโดยมีผลสนองความถี่ที่สูงกว่าโครงสร้างแบบ wide-swing cascode

เพื่อให้ความเป็นเชิงเส้นของวงจรรับสัญญาณขาเข้าดี จึงใช้กระแสไบอัสทั้ง 2 กิ่งของวงจรถึง 400μA ในขณะที่การแกว่งของกระแสมากสุดเพียง 100μA (Vin / R_1 = 0.5 โวลต์ / 5k โอห์ม) และจากการจำลองการทำงานพบว่าการเปลี่ยนแปลงค่าความจุของตัวเก็บประจุแบบปรสิตที่โนด a_1 ที่ขึ้นกับแรงดันเป็นผลให้ค่า DP (Differential Phase) ของวงจรรับสัญญาณขาเข้าเพิ่มขึ้นอย่างมาก เนื่องจากเป็นการทำให้ศูนย์ (zero) ของวงจรรับสัญญาณขาเข้าที่เกิดจากตัวเก็บประจุแบบปรสิตที่โนด a_1 และความต้านทาน R_1 เปลี่ยนแปลงไปเมื่อเกิดการเปลี่ยนแปลงแรงดันที่โนด a_1 ตัวอย่างเช่น ถ้าตัวเก็บประจุแบบปรสิตที่โนด a_1 ขณะแรงดัน 1.88+0.35 โวลต์มีค่า 325fF และขณะแรงดัน 1.88-0.35 โวลต์มีค่า 350fF จะทำให้ความต่างเฟส (DP) ของวงจรรับสัญญาณขาเข้าที่ความถี่ 4.4MHz คือ

$$DP = \arctan\left(\frac{2\pi 4.4MHz}{\frac{1}{5k\Omega \times 350\,fF}}\right) - \arctan\left(\frac{2\pi 4.4MHz}{\frac{1}{5k\Omega \times 325\,fF}}\right) = 0.2\deg \qquad (6\text{-}1)$$

ดังนั้น จึงควรลดตัวเก็บประจุแบบปรสิตที่โนด a_1 ให้น้อยที่สุดและไม่ควรสร้างส่วนรับสัญญาณเข้า (ทรานซิสเตอร์ M1 และแหล่งจ่ายกระแสที่โนด a_1) ด้วยมอสทรานซิสเตอร์ชนิดพี

6.2 วงจรขยายสัญญาณขาออกสำหรับวงจรกรองแก้การซ้อนทับ (Anti-aliasing filter)



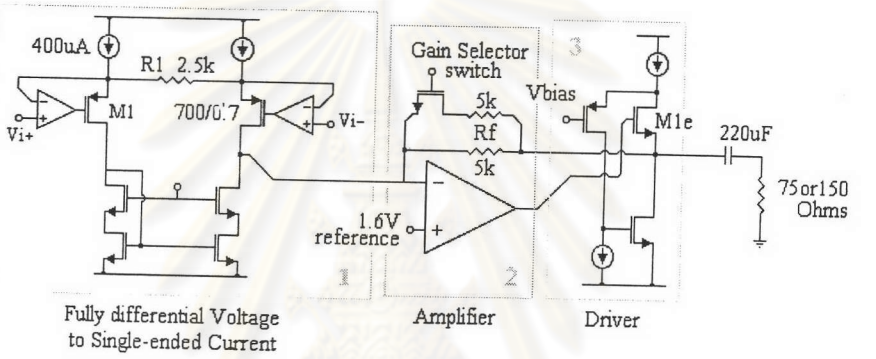
รูปที่ 6.2 วงจรขยายสัญญาณขาออกสำหรับวงจรกรองแก้การซ้อนทับ

วงจรมีหน้าที่ขยายสัญญาณที่ออกจากวงจรกรองผ่านต่ำชนิดเอลลิปติกขนาด 0.5 โวลต์ยอดถึงยอดแบบ fully differential เป็น 2 โวลต์ยอดถึงยอดแบบ fully differential แล้วนำไปผ่าน

วงจรกันชน (buffer) ซึ่งเป็นออปแอมป์แบบขั้นเดียว (single stage) ที่มีโครงสร้างแบบ folded cascode และสามารถขับโหลดตัวเก็บประจุได้ 1pF – 15pF

6.3 วงจรขยายสัญญาณขาออกสำหรับวงจรกรองสร้างสัญญาณกลับ (Reconstruction)

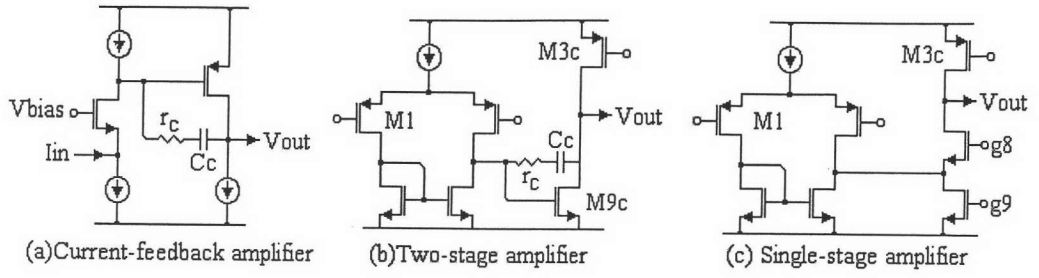
วงจรขยายขาออกมีหน้าที่แปลงสัญญาณแบบ differential จากวงจรกรองเปลี่ยนเป็นแบบปลายเดี่ยวซึ่งแบ่งออกเป็น 3 ส่วนคือ ส่วนแปลงแรงดันแบบ differential เป็นกระแสแบบปลายเดี่ยวส่งต่อให้กับส่วนขยายแบบป้อนกลับและวงจรขับโหลด (Driver) ดังรูปที่ 6.3 ในกรณีที่โหลดเป็นจอภาพซึ่งมีขนาด 75 โอห์มจะใช้แรงดันขาออก 1 โวลต์ยอดถึงยอด แต่ถ้าโหลดเป็นสายส่งสัญญาณซึ่งมีขนาด 150 โอห์มจะใช้แรงดันขาออก 2 โวลต์ยอดถึงยอดโดยมีสวิตช์ เอ็นมอสในวงจรส่วนที่ 2 ใช้เลือกอัตราขยายของวงจร



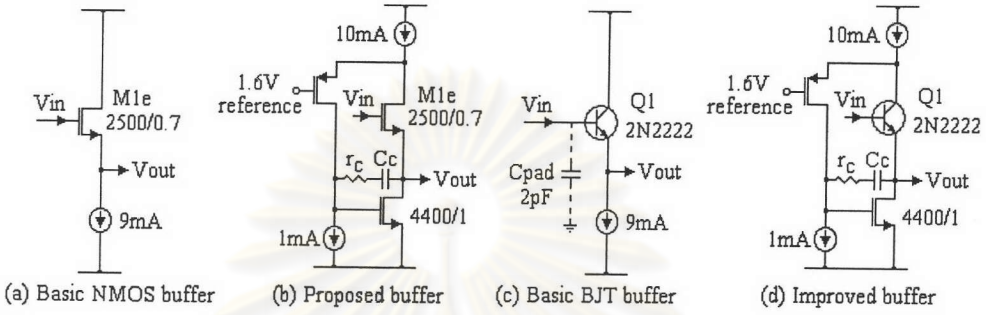
รูปที่ 6.3 วงจรขยายสัญญาณขาออกสำหรับวงจรกรองสร้างสัญญาณกลับ

ความเป็นเชิงเส้นของวงจรขึ้นกับผลตอบสนองทางความถี่ (bandwidth) ของออปแอมป์และความต้านทานขาออกของวงจรขับโหลดเป็นหลัก การทดลองใช้วงจรออปแอมป์แบบป้อนกลับกระแสดังรูปที่ 6.4(a) ซึ่งดูโครงสร้างไม่ซับซ้อนเมื่อเทียบกับออปแอมป์แบบสองขั้น (2 stage amp) ดังรูปที่ 6.4(b) แต่จริงๆแล้วออปแอมป์แบบสองขั้นให้ผลตอบสนองทางความถี่กว้างกว่าเพราะว่าวงจรออปแอมป์แบบป้อนกลับกระแสมีโพลหลักคือ 1/(Rf.Cc) ซึ่ง Rf คือตัวต้านทานที่ใช้ป้อนกลับในรูปที่ 6.3 ส่วนออปแอมป์แบบสองขั้นมีโพลหลัก คือ gm_1/Cc ซึ่ง gm_1 คือค่าทรานส-คอนดักแตนซ์ของทรานซิสเตอร์ M1 ในรูปที่ 6.4(b) โดยการออกแบบสามารถทำให้ $gm_1 >> 1/Rf$ ได้ง่ายดังนั้นออปแอมป์แบบสองขั้นจึงมีผลตอบสนองทางความถี่ที่ดีกว่า สำหรับออปแอมป์แบบขั้นเดียว (single stage) ดังรูปที่ 6.4(c) มีอัตราขยายไฟตรงต่ำเกินไปหากใช้โครงสร้างแบบ cascode ที่ทรานซิสเตอร์ M3c เพิ่มความต้านทานขาออกของวงจรก็จะทำให้ช่วงแกว่งสัญญาณตอนต่อเข้ากับวงจรขับโหลด (Driver) ที่เกตของทรานซิสเตอร์ M1e ไม่เพียงพอ

วงจรขับโหลดเป็นส่วนประกอบหลักที่เกี่ยวข้องกับความเป็นเชิงเส้นและจากการจำลองการทำงานโดยใช้วงจรขับโหลดทั้ง 4 แบบดังรูป 6.5 ได้ผลการจำลองการทำงานดังตารางที่ 6.1



รูปที่ 6.4 วงจรออปแอมป์แบบต่างๆ



รูปที่ 6.5 วงจรขับโหลดแบบต่างๆ

ตารางที่ 6.1 ผลการจำลองการทำงานเมื่อใช้วงจรขับโหลดชนิดต่างๆ

ชนิดของวงจรขับโหลด	ความถี่ที่อัตราขยายของออปแอมป์เท่ากับ 1	DP (Differential Phase)
(a)	100 MHz	0.32 Degree
(b)	85 MHz	0.16 Degree
(c)	70 MHz	0.11 Degree
(d)	45 MHz	0.01 Degree

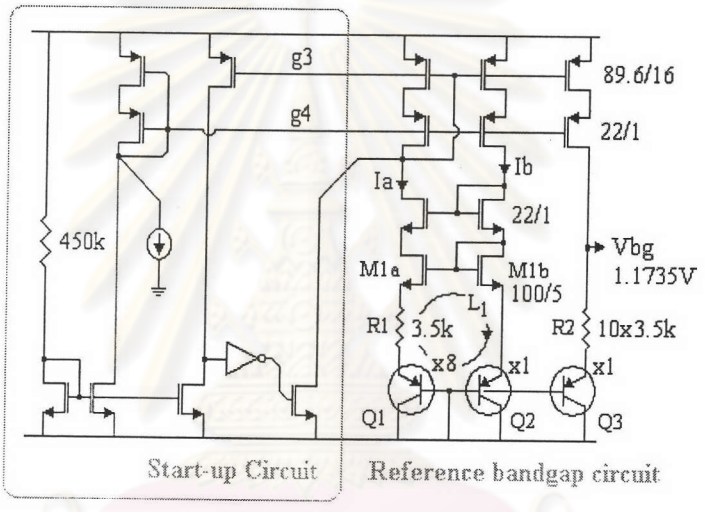
(ค่า DP วัดที่โหลดขาออก 150 โอห์มและแรงดันขาออก 2 โวลต์ยอดถึงยอด)

วงจรขับโหลดแบบง่ายดังรูปที่ 6.5(a) มีค่า DP สูงมาก ดังนั้นจึงปรับปรุงโดยบังคับให้กระแสไหลผ่านทรานซิสเตอร์ M1e คงที่ด้วยแหล่งกระแสคงที่เพื่อลดความต้านทานขาออกของวงจรขับโหลดดังรูปที่ 6.5(b) ซึ่งมีความซับซ้อนมากขึ้นโดยมีโครงสร้างคล้ายกับออปแอมป์แบบ 2 ขั้นดังนั้นจึงใช้ r_c และ Cc ชดเชยความถี่เหมือนกับออปแอมป์แบบ 2 ขั้น และเมื่อวงจรขับโหลดมีผลตอบสนองทางความถี่ต่ำลงก็ทำให้ความถี่ที่อัตราขยายของออปแอมป์เท่ากับ 1 (unity gain frequency) มีค่าต่ำลงด้วยแต่ก็ยังลดค่า DP ลงได้ถึงเท่าตัว ยิ่งไปกว่านั้นหากลองเปลี่ยนทรานซิสเตอร์ M1e ดังรูป (a) และ (b) เป็นไบโพลาร์ทรานซิสเตอร์เบอร์ 2N2222 (ต่อจากภายนอกชิพ) ดังรูป (c) และ (d) ก็จะยิ่งลดค่า DP ลงได้มากถึงแม้ว่าตัวเก็บประจุแบบปรสิตทั้งจากตัวไบโพลาร์ทรานซิสเตอร์และจากขาของชิพ (Cpad) จะมากขึ้นจนทำให้ผลตอบสนองทางความถี่ของ

วงจรออปแอมป์ลดลงก็ตาม แต่สำหรับวิทยานิพนธ์ฉบับนี้ยังคงเลือกใช้วงจรขับโหลดดังรูปที่ 6.5(b) เนื่องจากต้องการจำกัดอุปกรณ์ภายนอกชิพ

6.4 วงจรสร้างแรงดันอ้างอิง (Reference bandgap)

แรงดันอ้างอิงในวงจรมีใช้อยู่หลายที่เช่น แรงดันอ้างอิงของแรงดันโหมดร่วมในวงจรกรองแรงดัน 3.5 โวลต์ในวงจรช่วยปรับค่าทรานส์คอนดักแตนซ์รูปที่ 5.7 และ 4 โวลต์ในตัวแปลงแอนะล็อกเป็นดิจิทัลรูปที่ 5.9 แรงดันอ้างอิง 1.1735 โวลต์ในวงจรรับสัญญาณขาเข้าและวงจรส่งสัญญาณขาออก เป็นต้น วงจรสร้างแรงดันอ้างอิงซึ่งไม่ขึ้นกับแรงดันไฟเลี้ยงและอุณหภูมิสามารถสร้างได้ดังรูปที่ 6.6



รูปที่ 6.6 วงจรสร้างแรงดันอ้างอิง

แรงดัน bandgap ซึ่งไม่แปรตามอุณหภูมิ สร้างจากการบวกกันของแรงดัน V_{BE} ของไบโพลาร์ทรานซิสเตอร์ (Vertical CMOS well transistor) ซึ่งมีสัมประสิทธิ์อุณหภูมิแบบลบ กับแรงดัน ΔV_{BE} ซึ่งมีสัมประสิทธิ์อุณหภูมิแบบบวก ([5] หน้า 353) โดยการบวกที่อัตราส่วนพอเหมาะ (k) จะได้แรงดันอ้างอิงที่ไม่แปรตามอุณหภูมิ (Vbg, Reference bandgap voltage)

$$Vbg = V_{BE} + k\Delta V_{BE} \tag{6-2}$$

แรงดัน ΔV_{BE} สร้างจากการลบกันของแรงดัน V_{BE} ของ Q_1 และ Q_2 โดย Q_1 จะใหญ่เป็น 8 เท่าของ Q_2 และเมื่อใช้กฎของเคอร์ชอฟฟ์ (KVL) ที่ mesh L_1 ในรูป 6.6 จะได้

$$Vgs_1 + I_a R_1 + V_{BE1} = Vgs_2 + V_{BE2} \tag{6-3}$$

เมื่อให้ $I_a = I_b$ แล้ว $Vgs_1 = Vgs_2$ และจากคุณสมบัติของไบโพลาร์ทรานซิสเตอร์จะได้

$$V_{BE1} = V_T \ln(\frac{I_a}{8I_s}) \tag{6-4}$$

$$V_{BE2} = V_T \ln(\frac{I_a}{I_s}) \tag{6-5}$$

แทนค่าดังกล่าวลงในสมการที่ (6-3)

$$I_a R_1 = V_{BE2} - V_{BE1} = V_T \ln(8) = 53.8mV \quad (at \quad 300K) \tag{6-6}$$

จากนั้นก็สะท้อนกระแส I_a ที่ได้ไปไหลผ่าน R_2 และจะได้

$$Vbg = I_a R_2 + V_{BE} = \frac{R_2}{R_1} V_T \ln(8) + V_{BE} \tag{6-7}$$

โดยค่าอัตราส่วน R_2/R_1 ที่ทำให้แรงดัน Vbg มีความชันเทียบกับอุณหภูมิเป็นศูนย์ที่อุณหภูมิ 40-องศาเซลเซียสคือ 10 และค่า Vbg ที่ได้คือ 1.1735 โวลต์ แต่ในความเป็นจริงอาจจะมีผลจากความไม่เป็นอุดมคติต่างๆเช่น การสะท้อนกระแสไม่สมบูรณ์ Vgs ของ M1a และ M1b ไม่เท่ากัน เป็นต้น ซึ่งจะวิเคราะห์ดังต่อไปนี้

จัดรูปสมการที่ (6-3) ใหม่อีกครั้งได้

$$I_a R_1 = V_T \ln(8\frac{I_b}{I_a}) + (Vgs_2 - Vgs_1) \tag{6-8}$$

ให้ Ib = Ia + d(I) โดย d(I) คือกระแสเล็กๆเมื่อเทียบกับ Ia และให้ $Vgs_1 - Vgs_2 = d(Vgs)$ จะได้

$$\begin{aligned} I_a R_1 &= V_T \ln[8(1+\frac{d(I)}{I_a})] + d(Vgs) \\ &= V_T \ln(8) + V_T \ln(1+\frac{d(I)}{I_a}) + d(Vgs) \\ &\approx V_T \ln(8) + V_T \frac{d(I)}{I_a} + d(Vgs) \end{aligned} \tag{6-9}$$

หาค่า d(Vgs) จากคุณสมบัติของมอสทรานซิสเตอร์ในย่านอิ่มตัวดังนี้

$$Vgs = Vt + \sqrt{\frac{K}{2}\frac{W}{L}I} \longrightarrow d(Vgs) = d(Vt) + \frac{Vdsat}{2}\frac{d(I)}{I} \qquad (6\text{-}10)$$

เมื่อแทนค่า d(Vgs) จากสมการที่ (6-10) ลงในสมการที่ (6-9) จะได้

$$I_a R_1 \approx V_T \ln(8) + (V_T + \frac{Vdsat}{2})\frac{d(I)}{I_a} + d(Vt) \qquad (6\text{-}11)$$

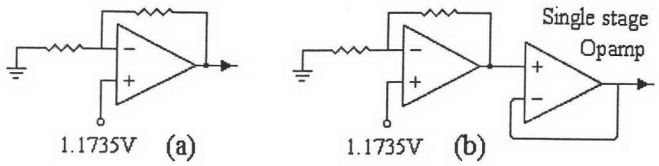
จากสมการนี้จะพบว่าค่าความคลาดเคลื่อนของการสะท้อนกระแส d(I)/I และความไม่เท่ากันของแรงดัน threshold ของทรานซิสเตอร์ M1 หรือ d(Vt) จะทำให้แรงดันที่ตกคร่อม R1 เปลี่ยนแปลงไป โดยค่า d(Vt) ของทรานซิสเตอร์ M1a และ M1b สามารถคำนวณได้จากคู่มือการผลิตวงจรรวม 0.7 ไมโครเมตรของบริษัท Alcatel โดยจะได้ว่าถ้าพื้นที่ของ M1 เป็น 900 μm^2 จะได้ d(Vt) = 0.5mV ที่ 3 ซิกม่า และถ้าพื้นของทรานซิสเตอร์ที่ใช้สร้างวงจรสะท้อนกระแสในรูปที่ 6.6 เป็น 1400 μm^2 จะคำนวณได้ d(I)/I = 1% ที่ 3 ซิกม่า เมื่อนำค่าต่างๆเหล่านี้แทนลงไปและให้ Vdsat = 0.1 โวลต์ จะได้แรงดันที่ตกคร่อม R1 เปลี่ยนแปลงไปเป็นเปอร์เซนต์ที่ 3 ซิกม่าดังนี้

$$\frac{(V_T + \frac{Vdsat}{2})\frac{d(I)}{I_a} + d(Vt)}{V_T \ln(8)} \times 100 = \frac{(0.0259 + \frac{0.1}{2}) \times 0.01 + 0.0005}{0.0538} \times 100 = \frac{1.3mV}{53.8mV} \times 100 = 2.4\% \qquad (6\text{-}12)$$

หากสมมติให้ความผิดพลาดของการสะท้อนกระแสที่ไหลผ่าน R1 ไป R2 และอัตราส่วน R1/R2 ประมาณ 1% และความคลาดเคลื่อนของ V_{BE} เนื่องจากระบวนการผลิตอีก 20mV จะประมาณโดยใช้สมการที่ (6-7) ได้ว่าแรงดันอ้างอิง Vbg จะผิดไปได้มากที่สุด

$$\frac{1.01R_2}{R_1} \times \frac{2.4}{100} \times V_T \ln(8) + 20mV = 1.01 \times 10 \times 0.024 \times 53.8mV + 20mV = 33mV$$

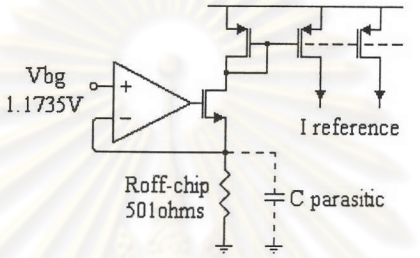
จากค่าเดิม 1.1735 โวลต์ซึ่งน่าจะเพียงพอสำหรับวิทยานิพนธ์ฉบับนี้ สำหรับวงจรสร้างแรงดันอื่นๆ สามารถสร้างด้วยวงจรขยายดังรูปที่ 6.7(a) ส่วนแรงดัน 3.28 โวลต์ซึ่งใช้เป็นแรงดันอ้างอิงของวงจรป้อนกลับโหมดร่วมในวงจรกรองจะใช้ออปแอมป์แบบ 1 ขั้น (single stage) ต่อเป็นวงจรกันชนอีกที่หนึ่งดังรูปที่ 6.7(b) เพื่อเสถียรภาพในการขับโหลดตัวเก็บประจุขนาดใหญ่จากวงจรวงจรป้อนกลับโหมดร่วมหลายๆวงจร



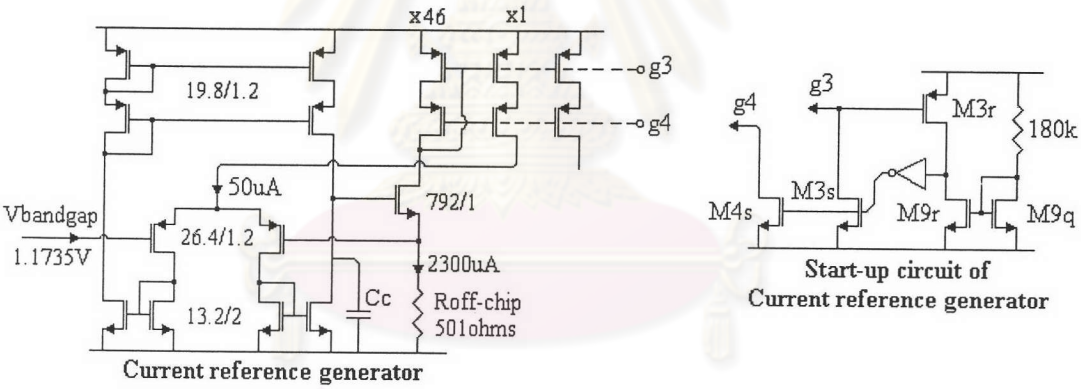
รูปที่ 6.7 วงจรขยายแรงดันอ้างอิง

6.5 วงจรสร้างกระแสอ้างอิง

กระแสอ้างอิงจะสร้างจากแรงดันอ้างอิงที่สร้างได้และความต้านทานภายนอกชิพโดยใช้วงจรอย่างง่ายดังรูป 6.8 โดยวงจรจริงๆจะใช้ออปแอมป์แบบ 1 ขั้น (single stage) ดังรูป 6.9



รูปที่ 6.8 วงจรสร้างกระแสอ้างอิงอย่างง่าย



รูปที่ 6.9 วงจรสร้างกระแสอ้างอิง

ในการใช้งานจริงจะมีตัวเก็บประจุแบบปรสิตต่อขนานกับความต้านทานที่ใช้สร้างกระแสอ้างอิงดังรูปที่ 6.8 ซึ่งจะเป็นการเพิ่มขั้ว (pole) ที่ 2 ให้กับออปแอมป์ดังนั้นจึงใช้ Cc เพื่อปรับปรุงเสถียรภาพของวงจร โดยวงจรสร้างกระแสอ้างอิงนี้ถูกออกแบบให้ทนทานตัวเก็บประจุแบบปรสิตตัวดังกล่าวได้ถึง 150pF

เนื่องจากวงจรสร้างกระแสและแรงดันอ้างอิง (ดังรูป 6.6) เป็นวงจรแบบไม่มีการไบอัสที่ขึ้นกับไฟเลี้ยงจึงทำให้วงจรมีเสถียรภาพอีกจุดหนึ่งที่กระแสไบอัสเท่ากับศูนย์ ดังนั้นจึงต้องมีวงจรช่วยให้วงจรเริ่มทำงานดังรูปที่ 6.9 ทางด้านขวา โดยถ้ากระแสไม่ไหลแรงดันที่โนด g3 จะสูงติดไฟเลี้ยง จึงทำให้แรงดันที่ขาออกของ inverter เป็น high ซึ่งเป็นผลให้ทรานซิสเตอร์ M3s และ M4s

เปิดดึงกระแสจากโนด g3 และ g4 ลงกราวนด์จึงทำให้เริ่มมีกระแสไหลไปเลี้ยงวงจรสร้างกระแสอ้างอิง และเมื่อมีกระแสไหลแล้วแรงดันที่โนด g3 และ g4 จะตกลงจนมีกระไหลผ่าน M3r มากพอที่จะทำให้แรงดันที่ขาออกของ inverter เป็น low แล้วทรานซิสเตอร์ M3s และ M4s ก็จะปิดไม่มีกระแสไหล

6.6 สรุป

ในบทนี้กล่าวถึงการออกแบบวงจรส่วนอื่นๆที่มิใช่ส่วนของวงจรกรองโดยตรงซึ่งได้แก่ วงจรรับสัญญาณขาเข้า วงจรขยายสัญญาณขาออก วงจรสร้างแรงดันอ้างอิงและวงจรสร้างกระแสอ้างอิงสำหรับใช้ในชิพทั้งหมด

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย