# การออกแบบวงจรควบคุมแบบอสมวารโดยใช้แบบจำลองเอสดีไอ

นางสาวพิชยพัชยา ศรีคร้าม

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

บทคัดย่อและแฟ้มข้อมูลฉบับเต็มของวิทยานิพนธ์ตั้งแต่ปีการศึกษา 2554 ที่ให้บริการในคลังปัญญาจุฬาฯ (CUIR)
เป็นแฟ้มข้อมูลของนิสิตเจ้าของวิทยานิพนธ์ ที่ส่งผ่านทางบัณฑิตวิทยาลัย
The abstract and full text of theses from the academic year 2011 in Chulalongkorn University Intellectual Repository (CUIR)
are the thesis authors' files submitted through the University Graduate School.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2558

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

# A DESIGN OF ASYNCHRONOUS CONTROL CIRCUITS USING SDI MODEL

Miss Pitchayapatchaya Srikram

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering Program in Computer Engineering
Department of Computer Engineering
Faculty of Engineering
Chulalongkorn University
Academic Year 2015

Copyright of Chulalongkorn University

| | |
|---|---|
| หัวข้อวิทยานิพนธ์ | การออกแบบวงจรควบคุมแบบอสมวารโดยใช้แบบจำลองเอสดีไอ |
| โดย | นางสาวพิชยพัชยา ศรีคร้าม |
| สาขาวิชา | วิศวกรรมคอมพิวเตอร์ |
| อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก | ผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์ |

---

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

............................................................คณบดีคณะวิศวกรรมศาสตร์

(ศาสตราจารย์ ดร.บัณฑิต เอื้ออาภรณ์)

คณะกรรมการสอบวิทยานิพนธ์

............................................................ประธานกรรมการ

(รองศาสตราจารย์ ดร.สาธิต วงศ์ประทีป)

............................................................อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก

(ผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์)

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

............................................................กรรมการ

(รองศาสตราจารย์ ดร.วิวัฒน์ วัฒนาวุฒิ)

............................................................กรรมการภายนอกมหาวิทยาลัย

(ดร.เด่นดวง ประดับสุวรรณ)

พิชยพัชยา ศรีคร้าม : การออกแบบวงจรควบคุมแบบอสมวารโดยใช้แบบจำลองเอสดีไอ (A DESIGN OF ASYNCHRONOUS CONTROL CIRCUITS USING SDI MODEL) อ.ที่ปรึกษาวิทยานิพนธ์หลัก: ผศ. ดร.อาทิตย์ ทองทักษ์, 75 หน้า.

การออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอ ที่สามารถลดข้อจำกัดของแบบจำลองคิวดีไอ ในแง่ของการออกแบบที่เข้มงวดเกินไป เนื่องจากวงจรที่ออกแบบจำเป็นต้องมีสัญญาณหรือวงจรเพื่อตรวจสอบการเสร็จสิ้นของการเปลี่ยนแปลงระดับสัญญาณที่เกิดขึ้นทุกตัว ซึ่งทำให้วงจรที่ถูกสร้างขึ้นมาเกิดความซับซ้อนเกินความจำเป็น วิทยานิพนธ์ฉบับนี้เสนอวิธีการลดรูปกราฟการเปลี่ยนแปลงระดับสัญญาณภายใต้แบบจำลองเอสดีไอ เรียกว่า การลดรูปของแบบจำลองเอสดีไอ บนวัฎจักรเชิงเดียวโดยการปรับเปลี่ยนพฤติกรรมการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นพร้อมกันบนกราฟการเปลี่ยนแปลงระดับสัญญาณที่พิจารณาแล้วว่าสามารถปรับเปลี่ยนเป็นการเปลี่ยนแปลงสัญญาณตามลำดับ จากการปรับเปลี่ยนพฤติกรรมของการเกิดขึ้นพร้อมกันของสัญญาณซึ่งสามารถลดเส้นทางการเปลี่ยนแปลงสัญญาณ บางเส้นทางที่ไม่จำเป็นของกราฟการเปลี่ยนแปลงระดับสัญญาณที่สามารถรักษาคุณสมบัติความปลอดภัย ,คุณสมบัติไลฟ์แนส , คุณสมบัติแสดงรหัสของสถานะในทางที่เป็นไปได้, คุณสมบัติความทนทาน และคุณสมบัติความสอดคล้องกัน จากผลการทดลองการออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอสามารถลดขนาดและความซับซ้อนของวงจร และผลจากการเปลี่ยนแปลงพฤติกรรมของกราฟการเปลี่ยนแปลงระดับสัญญาณไม่มีผลกระทบต่อการทำงานภายนอกของวงจร

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

| | | | |
|---|---|---|---|
| ภาควิชา | วิศวกรรมคอมพิวเตอร์ | ลายมือชื่อนิสิต | ........................................ |
| สาขาวิชา | วิศวกรรมคอมพิวเตอร์ | ลายมือชื่อ อ.ที่ปรึกษาหลัก | ........................................ |
| ปีการศึกษา | 2558 | | |

# # 5570477021 : MAJOR COMPUTER ENGINEERING
KEYWORDS: ASYNCHRONOUS CONTROL CIRCUITS / SCALABLE-DELAY-INSENSITIVE MODEL (SDI MODEL) / SIGNAL TRANSITION GRAPH (STG) / LOGIC SYNTHESIS

PITCHAYAPATCHAYA SRIKRAM: A DESIGN OF ASYNCHRONOUS CONTROL CIRCUITS USING SDI MODEL. ADVISOR: ASST. PROF. DR.ARTHIT THONGTAK, 75 pp.

A design of asynchronous control circuits using SDI model which is capable to relieve a restricted QDI model,due to a design of this model need the detected circuit or detected signal for all signal transitions , thus the implementation circuit is complex extremely. This thesis proposes the reductional STG (Signal transition Graphs) method based on SDI model, called SDI reduction of modifing the concurrent signal transitions, whether is examined can be modified to sequence signal transitions based on SDI model or not. According to the modified behavior of concurrent signal transition, it can be reduced any extrinsic transitions on STG specification , which satisfies safety, liveness, CSC (complete state coding), persistency, and consistency. As the result of our method, a design of asynchronous control circuits using SDI model can reduce the size and complexity of circuits from the original STG without affecting environments and properties.

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

| | | | |
|---|---|---|---|
| Department: | Computer Engineering | Student's Signature | ............................... |
| Field of Study: | Computer Engineering | Advisor's Signature | ............................... |
| Academic Year: | 2015 | | |

# กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ด้วยความกรุณาอย่างยิ่งของ

ผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์ ผู้เป็นอาจารย์ที่ปรึกษาวิทยานิพนธ์ ได้ให้ความรู้ คำแนะนำต่างๆและความช่วยเหลือ แก่ผู้วิจัยมาโดยตลอด

ขอขอบพระคุณ รองศาสตราจารย์ ดร.สาธิต วงศ์ประทีป รองศาสตราจารย์ ดร.วิวัฒน์ วัฒนาวุฒิ ดร.เด่นดวง ประดับสุวรรณ และคณาจารย์ที่กรุณาให้คำปรึกษาขัดเกลางานวิจัยให้มีความสมบูรณ์

ขอขอบคุณสมาชิกแลป DSEL ทุกคนที่ให้คำปรึกษาและแนะนำสิ่งต่างๆ ที่เกี่ยวข้องกับงานวิจัย

ท้ายที่สุดนี้ ผู้ทำวิจับขอกราบขอบพระคุณบิดา มารดา ที่สนับสนุน ห่วงใย และให้กำลังใจแก่ผู้วิจัยเสมอมา

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

# สารบัญ

หน้า


บทคัดย่อภาษาไทย........................................................................................................................ง

บทคัดย่อภาษาอังกฤษ.................................................................................................................... จ

กิตติกรรมประกาศ........................................................................................................................ ฉ

สารบัญ........................................................................................................................................ ช

สารบัญตาราง.............................................................................................................................. ญ

สารบัญภาพ .................................................................................................................................ฎ

บทที่1 บทนำ................................................................................................................................ 1

1.1 ความเป็นมาและความสำคัญของปัญหา................................................................................... 1

1.2 วัตถุประสงค์การวิจัย............................................................................................................. 2

1.3 ขอบเขตของการวิจัย ............................................................................................................. 2

1.4 ขั้นตอนและวิธีการดำเนินงานวิจัย........................................................................................... 2

1.5 ประโยชน์ที่คาดว่าจะได้รับ...................................................................................................... 3

1.6 บทความที่ตีพิมพ์จากงานวิจัย ................................................................................................ 3

1.7 เนื้อหาของวิทยานิพนธ์............................................................................................................ 4

บทที่2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง............................................................................................. 5

2.1 การแสดงพฤติกรรมวงจรควบคุมแบบอสมวารโดยกราฟการเปลี่ยนแปลงระดับสัญญาณ ....... 5

2.2 คุณสมบัติของกราฟการเปลี่ยนแปลงระดับสัญญาณ .............................................................. 6

2.2.1 คุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผล (causal relation).................................. 6

2.2.2 คุณสมบัติลักษณะความสัมพันธ์เชิงเวลา (temporal relation) .................................. 6

2.2.3 คุณสมบัติไลฟ์แนส (Liveness)................................................................................ 7

2.2.4 คุณสมบัติความปลอดภัย (Safety/safeness) ........................................................... 7

2.2.5 คุณสมบัติความทนทาน (Persistency)....................................................................... 7

หน้า

2.2.6 คุณสมบัติความสอดคล้องกัน (Consistency) ... 8

2.2.7 คุณสมบัติแสดงรหัสของสถานะในทางที่เป็นไปได้ (Complete State Code, CSC) ... 8

2.3 ความสัมพันธ์เชิงล็อก (lock-relation) ... 9

2.3.1 ความสัมพันธ์เชิงล็อกเต็มอัตรา (Full-lock relation) ... 9

2.3.2 ความสัมพันธ์เชิงล็อกครึ่งอัตรา (Semi-lock relation) ... 9

2.3.3 ความสัมพันธ์เชิงล็อกร่วมกัน (Associated lock relation) ... 9

2.3.4 ความสัมพันธ์เชิงล็อกที่มากกว่าหนึ่งความสัมพันธ์ร่วมกัน (Super-lock relation) ... 9

2.3.5 ความสัมพันธ์เชิงล็อกที่ถ่ายทอดลักษณะความสัมพันธ์ (Transitive-lock relation) .. 10

2.4 แบบจำลองเอสดีไอ ... 11

2.5 งานวิจัยที่เกี่ยวข้อง ... 13

บทที่3 การปรับเปลี่ยนพฤติกรรมของกราฟการเปลี่ยนแปลงระดับสัญญาณโดยแบบจำลอง เอสดีไอ ... 15

3.1 แนวทางการลดรูปของแบบจำลองเอสดีไอ ... 17

3.2 ขั้นตอนการออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอ ... 19

บทที่4 การลดรูปของแบบจำลองเอสดีไอ ... 22

4.1 การลดรูปของแบบจำลองเอสดีไอโดยความสัมพันธ์เชิงล็อก ... 22

4.2 ขั้นตอนวิธีการลดรูปของแบบจำลองเอสดีไอ ... 23

4.2.1 การหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเริ่มต้น ... 25

4.2.2 การลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณ ... 29

4.2.3 การปรับปรุงความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณ ... 38

4.3 ตัวอย่างวงจรจากการลดรูปของแบบจำลองเอสดีไอ ... 40

บทที่5 สรุปผลการวิจัยและข้อเสนอแนะ ... 42

5.1 สรุปผลการวิจัย ... 43

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

หน้า

5.2 ข้อเสนอแนะ ........................................ 43

รายการอ้างอิง ........................................ 45

ภาคผนวก........................................ 46

ภาคผนวก ก. การเปรียบเทียบวงจรควบคุมอสมวารที่ออกแบบโดยแบบจำลองคิวดีไอและแบบจำลองเอสดีไอ........................................ 47

ประวัติผู้เขียนวิทยานิพนธ์ ........................................ 75

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

# สารบัญตาราง

**ตารางที่ 5.1 สรุปผลการทดลอง** ........................................................................................ 42

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

# สารบัญภาพ

รูปที่ 2.1 ตัวอย่างกราฟเปลี่ยนแปลงระดับสัญญาณ ........ 6

รูปที่ 2.2 ตัวอย่างกราฟเปลี่ยนแปลงระดับสัญญาณที่ไม่มีคุณสมบัติไลฟ์แนส, คุณสมบัติความปลอดภัย, คุณสมบัติความทนทาน, คุณสมบัติความสอดคล้องกัน ........ 8

รูปที่ 2.3 ตัวอย่างกราฟการเปลี่ยนแปลงระดับสัญญาณเพื่ออธิบายความสัมพันธ์เชิงล็อก[4]........ 10

รูปที่ 2.4 แสดงแบบจำลองเอสดีไอ........ 11

รูปที่ 2.5 แสดงรูปแบบจำลองเอสดีไอ เมื่อกำหนดให้ สัญญาณ t1 มาก่อนสัญญาณ t2 ........ 12

รูปที่ 3.1 (a) แสดงแบบจำลองการเกิดขึ้นพร้อมกันของสองสัญญาณ และ (b) แสดงพฤติกรรมการเปลี่ยนแปลงระดับสัญญาณของแบบจำลอง (a) ในรูปแบบกราฟการเปลี่ยนแปลงระดับสัญญาณ........ 15

รูปที่ 3.2 อธิบายการเกิดพร้อมกันของสัญญาณอินพุตและสัญญาณภายใน ........ 16

รูปที่ 3.3 แสดงพฤติกรรมการเปลี่ยนแปลงระดับสัญญาณที่เกิดพร้อมกันของสัญญาณ........ 17

รูปที่ 3.4 แสดงการลดรูปของแบบจำลองเอสดีไอของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ (a) โดยแสดงผลลัพธ์ที่ได้เป็นการเกิดขึ้นตามลำดับ (b)........ 18

รูปที่ 3.5 (a) แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณ [4] ที่ไม่รองรับคุณสมบัติความทนทาน (b) แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณจากการลดรูปของแบบจำลองเอสดีไอ ........ 18

รูปที่ 3.6 แผนภาพขั้นตอนวิธีการออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอ ........ 19

รูปที่ 3.7 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรฟูลล์........ 20

รูปที่ 3.8 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรฟูลล์ที่ไม่มีคุณสมบัติความปลอดภัย ........ 21

รูปที่ 4.1 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีคุณสมบัติเชิงล็อกที่มากกว่าหนึ่งความสัมพันธ์ของ (a) ที่ไม่คุณสมบัติความทนทาน (b) ที่มีคุณสมบัติความทนทาน........ 23

รูปที่ 4.2 แสดงขั้นตอนวิธีการลดรูปของแบบจำลองเอสดีไอ........ 24

รูปที่ 4.3 แสดงการหาจุดเริ่มต้นของแบบจำลองการเกิดขึ้นพร้อมกัน ........ 27

รูปที่ 4.4 แสดงการพิจารณาการเปลี่ยนแปลงระดับสัญญาณที่สามารถเป็นสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ ........ 28

รูปที่ 4.5 (a) แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ (b) แสดงการลดและเพิ่มเส้นทางการเปลี่ยนแปลงสัญญาณ (c) แสดงผลลัพท์สุดท้ายของ (a) ........ 31

รูปที่ 4.6 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีโทเคนแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ (b) แสดงการลดและโทเคนของเส้นทางการเปลี่ยนแปลงสัญญาณบนเส้นทางการเปลี่ยนแปลงสัญญาณ (c) แสดงผลลัพท์ของ (a) โดยการเพิ่มเส้นและโทเคนของการเปลี่ยนแปลงสัญญาณ ........ 34

รูปที่ 4.7 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีโทเคนแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่ไม่สามารถทำการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณได้ (a) และ (b) ........ 37

รูปที่ 4.8 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนของวงจร (a) และ (b) แสดงผลของวงจรที่ได้จากขั้นตอนการปรับปรุงความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณ ........ 40

รูปที่ 4.9 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรฟูลล์ (full) (a) และ (b) แสดงผลของวงจรการลดรูปของแบบจำลองเอสดีไอ ........ 40

รูปที่ 4.10 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรคอนเวอร์ตา (converta) (a) และ (b) แสดงผลของวงจรการลดรูปของแบบจำลองเอสดีไอ ........ 41

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

# บทที่1
# บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เนื่องจากวงจรสมวาร (Synchronous circuit) เป็นวงจรที่ใช้สัญญาณนาฬิกา (Clock signal) จากภายนอกในการควบคุมการทำงาน จึงทำให้เกิดปัญหาต่างที่เกี่ยวข้องกับสัญญาณนาฬิกา ได้แก่ การแกว่งของสัญญาณนาฬิกา (Clock skew), ประสิทธิภาพการทำงานเท่ากับความหน่วงที่ช้าที่สุด (worst-case) และความสิ้นเปลืองพลังงาน สืบเนื่องจากปัญหาดังกล่าวแนวทางการแก้ไขปัญหาคือการนำวงจรอสมวารมาใช้งานซึ่งมีการควบคุมการทำงานโดยไม่ใช่สัญญาณนาฬิกา

การออกแบบวงจรอสมวารภายใต้แบบจำลองความหน่วงของเกตและสายสัญญาณแบบไม่มีขอบเขต (Unbounded Gate & Wire Delay Model) มีข้อกำหนดว่าการเปลี่ยนแปลงระดับสัญญาณ (Signal Transition) ใดๆ ในทุกตัวนั้นจำเป็นต้องมีคุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผล (Causal Relation) เพื่อรับรองการสิ้นสุดการเปลี่ยนแปลงสัญญาณ ซึ่งป้องกันไม่ให้เกิดความผิดพลาดในการทำงานของวงจร เช่น ฮาซาร์ด (Hazard) เป็นต้น แต่เงื่อนไขของแบบจำลองความหน่วงนี้ ทำให้วงจรที่สร้างขึ้นมาได้นั้นมีขนาดใหญ่เกินความจำเป็น และอยู่ในขีดจำกัดไม่สามารถรองรับการทำงานของวงจรทั่วไปที่ใช้กันในระบบเชิงเลขได้ เพื่อลดปัญหาดังที่กล่าว ได้มีการเสนอแบบจำลองไม่ไวต่อความหน่วงชนิดเสมือนหรือแบบจำลองคิวดีไอ (Quasi-Delay-Insensitive : QDI) [1] ที่เพิ่มคุณสมบัติค่าความหน่วงของกิ่งสัญญาณเทียบเท่าตลอดช่วง (Isochronic Forks) แต่ยังพบปัญหาของวงจรที่ออกแบบจำเป็นต้องมีสัญญาณหรือวงจรเพื่อตรวจสอบการเสร็จสิ้นของการเปลี่ยนแปลงระดับสัญญาณที่เกิดขึ้นทุกตัว นอกเหนือจากส่วนที่เป็นกิ่งมีความหน่วงเท่ากัน ทำให้วงจรมีขนาดใหญ่และซับซ้อนมาก ด้วยเหตุนี้การออกแบบวงจรภายใต้ แบบจำลองความที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ แบบจำลองเอสดีไอ(Scalable-Delay-Insensitive : SDI) [2] ได้พัฒนาต่อยอดมาจากแบบจำลองคิวดีไอที่กล่าว ซึ่งมีเงื่อนไขของวงจรที่ได้มานั้น จะมีลำดับการเปลี่ยนแปลงของการเปลี่ยนแปลงระดับสัญญาณตามที่กำหนดไว้ได้ภายใต้ขอบเขตค่าความเบี่ยงเบนของความหน่วงที่กำหนด  กล่าวคือ หากการเปลี่ยนแปลงสัญญาณกลุ่มหนึ่งที่เป็นลำดับกันภายใต้ความเบี่ยงเบนที่กำหนด คุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผลของการเปลี่ยนแปลงสัญญาณหนึ่งที่รับรองการสิ้นสุดการเปลี่ยนแปลงสัญญาณนั้น จะสามารถเป็นตัวแทนการรับรองการสิ้นสุดของการเปลี่ยนแปลงสัญญาณอื่นที่อยู่ลำดับก่อนหน้านั้นด้วย ทำให้ไม่จำเป็นต้องสร้างสัญญาณหรือวงจรที่ตรวจสอบการเสร็จสิ้นของการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นและวงจรที่สร้างขึ้นมาจึงมีขนาดเล็กลงได้

อย่างไรก็ตาม การออกแบบวงจรภายใต้แบบจำลองเอสดีไอนี้ ที่ผ่านมา นำมาใช้เฉพาะในการออกแบบวงจรเชิงผสมแบบอสมวาร (Asynchronous Combinational Circuits) เท่านั้น[3] ยังไม่มีงานวิจัยที่กล่าวถึงการออกแบบวงจรควบคุมหรือวงจรเชิงลำดับแบบอสมวาร Asynchronous Sequential Circuits) โดยใช้แบบจำลองเอสดีไอ ดังนั้นงานวิจัยนี้จึงเป็นการศึกษาและพัฒนาวิธีการออกแบบวงจรควบคุมแบบอสมวารภายใต้แบบจำลองเอสดีไอ ที่รับประกันความเบี่ยงเบนของความหน่วงในค่าที่กำหนดโดยใช้กราฟการเปลี่ยนแปลงระดับสัญญาณ (Signal Transition Graph (STG)) ที่แสดงพฤติกรรมของวงจรควบคุมแบบอสมวารที่ทำงานภายใต้แบบจำลองคิวดีไอ มาลดรูปให้สามารถทำงานภายใต้แบบจำลองเอสดีไอ แล้วนำมาสร้างวงจรซึ่งเป็นผลให้วงจรที่ได้มามีขนาดเล็กและมีความซับซ้อนน้อยลง

1.2 วัตถุประสงค์การวิจัย

เพื่อศึกษาและพัฒนาการออกแบบวงจรควบคุมแบบอสมวารแบบจำลองเอสดีไอ (Scalable-Delay-Insensitive (SDI) Model)

1.3 ขอบเขตของการวิจัย

1. กราฟการเปลี่ยนแปลงระดับสัญญาณที่ใช้สำหรับการทดสอบของงานวิจัยนี้มีคุณสมบัติที่รับประกันการสร้างวงจรเช่น คุณสมบัติของความทนทาน, คุณสมบัติความสอดคล้องกัน, คุณสมบัติไลฟ์แนส, คุณสมบัติความปลอดภัย และ คุณสมบัติแสดงรหัสของสถานะในทางที่เป็นไปได้

2. กราฟการเปลี่ยนแปลงระดับสัญญาณที่ได้ในการลดรูปของแบบจำลองเอสดีไอ (SDI reduction) ของงานวิจัยนี้ มีการประเมินความหน่วง (Delay - Estimation) ล่วงหน้า เพื่อให้รู้ว่าการเปลี่ยนระดับสัญญาณใดที่ถูกพิจารณาเกิดก่อนหรือเกิดหลัง อย่างไร

3. ทำการสร้างวงจรกราฟการเปลี่ยนแปลงระดับสัญญาณที่ปรับปรุงภายใต้แบบจำลองเอสดีไอโดยใช้หลักการของซุง บัล พาร์ก (S.B. Park) [4] และนำมาเปรียบเทียบขนาดของวงจรโดยตัวแปรของจำนวนสัญญาณภายใน, จำนวนลอจิกเกต และอุปกรณ์ชนิดซี (C- element) กับวงจรที่ได้มาจากกราฟการเปลี่ยนแปลงระดับสัญญาณเดิม

1.4 ขั้นตอนและวิธีการดำเนินงานวิจัย

1. ศึกษากราฟการเปลี่ยนแปลงระดับสัญญาณซึ่งเป็นเครื่องมือที่ใช้กำหนดคุณลักษณะของวงจรแบบอสมวาร

2. ศึกษาวงจรอสมวารด้วยคุณลักษณะของความหน่วงต่างๆ
3. ศึกษาขั้นตอนวิธีการสร้างวงจรแบบอสมวารภายใต้เงื่อนไขของซัม บุง พาร์ก
4. ออกแบบขั้นตอนวิธีการลดรูปวงจรอสมวารภายใต้เงื่อนไขของแบบจำลองเอสดีไอ
5. พัฒนาขั้นตอนวิธีการลดรูปวงจรอสมวารภายใต้เงื่อนไขของแบบจำลองเอสดีไอ
6. ทดสอบและปรับปรุงขั้นตอนวิธี
7. สรุปผลการวิจัย
8. จัดทำรายงานวิทยานิพนธ์

## 1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. เป็นแนวทางการพัฒนาขั้นตอนวิธีการลดรูปวงจรอสมวาร
2. เป็นแนวทางการวิจัยด้านการพัฒนาการสังเคราะห์วงจรอสมวารที่มีขนาดเล็กและซับซ้อนน้อยลง

## 1.6 บทความที่ตีพิมพ์จากงานวิจัย

ส่วนหนึ่งของวิทยานิพนธ์ฉบับนี้ถูกตีพิมพ์และนำเสนอในงานประชุมระหว่างประเทศของวิศวกรและนักวิทยาศาสตร์คอมพิวเตอร์ 2557 (The International MultiConference of Engineering and Computer Scientists : IMECS 2014) เมื่อวันที่ 12-14 มีนาคม 2557 ในบทความเรื่อง “A Design of Asynchronous Control Circuit based on SDI model” โดยผู้นำเสนอคือ นางสาวพิชยพัชยา ศรีคร้าม และ ผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์ และงานประชุมระหว่างประเทศของวงจร/ระบบของหลักการคอมพิวเตอร์และหลักการการสื่อสาร 2558 ( The International Technical Conference on Circuit/Systems, Computers and Communications : ITC-CSCC 2015 ) เมื่อวันที่ 29 มิถุนายน – 2 กรกฎาคม 2558 ในบทความเรื่อง “Scalable-Delay-Insensitive optimization based on Lock relation” โดยผู้นำเสนอคือ นางสาวพิชยพัชยา ศรีคร้าม และ ผู้ช่วยศาสตราจารย์ ดร.อาทิตย์ ทองทักษ์

1.7 เนื้อหาของวิทยานิพนธ์

เนื้อหาของวิทยานิพนธ์ฉบับนี้จะแบ่งออกเป็นหกบทย่อยๆ โดยบทที่ 1 จะกล่าวถึงบทนำ ส่วนในบทที่ 2 จะกล่าวถึงทฤษฎีและงานวิจัยที่เกี่ยวข้อง ในบทที่ 3 จะอธิบายเกี่ยวกับการปรับเปลี่ยนพฤติกรรมของกราฟการเปลี่ยนแปลงระดับสัญญาณโดยใช้แบบจำลองเอสดีไอ โดยกราฟการเปลี่ยนแปลงระดับสัญญาณที่อธิบายพฤติกรรมของวงจรอสมวารโดยใช้แบบจำลองเอสดีไอ บทที่ 4 จะอธิบายการลดรูปของแบบจำลองเอสดีไอจากความสัมพันธ์เชิงล็อก ภายใต้การปรับเปลี่ยนพฤติกรรมของการเปลี่ยนแปลงระดับสัญญาณ ความสัมพันธ์เชิงล็อกสามารถอธิบายความสัมพันธ์ของลำดับการเกิดขึ้นระหว่างสองสัญญาณใดๆ ซึ่งรองรับความถูกต้องของสัญญาณในรูปแบบความสัมพันธ์เกี่ยวกับเหตุและผล และ การตรวจสอบคุณสมบัติของความปลอดภัย และคุณสมบัติไลฟ์แนส และ บทที่ 5 จะเป็นบทสรุปผลการวิจัย และข้อเสนอแนะ

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

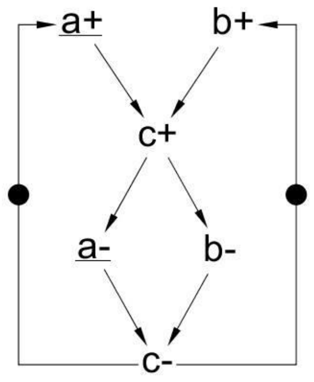
# บทที่2
# ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

ในบทนี้จะกล่าวถึงทฤษฎีและงานวิจัยต่างๆที่นำมาประยุกต์ใช้เพื่อการออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอ โดยจะกล่าวถึง การแสดงพฤติกรรมวงจรควบคุมแบบอสมวารโดยกราฟการเปลี่ยนแปลงระดับสัญญาณ และ การออกแบบวงจรอสมวารแบบจำลองเอสดีไอหรือแบบจำลองที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้

## 2.1 การแสดงพฤติกรรมวงจรควบคุมแบบอสมวารโดยกราฟการเปลี่ยนแปลงระดับสัญญาณ

กราฟการเปลี่ยนแปลงระดับสัญญาณ (Signal Transition Graph , STG) เป็นเครื่องมือที่ใช้กำหนดคุณลักษณะของวงจรแบบอสมวารอย่างมีแบบแผน ซึ่งถูกพัฒนาโดย Tam-Anh Chu [1] มีลักษณะเป็นกราฟแบบมีทิศทาง (Directed Graph) และประกอบด้วย มาร์กกิ้ง (marking) หรือ โทเคน (Token) เขียนแทนด้วยสัญลักษณ์ • แสดงสถานะหรือ สเตต (State) ของการเปลี่ยนแปลงระดับสัญญาณ (signal transition) ในกราฟการเปลี่ยนแปลงระดับสัญญาณ ณ ขณะใดขณะหนึ่ง

กราฟการเปลี่ยนแปลงระดับสัญญาณ จะต้องมีสัญลักษณ์ มาร์กกิ้งเริ่มต้น (initial marking) เพื่อแสดงสถานะเริ่มต้น (initial state) ของการทำงานของวงจร และ ลูกศร (arc) เขียนสัญลักษณ์แทนด้วย ⟶ ภายใต้คุณสมบัติความสัมพันธ์เกี่ยวกับสาเหตุ (causal relation) ระหว่างการเปลี่ยนแปลงระดับสัญญาณ ดังแสดงดังรูปที่ 2.1ซึ่งประกอบด้วยการเปลี่ยนแปลงของสัญญาณ โดย a คือ สัญญาณอินพุต (input signal) , c คือ สัญญาณเอาต์พุต (output signal), b คือ สัญญาณภายในวงจร (internal signal) และสภาพแวดล้อมโดยรอบของวงจร (Environment) ซึ่งเทียบได้กับการอธิบายพฤติกรรมของวงจรโดยเพรติเนท (Petri nets) ที่มีคุณสมบัติไลฟ์แนส, ความปลอดภัย และ ฟรีช้อยด์ ( Liveness-Safeness Free-Choice (LSFC)) ตัวอย่างของกราฟการเปลี่ยนแปลงระดับสัญญาณดังแสดงในรูปที่ 2.1




รูปที่ 2.1 ตัวอย่างกราฟเปลี่ยนแปลงระดับสัญญาณ

การออกแบบวงจรควบคุมแบบอสมวารโดยกราฟการเปลี่ยนแปลงระดับสัญญาณ [3] จำเป็นต้องมีคุณสมบัติดังนี้

2.2 คุณสมบัติของกราฟการเปลี่ยนแปลงระดับสัญญาณ

2.2.1 คุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผล (causal relation)

เขียนแทนด้วยสัญลักษณ์ R เช่น t1Rt2 หมายถึงการเปลี่ยนแปลงระดับสัญญาณ t1 จะทำให้เกิดการเปลี่ยนแปลงของระดับสัญญาณ t2 สำหรับในกราฟเปลี่ยนแปลงระดับสัญญาณจะใช้ลูกศรทางเดียวเป็นสัญลักษณ์เพื่อแสดงความสัมพันธ์ดังกล่าว จากรูปที่ 2.1 a+ ⟶ c+ หมายถึงการเปลี่ยนแปลงระดับสัญญาณขึ้น a จะมีผลทำให้เกิดการเปลี่ยนแปลงระดับสัญญาณขาขึ้น c แต่การเปลี่ยนแปลงระดับสัญญาณขาขึ้น c จะเกิดขึ้นได้ก็ต่อเมื่อต้องเกิดการเปลี่ยนแปลงระดับสัญญาณขาขึ้น b ด้วย

2.2.2 คุณสมบัติลักษณะความสัมพันธ์เชิงเวลา (temporal relation)

คุณสมบัติลักษณะความสัมพันธ์เชิงเวลา จะเป็นความสัมพันธ์แบบทวิภาค (binary relation) ของการเปลี่ยนแปลงสัญญาณใดๆ ในเซตของการเปลี่ยนแปลงสัญญาณกราฟเปลี่ยนแปลงระดับสัญญาณสามารถแสดงความสัมพันธ์ระหว่างการเปลี่ยนแปลงสัญญาณใดๆ ได้ทั้งในแบบลำดับ (sequence) และแบบพร้อมกัน (concurrency) ดังตัวอย่างจากรูปที่ 2.1

- การเปลี่ยนแปลงระดับสัญญาณขาขึ้น a กับ c จะมีความสัมพันธ์แบบอับดับ ดังนั้นเซตลำดับของการเปลี่ยนแปลงสัญญาณ a กับ c คือ {a+ c+}

- การเปลี่ยนแปลงระดับสัญญาณขาขึ้น a กับ b จะมีความสัมพันธ์แบบพร้อมกัน ดังนั้นเซตลำดับของการเปลี่ยนแปลงสัญญาณ a กับ b คือ {a+ b+, b+ a+}

แต่อย่างไรก็ตามในการสังเคราะห์วงจร (synthesize circuit) เพื่อให้ได้วงจรที่มีคุณลักษณะปราศจากการติดตาย (deadlock free) และ ปราศจากฮาซาร์ด (hazard free) นั้น กราฟการเปลี่ยนแปลงระดับสัญญาณ ยังจะต้องมีข้อกำหนดดังต่อไปนี้

2.2.3 คุณสมบัติไลฟ์แนส (Liveness)

ทุกๆ จุดที่โทเคน สามารถทำให้เกิดการเปลี่ยนแปลงระดับสัญญาณได้อีก เมื่อเกิดการเปลี่ยนแปลงระดับสัญญาณไปแล้ว ตัวอย่างการเปลี่ยนแปลงระดับสัญญาณจากรูปที่ 2.2 จะไม่มีคุณสมบัติคุณสมบัติไลฟ์แนส เนื่องจากการเปลี่ยนแปลงระดับสัญญาณ r+ จะเกิดขึ้นเพียงครั้งเดียวเท่านั้น

2.2.4 คุณสมบัติความปลอดภัย (Safety/safeness)

กราฟการเปลี่ยนแปลงระดับสัญญาณสามารถมีจำนวนโทเคนได้มากที่สุดเพียงหนึ่ง บนการเปลี่ยนระดับสัญญาณหรือบนวัฏจักรเชิงเดียว (simple cycle) ตัวอย่างกราฟการเปลี่ยนแปลงระดับสัญญาณจากรูปที่ 2.2 จะไม่มีคุณสมบัติความปลอดภัย เนื่องจาก x+ ⟶ z+ บนวัฏจักรเชิงเดียวมีจำนวนโทเคนมากกว่าหนึ่งโทเคน

2.2.5 คุณสมบัติความทนทาน (Persistency)

ทุกๆ ความสัมพันธ์ a*⟶ b* (t* หมายถึงการเปลี่ยนแปลงระดับสัญญาณ t+ หรือ t-) ในกราฟการเปลี่ยนแปลงระดับสัญญาณ โดยการเปลี่ยนแปลงสัญญาณ b* จะต้องเกิดก่อนการเปลี่ยนแปลงสัญญาณ a* ในทิศตรงกันข้าม ตัวอย่างกราฟการเปลี่ยนแปลงระดับสัญญาณจากรูปที่ 2.2 จะไม่มีคุณสมบัติความทนทาน ในส่วนของ x+ ⟶ y+ เนื่องจาก x- สามารถเกิดการเปลี่ยนแปลงระดับสัญญาณได้ก่อนที่ y+ จะเกิดการเปลี่ยนแปลงระดับสัญญาณ แต่คุณสมบัตินี้มีข้อยกเว้นสำหรับสัญญาณอินพุตเช่น a* ⟶ b* ถึงแม้ว่าสัญญาณ a* ในทิศทางตรงกันข้ามจะต้องเกิดก่อนการเปลี่ยนแปลงสัญญาณ b* กราฟการเปลี่ยนแปลงระดับสัญญาณนั้นก็ยังคงมีคุณสมบัติความทนทานอยู่

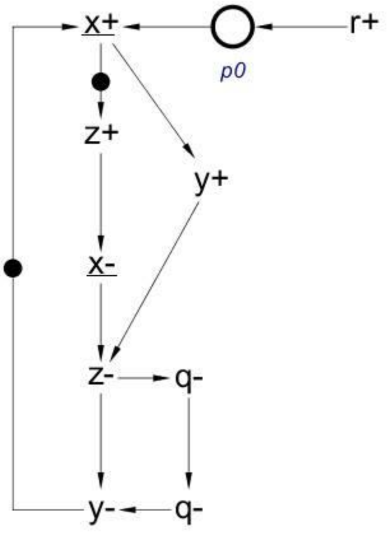
จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

2.2.6 คุณสมบัติความสอดคล้องกัน (Consistency)

เมื่อมีการเปลี่ยนแปลงระดับสัญญาณของทุกๆ สัญญาณในกราฟการเปลี่ยนแปลงระดับสัญญาณจะมีการเปลี่ยนแปลงระดับสัญญาณในครั้งต่อไปของสัญญาณนั้นๆ แต่จะต้องเปลี่ยนแปลงในทิศทางตรงกันข้ามเท่านั้น ตัวอย่างกราฟการเปลี่ยนแปลงระดับสัญญาณจากรูปที่ 2.2 จะไม่มีคุณสมบัติความสอดคล้องกัน เนื่องจากเกิดการเปลี่ยนแปลงสัญญาณ q มีเพียงการเปลี่ยนแปลงระดับสัญญาณ q- โดยไม่มีการเปลี่ยนแปลงระดับสัญญาณ q+

2.2.7 คุณสมบัติแสดงรหัสของสถานะในทางที่เป็นไปได้ (Complete State Code, CSC)

การสังเคราะห์วงจรควบคุมแบบอสมวารจำเป็นต้องมีคุณสมบัติแสดงรหัสของสถานะในทางที่เป็นไปได้ เมื่อการเปลี่ยนแปลงระดับสัญญาณใดๆ จะมีค่าที่แตกต่าง ณ ตำแหน่งสถานะแสดงโดยจุดโทเคนนั้นๆ หากไม่เป็นเช่นกรณีนี้จำเป็นต้องเพิ่มสัญญาณหรือเพิ่มสถานะของวงจร




รูปที่ 2.2 ตัวอย่างกราฟเปลี่ยนแปลงระดับสัญญาณที่ไม่มีคุณสมบัติไลฟ์แนส, คุณสมบัติความปลอดภัย, คุณสมบัติความทนทาน, คุณสมบัติความสอดคล้องกัน

### 2.3 ความสัมพันธ์เชิงล็อก (lock-relation)

ความสัมพันธ์เชิงล็อก [4] อธิบายความสัมพันธ์ระหว่างสองสัญญาณใด บนกราฟวัฏจักรเชิงเดียว (simple cycle) กล่าวคือสัญญาณสามารถสื่อสารกลับมายังจุดเริ่มได้ แบ่งออกเป็น 5 คุณสมบัติดังนี้

#### 2.3.1 ความสัมพันธ์เชิงล็อกเต็มอัตรา (Full-lock relation)

เมื่อสองสัญญาณใดๆ a และ b บนกราฟวัฏจักรเชิงเดียว มีพฤติกรรมของ $a * \to b * \to \overline{a *} \to \overline{b *}$ แล้วนั้นจะกล่าวได้ว่า a และ b มีความสัมพันธ์เชิงล็อกเต็มอัตรา

#### 2.3.2 ความสัมพันธ์เชิงล็อกครึ่งอัตรา (Semi-lock relation)

เมื่อสองสัญญาณใดๆ a และ b บนกราฟวัฏจักรเชิงเดียว มีพฤติกรรมของ $a * \to b * \to \overline{a *}$ หรือ $b * \to \overline{a *} \to \overline{b *}$ แล้วนั้นจะกล่าวได้ว่า a และ b เป็น ความสัมพันธเชิงล็อกครึ่งอัตรา

#### 2.3.3 ความสัมพันธ์เชิงล็อกร่วมกัน (Associated lock relation)

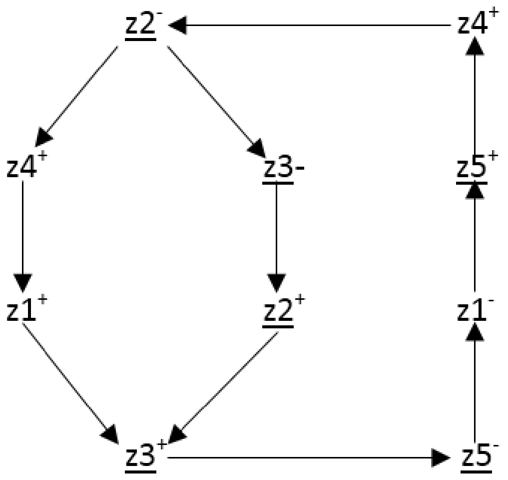
เมื่อ A เป็นชุดสัญญาณของความสัมพันธ์เชิงล็อกเต็มอัตราของ สองสัญญาณ a1 และ a2 แต่ละสมาชิกของชุด A เป็น ความสัมพันธ์เชิงล็อกเต็มอัตรากับ สัญญาณ b มีพฤติกรรมของ $\exists a1, a2 \in A : a1 \to b * \to a2 \to \overline{b *}$ บนกราฟวัฏจักรเชิงเดียว ดังนั้น A และ b ความสัมพันธ์เชิงล็อกร่วมกัน และ A ∪ b หรือ ความสัมพันธ์เชิงล็อกที่ถ่ายทอดพฤติกรรมที่ลำดับที่ 0 (level-0) เช่นกัน

#### 2.3.4 ความสัมพันธ์เชิงล็อกที่มากกว่าหนึ่งความสัมพันธ์ร่วมกัน (Super-lock relation)

การเกิดขึ้นพร้อมกันระหว่างสมาชิกใดๆของสองสัญญาณที่มีความสัมพันธ์เชิงล็อกร่วมกัน โดย สมาชิกใดๆ ของชุดสัญญาณของความสัมพันธ์เชิงล็อกเต็มอัตรา A และกับสมาชิกใดๆ ของสัญญาณ t มีความสัมพันธ์เชิงล็อกร่วมกัน เมื่อสมาชิกของสัญญาณ t* ใดๆ เกิดขึ้นพร้อมกัน (concurrency) กับ ความสัมพันธ์เชิงล็อกเต็มอัตรา ของชุดการเปลี่ยนแปลงระดับสัญญาณ A ดังนั้น t* มีความสัมพันธ์เชิงล็อกที่มากกว่าหนึ่งสัมพันธ์ร่วมกันของสัญญาณ A

2.3.5 ความสัมพันธ์เชิงล็อกที่ถ่ายทอดลักษณะความสัมพันธ์ (Transitive-lock relation)

มีคุณสมบัติคล้ายกันกับความสัมพันธ์เชิงล็อกร่วมกัน ซึ่งมีความแตกต่างกันโดยคุณสมบัติของชุดสัญญาณความสัมพันธ์เชิงล็อกเต็มอัตรา ที่มีมากกว่า 2 ชุดสัญญาณบนกราฟวัฏจักรเชิงเดียวดังนี้ $\exists a1, a2, a3 \in A: a1 \rightarrow a2 \rightarrow b * \rightarrow a3 \rightarrow \overline{b*}$ ดังนั้น A ∪ b (level (i+1) )เป็น ความสัมพันธ์เชิงล็อกที่ถ่ายทอดลักษณะความสัมพันธ์




รูปที่ 2.3 ตัวอย่างกราฟการเปลี่ยนแปลงระดับสัญญาณเพื่ออธิบายความสัมพันธ์เชิงล็อก[4]

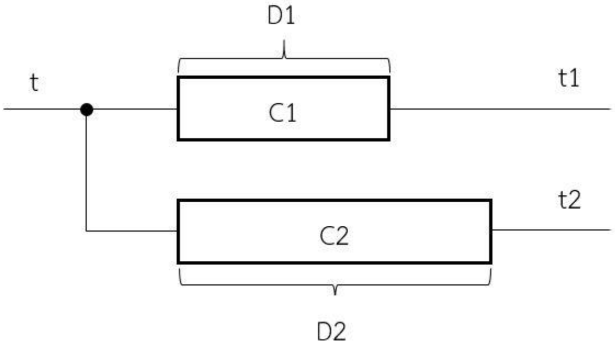
จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

จากรูปที่ 2.3 ตัวอย่างกราฟการเปลี่ยนแปลงระดับสัญญาณ อธิบายโดยคุณสมบัติเชิงล็อกของกราฟการเปลี่ยนแปลงระดับสัญญาณ เมื่อสัญญาณอินพุตของวงจร (input signal) คือ z2, z5 และ z3 และสัญญาณภายในวงจร (internal signal) คือ z1 และ z4 จากตัวอย่างกราฟการเปลี่ยนแปลงระดับสัญญาณไม่มีคุณสมบัติความทนทาน เนื่องจาก z2- เป็นสัญญาณก่อให้เกิดของ z4- และ z2+ เป็นการเปลี่ยนแปลงระดับสัญญาณที่เกิดพร้อมกับ z4+ หากพิจารณาสัญญาณ z1 มีความสัมพันธ์เชิงล็อกครึ่งอัตรา กับสัญญาณ z2, z3 และ z5 ส่วนสัญญาณ z2 มีความสัมพันธ์เชิงล็อกครึ่งอัตรา กับ z1, z3 และ z4 ในความสัมพันธ์เชิงล็อกเต็มอัตรา มีสัญญาณสองชุดคือ z1 กับ z5 และ z2 กับ z3 สัญญาณ z4 มีความสัมพันธ์เชิงล็อกร่วมกัน กับ ชุดสัญญาณความสัมพันธ์เชิงล็อกเต็มอัตรา ของ z2 กับ z3 อีกทั้งมีความสัมพันธ์เชิงล็อกที่มากกว่าหนึ่งสัมพันธ์ร่วมกัน เนื่องจาก z4+ เกิดขึ้นพร้อมกันกับสัญญาณ z2+ ของชุดสัญญาณความสัมพันธ์เชิงล็อกที่มากกว่าหนึ่งความสัมพันธ์ร่วมกัน ของ z2 กับ z3 .ในความสัมพันธ์เชิงล็อกที่ถ่ายทอดลักษณะความสัมพันธ์ z1 มีความสัมพันธ์

เชิงล็อกที่ถ่ายทอดลักษณะความสัมพันธ์ กับชุดสัญญาณ z2, z3 และ z4 เมื่อพิจารณา z5 จะมีความสัมพันธ์เชิงล็อกที่ถ่ายทอดลักษณะความสัมพันธ์กับทุกสัญญาณ

2.4 แบบจำลองเอสดีไอ

แบบจำลองเอสดีไอเป็นแบบจำลองที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ (*Scalable-Delay-Insensitive (SDI) Model*) [5] เป็นแบบจำลองประเภทความหน่วงแบบไม่มีขอบเขต (Unbounded Delay) กล่าวคือ ไม่มีการกำหนดเวลาที่ช้าที่สุดในการเปลี่ยนแปลงระดับสัญญาณ โดยสมมติฐานของความหน่วงบนเกตและสายสัญญาณ ซึ่งมีความแตกต่างกับแบบจำลองคิวดีไอ หรือแบบจำลองที่ไม่ไวต่อความหน่วงเสมือน




รูปที่ 2.4 แสดงแบบจำลองเอสดีไอ

Chulalongkorn University

นิยามแบบจำลองเอสดีไอ เมื่อกล่าวถึงสององค์ประกอบ หมายถึง เกต หรือสายสัญญาณระหว่างสองเกต โดยกำหนดให้ค่า D1 และ D2 เป็นค่าความหน่วงสำหรับองค์ประกอบใดๆ ถูกกำหนดให้เป็นค่าตัวแปรของ C1 และ C2 ความสัมพันธ์ค่าความหน่วง D ของ C1 แสt C2 ถูกแสดงโดยสมการ D = D1/D2 กำหนด De ค่าความหน่วงประมาณสัมพัทธ์ (Estimated Relative Delay : De) สำหรับองค์ประกอบและค่าความหน่วงจริงสัมพัทธ์ (Actual Relative Delay : Da) ตลอดเส้นทางการผ่านระหว่างสองสัญญาณ อัตราส่วน R = Da/De อ้างถึง อัตราส่วนความหน่วงสัมพัทธ์ (Relative Delay Ratio : R) ณ เวลาใด t ขององค์ประกอบ เมื่อพิจารณาระหว่างสององค์ประกอบ C1 และ C2 ในวงจร เรากำหนด R1 และ R2 นิยามมาตราส่วน ( scaling ratios ) ณ เวลา t สำหรับองค์ประกอบของ C1 และ C2 ดังนั้น Ratio V = R2/R1 อ้างถึงอัตราส่วนความเบี่ยงเบนความหน่วง (scaling variation : V) ในช่วงเวลาการส่งผ่านสัญญาณระหว่าง C1 และ C2 ค่าอัตราส่วนความ

แปรปรวนความหน่วงระหว่างสององค์ประกอบเป็นค่าที่มีขอบเขตซึ่งไม่เกินค่าอัตราส่วนความแปรปรวนความหน่วงสูงสุด หรือ 1/K ≤V≤ K เมื่อ K คือ อัตราส่วนความแปรปรวนความหน่วงสูงสุด (Maximum Delay Variation Ratio : K) ซึ่งความสัมพันธ์ที่นำมาสร้างวงจรแบบจำลองเอสดีไอ ( SDI implementation)

เมื่อกำหนดให้ K มีค่ามากกว่า 1 เป็นผลทำให้สามารถกำหนดได้ว่าต้องการให้สัญญาณใดมาก่อนสามารถอธิบายตามสมการจากขอบเขตความสัมพันธ์ของ 1/K ≤V≤ K เมื่อแทนค่าด้วยค่าคงที่ตัวแปรต่างๆ จะได้ดังนี้

$$\frac{1}{K} \leq V = \frac{R2}{R1} = \frac{Da2 \cdot De1}{De2 \cdot Da1} \leq K \tag{1}$$

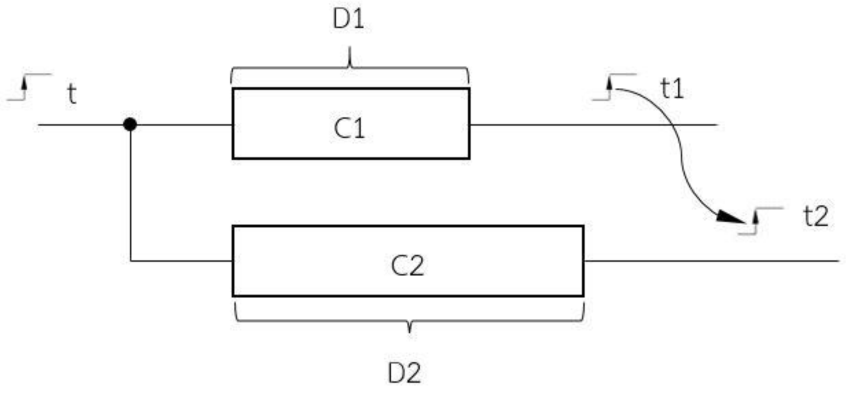
จะได้ความสัมพันธ์ใหม่ตามสมการที่ (2) และ (3) ดังนี้

$$\frac{De2 \cdot Da1}{Da2} \leq K \cdot De1 \tag{2}$$

$$\frac{De1 \cdot Da2}{Da1} \leq K \cdot De2 \tag{3}$$

จากสมการข้างต้นสามารถกล่าวได้ว่า ถ้า *K* • *De*1 < *De*2, ดังนั้น *Da*1 < *Da*2

หรือ ถ้า *K* • *De*2 < *De*1, ดังนั้น *Da*2 < *Da*1




รูปที่ 2.5 แสดงรูปแบบจำลองเอสดีไอ เมื่อกำหนดให้ สัญญาณ t1 มาก่อนสัญญาณ t2

จากรูปที่ 2.5 เมื่อกำหนดว่าให้สัญญาณของ t1 มาก่อนสัญญาณ t2 ดังนั้นความสัมพันธ์คือ K ▪ De1 < De2, ดังนั้น Da1 < Da2 สามารถให้ความหมายของลำดับการเปลี่ยนแปลงสัญญาณ d2

>> d1 ภายใต้ค่าเบี่ยงเบน K ทำให้เมื่อมีการรับรองการสิ้นสุดการเปลี่ยนแปลงสัญญาณ d2 เกิดขึ้น จะสามารถรับประกันได้ว่า การเปลี่ยนแปลงสัญญาณ d1 นั้นได้เสร็จสิ้นแล้วเช่นกัน

สรุป ในออกแบบวงจรภายใต้แบบจำลองเอสดีไอที่ d2 แสดงการเปลี่ยนแปลงสัญญาณจากภายนอกวงจร และ d1 แสดงการเปลี่ยนแปลงสัญญาณภายในวงจร จากข้อกำหนดของแบบจำลองเอสดีไอ ที่กล่าว ทำให้ไม่จำเป็นต้องสร้างสัญญาณหรือวงจรที่ตรวจสอบการเสร็จสิ้นของการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นของ d1 ทำให้วงจรที่สร้างขึ้นมามีขนาดเล็กลงได้

อย่างไรก็ตาม ออกแบบวงจรภายใต้แบบจำลองเอสดีไอนี้ ที่ผ่านมา นำมาใช้เฉพาะในการออกแบบวงจรเชิงผสมแบบอสมวาร (Asynchronous Combinational Circuits) เท่านั้น ยังไม่มีงานวิจัยที่กล่าวถึงการออกแบบวงจรควบคุมหรือวงจรเชิงลำดับแบบอสมวาร Asynchronous Sequential Circuits) โดยใช้แบบจำลองเอสดีไอ

2.5 งานวิจัยที่เกี่ยวข้อง

Masashi Imai, Metehan Ozcan และ Takashi Nanya [6]งานวิจัยนี้เสนอการตัดสินใจการใช้ค่าอัตราส่วนความแปรปรวนความหน่วงสูงสุด ซึ่งเป็นปัจจัยหลักของวงจรอสมแบบจำลองเอสดีไอ (Scalable-Delay-Insensitive (SDI) Model) ค่าความหน่วงของวงจรขึ้นอยู่กับตัวแปรของค่าแปรปรวนความหน่วงสูงสุดที่ถูกนำเสนอการประเมินหาค่า ค่าแปรปรวนความหน่วงสูงสุด ที่เหมาะสมต่อเทคโนโลยีและการทำงานภายใต้สภาพแวดล้อมที่มีผลการเบี่ยงเบนของค่าความหน่วง ในกรณีศึกษาของการส่งข้อมูลชนิดมีขอบเขตบนเส้นทางความหน่วงที่แตกต่างกัน งานวิจัยนี้แบ่งออกเป็น 3 ชนิด คือ ประเภทที่ 1 การออกแบบเส้นทางความหน่วงโดยใช้กฎความหน่วงของสาย (Delay line using wire delays) การออกแบบช่องสัญญาณในส่วนของอินพุตและเอาต์พุตโดยให้ค่า RC มีค่า $3\pi$ ในส่วนของความหน่วงสายและอินเวนเตอร์กับช่องสัญญาณมีค่าความยาว L ที่น้อยที่สุด

ประเภทที่ 2 การออกแบบเส้นทางความหน่วงโดยใช้เกตมีการต่อแบบลูกโซ่ (chain of gate) การออกแบบเกทมีการต่อแบบลูกโซ่ เมื่อประกอบด้วยอินเวนเตอร์ถูกออกแบบให้ช่องสัญญาณมีค่าความยาว L ที่น้อยที่สุด และทรานซิเตอร์ถูกออกแบบให้มีค่าความกว้างที่น้อยที่สุด

ประเภทที่ 3 การออกแบบเส้นทางความหน่วงโดยใช้เกทที่มีช่องสัญญาณที่มีความยาว L เมื่อภายในช่องสัญญาณประกอบด้วยอินเวนเตอร์ถูกออกแบบให้ช่องสัญญาณมีค่าความยาว Lใดๆ มีค่าเท่ากับ mL(m>1) และทรานซิเตอร์ถูกออกแบบให้มีค่าความกว้างที่น้อยที่สุดเมื่อมีการต่อแบบลูกโซ่

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

นักวิจัยได้ทำการทดลองเพื่อค่าหาอัตราส่วนความแปรปรวนความหน่วงสูงสุด ที่เหมาะสมต่อเส้นทางหน่วง 3 ประเภทนี้ภายใต้เทคโนโลยี 0.13 ไมโครเมตร (um) และในสภาพแวดล้อมมีตัวแปรหลักที่ทำให้ค่าความหน่วงมีการเบี่ยงเบน ได้แก่ การสร้างชิ้นงาน, อุณหภูมิในขณะที่วงจรทำงาน, ค่าความต่างศักย์ไฟฟ้า และ การแทรกของสัญญาณ ผลของการประเมินสำหรับขนาดอัตราส่วนของส่วนประกอบวงจรและตัวแปรของขนาดระหว่างสององค์ประกอบใดๆ ในวงจรโดยการใช้เครื่องมือแบบจำลองสำหรับออกแบบวงจรรวม ( Simulation Program with Integrated Circuit Emphasis, SPICE) เป็นตัวประเมิน

Cortadella, J.งานวิจัย [7] ในปี 1998ได้นำเสนอวิธีการสังเคราะห์วงจรควบคุมรูปแบบอสมวารภายใต้การทำงานของความสัมพันธ์เชิงเวลา (relative time) โดยการกำหนดค่าเวลารูปแบบนามธรรมซึ่งอธิบายเหตุการณ์ของการเปลี่ยนแปลงระดับสัญญาณใดๆ ระหว่างสองสัญญาณ ตัวอย่างเช่น “เหตุการณ์ a เกิดก่อนเหตุการณ์ b” หรือ เหตุการณ์ a เกิดพร้อมกับเหตุการณ์ b และใช้การหาค่าที่เหมาะสมในความสัมพันธ์เชิงเวลาของสองสัญญาณ โดยวิธีที่นักวิจัยได้เสนอนั้นเสนอวิธีการอธิบายลักษณะการทำงานของระบบการเปลี่ยนแปลงระดับสัญญาณที่เชื่องช้า(lazy transition system) โดยกราฟสถานะวงจร (state graph) และสร้างวงจรจากฟังค์ชันแสดงสถานะถัดไป (next-state function) ได้จากสมมติฐานเวลา (Timing assumption) โดยให้ค่าความหน่วงเป็นศูนย์ (non-zero delay)

และในปี 2003 Kenneth S.Steven และ Ran Ginosar [8] ในงานก่อนหน้านี้ถูกอธิบายในส่วนของสมมติฐานของเหตุการณ์การเปลี่ยนแปลงระดับสัญญาณ  ในงานวิจัยนี้ได้นำความสัมพันธ์เชิงเวลาสำหรับการสังเคราะห์วงจร,การทวนสอบสัญญาณและการหาค่าที่เหมาะสมกับวงจรโดยวิธีการเพิ่มและลดเส้นสัญญาณตามสมมติฐานในงานก่อนหน้านี้ การสังเคราะห์วงจรตามกฎของความสัมพันธ์เชิงเวลา ในขั้นตอนเริ่มต้นทำการแปลงจากความสัมพันธ์เชิงเวลา เป็นรูปแบบของ burst mode และ pulse mode ซึ่งมีพื้นฐานภายในงานวิจัยของโจล์ดิ คอลตาเดลลา (Jordi Cortadella) และ มิลเซลด์ คีชีฟเนฟสกี้ (Michael kishinevsky)

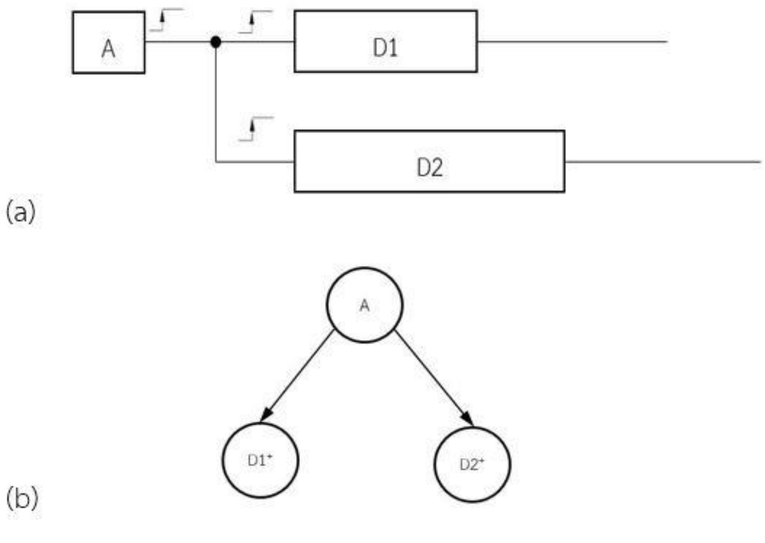
จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

# บทที่3

# การปรับเปลี่ยนพฤติกรรมของกราฟการเปลี่ยนแปลงระดับสัญญาณโดยแบบจำลอง เอสดีไอ

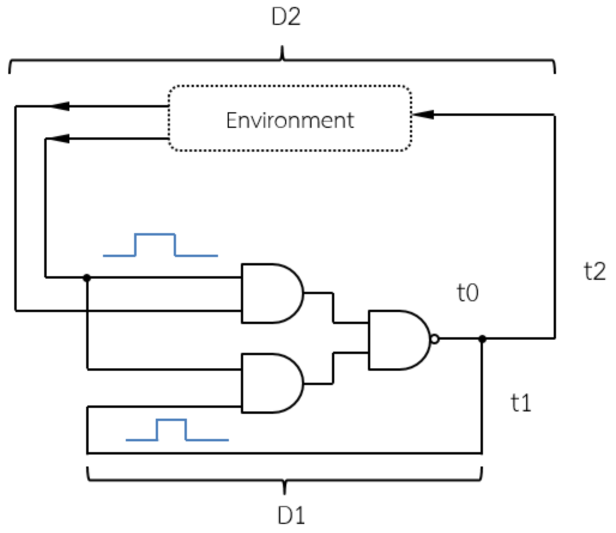
ในบทนี้จะเป็นการนำเสนอหลักการออกแบบวงจรควบคุมแบบอสมวารโดยใช้แบบจำลองเอสดีไอ

แบบจำลองเอสดีไอสามารถรองรับอัตราส่วนความหน่วงระหว่างสององค์ประกอบใดๆ ในกิ่งสัญญาณเดียวกัน (forks) ที่ไม่เกินค่าอัตราส่วนความแปรปรวนความหน่วงสูงสุด ที่กำหนด จากรูปที่ 3.1 (a) เมื่อองค์ประกอบเกต หรือ สายสัญญาณใด ๆ กำหนดให้มีค่า A การเปลี่ยนแปลงระดับสัญญาณใดๆ ภายใต้สององค์ประกอบใดๆ ซึ่งเป็นการเปลี่ยนแปลงระดับสัญญาณที่ก่อให้เกิดการเปลี่ยนแปลงระดับสัญญาณของสององค์ประกอบใดที่กำหนดมีค่าความหน่วงคือ D1 และ D2 หากแสดงเหตุการณ์ข้างต้น เมื่ออธิบายในรูปแบบกราฟการเปลี่ยนแปลงระดับสัญญาณ องค์ประกอบ A มีคุณสมบัติเกี่ยวกับสาเหตุ หรือมีความสัมพันธ์ในรูปแบบของการเปลี่ยนแปลงระดับสัญญาณที่มีการเกิดตามลำดับของที่มีค่าความหน่วง D1 และ D2 และ การเกิดขึ้นพร้อมกันของการเปลี่ยนแปลงระดับสัญญาณที่มีความหน่วง D1 และ D2 แสดงในรูปที่ 3.1 (b)




รูปที่ 3.1 (a) แสดงแบบจำลองการเกิดขึ้นพร้อมกันของสองสัญญาณ และ (b) แสดงพฤติกรรมการเปลี่ยนแปลงระดับสัญญาณของแบบจำลอง (a) ในรูปแบบกราฟการเปลี่ยนแปลงระดับสัญญาณ

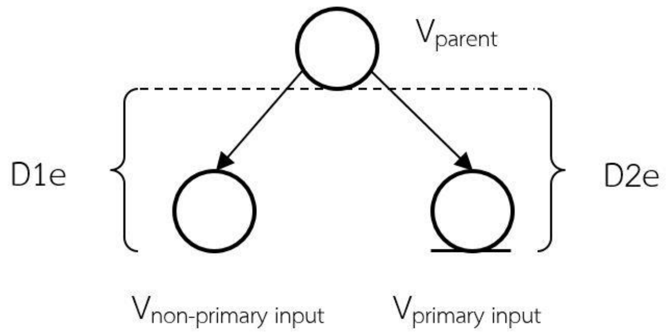
จากข้อกำหนดของแบบจำลองเอสดีไอ งานวิจัยนี้สนใจกรณีศึกษาวงจรอสมวารสามารถทำงานโดยการได้รับค่าการเปลี่ยนแปลงของสัญญาณทั้งสองพร้อมกัน ของ สัญญาณอินพุตของวงจร (primary-input signal) หมายถึงสัญญาณอินพุตที่รับจากสิ่งแวดล้อมภายนอกใดๆ (Environment) กำหนดให้มีค่า t2 และ สัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุต (non-primary input) หมายถึงสัญญาณอินพุทที่รับค่าจากสายสัญญาณภายในวงจรที่เกิดจากค่าเอาต์พุต กำหนดให้มีค่า t1 แสดงรูปแบบวงจรดังรูปที่ 3.2




รูปที่ 3.2 อธิบายการเกิดพร้อมกันของสัญญาณอินพุตและสัญญาณภายใน

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

การเปรียบเทียบความหน่วงระหว่างสองสัญญาณภายใต้กิ่งสัญญาณเดียวกัน เมื่อกำหนดค่าความหน่วงจากสภาพแวดล้อม (environment) และ ค่าความหน่วงสัญญาณอินพุตของวงจรมีค่า D2 และ กำหนดค่าความหน่วงของสัญญาณภายในวงจรมีค่า D1 หากพิจารณาความหน่วงประมาณสัมพัทธ์ (De) ของสองสัญญาณ ถูกรับประกันค่าอัตราส่วนความแปรปรวนความหน่วงสูงสุดไว้สามารถอธิบายความสัมพันธ์ของสองสัญญาณใดๆ โดยรูปแบบกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรจากรูปภาพที่ 3.2 ที่เรียกว่าแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ (concurrent transition model) แสดงดังรูปที่ 3.3 โดยกราฟการเปลี่ยนแปลงระดับสัญญาณนั้นเป็นองค์ประกอบของมาร์กกราฟ (Mark Graph (MG)) อธิบายโครงสร้างของกราฟที่มีการเกิดขึ้นพร้อมกันของการเปลี่ยนแปลงสัญญาณ และ สเตตแมชชีน (State machine (SM)) อธิบายโครงสร้างของกราฟที่มีการเกิดขึ้นเป็นลำดับของการเปลี่ยนแปลงสัญญาณ แต่ไม่เป็นองค์ประกอบของกราฟการเปลี่ยนแปลงระดับสัญญาณที่สามารถเลือกเส้นทางได้อย่างอิสระ (Free-choice net (FC-net))

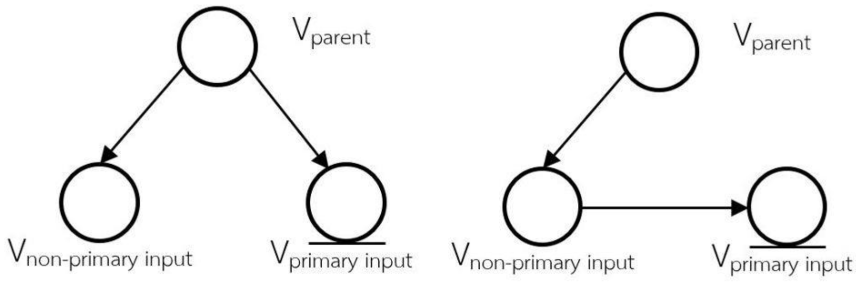



รูปที่ 3.3 แสดงพฤติกรรมการเปลี่ยนแปลงระดับสัญญาณที่เกิดพร้อมกันของสัญญาณ

องค์ประกอบของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ คือ สัญญาณที่ก่อให้เกิด (trigger signal) การเปลี่ยนแปลงระดับสัญญาณที่เกิดขึ้นพร้อมกันของสองการเปลี่ยนแปลงระดับสัญญาณใดๆ ถูกเรียกว่า การเปลี่ยนแปลงสัญญาณพ่อ (parent signal) หรือ $V_{parent}$ และการเปลี่ยนแปลงระดับใดๆที่เกิดขึ้นพร้อมกัน ของสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุต และสัญญาณอินพุต เป็นสัญญาณก่อให้เกิดของการเปลี่ยนแปลงสัญญาณพ่อ ถูกเรียกว่า การเปลี่ยนแปลงสัญญาณลูก (children signal) หรือ $V_{children} \in \{ V_{non\text{-}primary\ input}, V_{non\text{-}primary\ input} \}$ จะกล่าวได้ว่า concurrent transition model $\in \{ V_{parent} \rightarrow V_{non\text{-}primary\ input} \cup V_{parent} \rightarrow V_{primary\ input} \}$

3.1 แนวทางการลดรูปของแบบจำลองเอสดีไอ

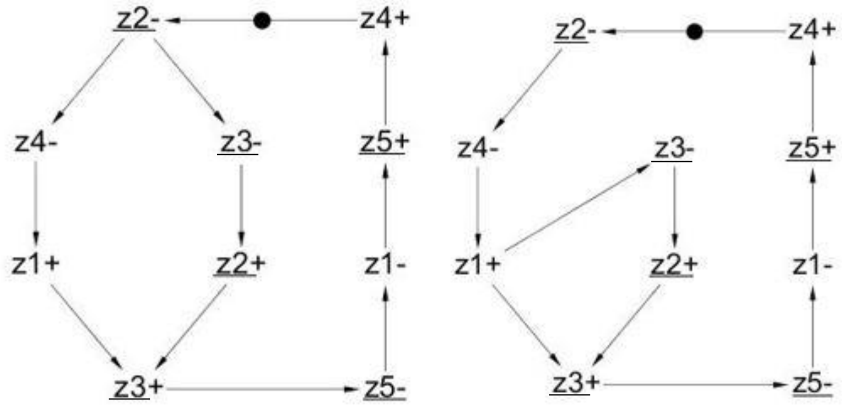
เมื่อพิจารณาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ เมื่อการเปลี่ยนแปลงระดับสัญญาณอินพุตได้เสร็จสิ้น ดังนั้นการเปลี่ยนแปลงระดับสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุตได้เสร็จสิ้นแล้วเช่นกัน สามารถปรับเปลี่ยนความสัมพันธ์ของสองสัญญาณข้างต้นจากการเกิดขึ้นพร้อมกันเป็นเกิดขึ้นเป็นอันดับโดยสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุต เสร็จสิ้นก่อน สัญญาณอินพุต แสดงดังรูปที่ 3.4 ขั้นตอนวิธีการดังกล่าวจะเรียกว่าการลดรูปของแบบจำลองเอสดีไอ หรือ SDI reduction




(a) (b)

รูปที่ 3.4 แสดงการลดรูปของแบบจำลองเอสดีไอของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ (a) โดยแสดงผลลัพธ์ที่ได้เป็นการเกิดขึ้นตามลำดับ (b)

การปรับเปลี่ยนพฤติกรรมของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเสมือนการปรับเปลี่ยนพฤติกรรมของกราฟการเปลี่ยนแปลงระดับสัญญาณ ซึ่งรองรับคุณสมบัติของความทนทาน , คุณสมบัติความสอดคล้องกัน, คุณสมบัติไลฟ์แนส, คุณสมบัติความปลอดภัย และ คุณสมบัติแสดงรหัสของสถานะในทางที่เป็นไปได้ในการสร้างวงจร หากพิจารณาวงจรแสดงดังรูปที่ 3.5 (a) ซึ่งไม่มีคุณสมบัติของความทนทานโดย z2- ซึ่งเป็นสัญญาณก่อให้เกิด z4- แต่ในขณะเดียวกัน z2+ เป็นสัญญาณที่เกิดขึ้นพร้อมกับ z4+

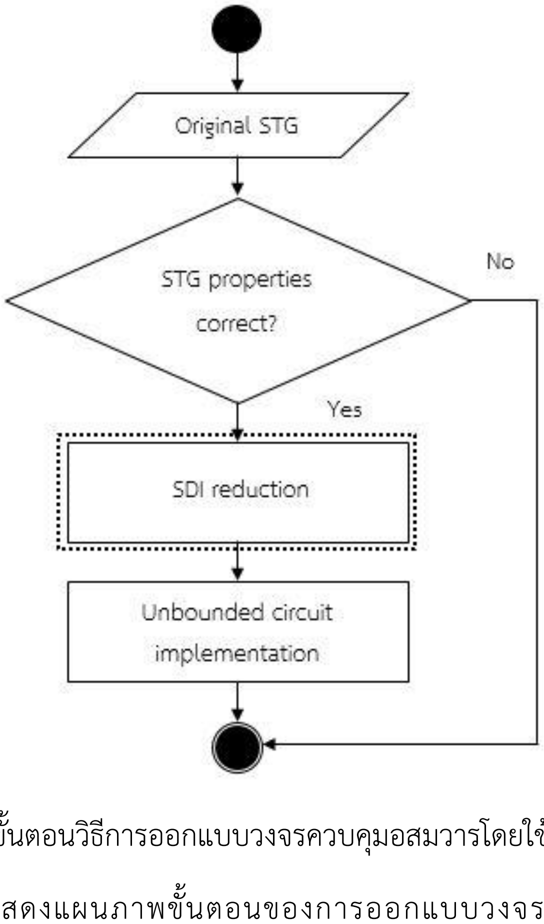



(a) (b)

รูปที่ 3.5 (a) แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณ [4] ที่ไม่รองรับคุณสมบัติความทนทาน (b) แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณจากการลดรูปของแบบจำลองเอสดีไอ

เมื่อทำการลดรูปของแบบจำลองเอสดีไอจากการปรับเปลี่ยนพฤติกรรมของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ ที่ไม่รองรับคุณสมบัติดังกล่าวทำให้พฤติกรรมกราฟการเปลี่ยนแปลงระดับสัญญาณมีข้อผิดพร่อง เนื่องจากไม่มีคุณสมบัติความทนทาน เนื่องจากการเปลี่ยนระดับสัญญาณ Z3- และ Z3+ เกิดขึ้นพร้อมกัน ไม่สามารถสร้างวงจรอสมวารได้ งานวิจัยนี้จะรองรับการลดรูปของแบบจำลองเอสดีไอจากกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีคุณสมบัติของความทนทาน, คุณสมบัติความสอดคล้องกัน, คุณสมบัติไลฟ์แนส, คุณสมบัติความปลอดภัย และ คุณสมบัติแสดงรหัสของสถานะในทางที่เป็นไปได้ในการสร้างวงจร

## 3.2 ขั้นตอนการออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอ

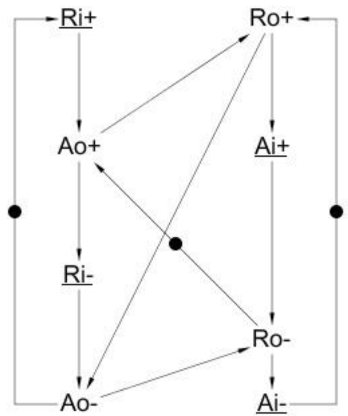



รูปที่ 3.6 แผนภาพขั้นตอนวิธีการออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอ

จากรูปที่ 3.6 แสดงแผนภาพขั้นตอนของการออกแบบวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอโดยการลดรูปของแบบจำลองเอสดีไอของกราฟการเปลี่ยนแปลงระดับสัญญาณ มีวิธีการดำเนินงานแบ่งเป็น 3 ขั้นตอน คือ การตรวจสอบความถูกต้องของกราฟการเปลี่ยนแปลงระดับสัญญาณ กล่าวคือ กราฟการเปลี่ยนแปลงระดับสัญญาณมีคุณสมบัติของของความทนทาน, คุณสมบัติ

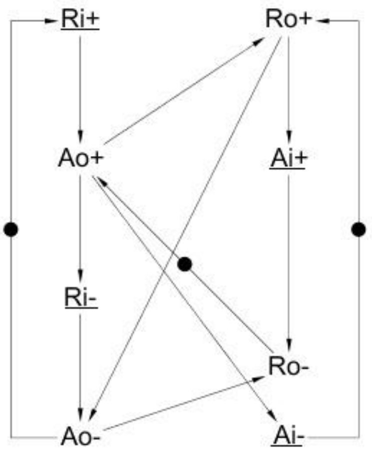
ความสอดคล้องกัน, คุณสมบัติไลฟ์แนส, คุณสมบัติความปลอดภัย และ คุณสมบัติแสดงรหัสของสถานะ หากไม่รองรับคุณสมบัติใดๆ ดังกล่าวจะไม่ทำการลดรูปของแบบจำลองเอสดีไอซึ่งเป็นส่วนที่งานวิจัยนี้ได้นำเสนอ และ การสร้างวงจรภายใต้ความหน่วงแบบไร้ขอบเขต งานวิจัยนี้ได้เสนอการสร้างวงจรโดยหลักการของ ซุง บัล พาร์ท ( S.B Park ) [4]

อย่างไรก็ตามการลดรูปของแบบจำลองเอสดีไอภายใต้การปรับเปลี่ยนพฤติกรรมของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณข้างต้น ที่รองรับการเกิดขึ้นพร้อมกันของการเปลี่ยนแปลงระดับสัญญาณของสองสัญญาณใดๆ หรือมากกว่าสองสัญญาณ หากพิจารณากรณีที่กราฟการเปลี่ยนแปลงระดับสัญญาณมีจำนวนแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ มากกว่าหนึ่งแบบจำลอง หากพิจารณากราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรฟูลล์ (full circuit) แสดงดังรูป 3.7 มีความสัมพันธ์ของสัญญาณในรูปแบบของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ มากกว่าหนึ่งความสัมพันธ์ คือ concurrent transition model $\in$ { Ao-$\rightarrow$ Ro- $\cup$ Ao-$\rightarrow$ Ri+} , { Ro+$\rightarrow$ Ao-$\cup$ Ro+ $\rightarrow$ Ai+} , { Ao+$\rightarrow$ Ro+ $\cup$ Ao+ $\rightarrow$ Ri-} และ { Ro-$\rightarrow$ Ao+ $\cup$ Ro- $\rightarrow$ Ai-} เมื่อพิจารณาการเปลี่ยนแปลงระดับสัญญาณที่เป็นสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณข้างต้น พบว่าการเปลี่ยนแปลงระดับสัญญาณพ่อสามารถเป็นการเปลี่ยนแปลงระดับสัญญาณลูกให้กับแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณอื่น ทำให้การปรับเปลี่ยนพฤติกรรมมีความซับซ้อนมากขึ้น นอกจากนี้พบว่ามีจำนวนโทเคนบนกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีจำนวนของโทเคนมากกว่าหนึ่งโทเคน และหากโทเคนนี้ปรากฏบนการเปลี่ยนแปลงสัญญาณระหว่างสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ ซึ่งอาจส่งผลต่อคุณสมบัติความปลอดภัยของกราฟการเปลี่ยนแปลงระดับสัญญาณ




รูปที่ 3.7 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรฟูลล์

เมื่อทำการลดรูปวงจรฟูลล์ของแบบจำลองเอสดีไอ โดยแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเริ่มต้นที่ concurrent transition model ∈ { Ro-→ Ao+ ∪ Ro- → Ai-} ซึ่งมีโทเคนบนการเปลี่ยนแปลงระดับสัญญาณระหว่างสัญญาณ Ro- และสัญญาณ Ao+ ผลลัพท์ของกราฟการเปลี่ยนแปลงระดับสัญญาณที่ได้ไม่มีคุณสมบัติความปลอดภัยเนื่องจากวัฏจักรเชิงเดียวของ Ro-→ Ao+→ Ai- →Ro+ → Ai+ →Ro- มีจำนวนโทเคนมากกว่าหนึ่งโทเคน แสดงดังรูปที่ 3.8 หากทำการลดโทเคนจะส่งผลกระทบต่อสถานะเริ่มต้นของวงจร




รูปที่ 3.8 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรฟูลล์ที่ไม่มีคุณสมบัติความปลอดภัย

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

งานวิจัยนี้ได้นำเสนอคุณสมบัติของความสัมพันธ์เชิงล็อก เพื่อตรวจสอบความสัมพันธ์ของการเปลี่ยนแปลงระดับสัญญาณพ่อและการเปลี่ยนแปลงระดับสัญญาณลูกที่สามารถเป็นสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ ก่อนทำการปรับเปลี่ยนพฤติกรรม เพื่อนไม่ให้กระทบต่อคุณสมบัติกราฟการเปลี่ยนแปลงระดับสัญญาณ การลดรูปของแบบจำลองเอสดีไอ โดยขั้นตอนการออกแบบวงจรควบคุมอสมวารโดยแบบจำลองเอสดีไอดังกล่าวจะ กล่าวในบทที่ 4

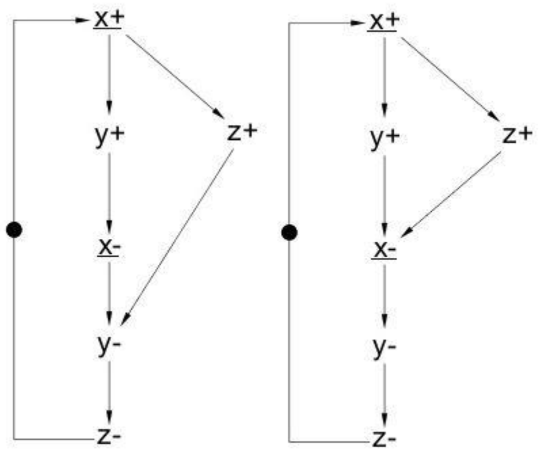
# บทที่4
# การลดรูปของแบบจำลองเอสดีไอ

การลดรูปของแบบจำลองเอสดีไอเป็นวิธีการในขั้นตอนการสร้างวงจรควบคุมแบบอสมวารภายใต้แบบจำลองเอสดีไอโดยกราฟการเปลี่ยนแปลงระดับสัญญาณ เนื่องจากภายหลังการออกแบบจากขั้นตอนดังกล่าว กราฟการเปลี่ยนแปลงระดับสัญญาณนั้นสามารถไม่ได้ ในบทนี้นำเสนอการลดรูปของแบบจำลองเอสดีไอโดยความสัมพันธ์เชิงล็อกที่สามารถแก้ปัญหาดังกล่าวในบทที่ 3

## 4.1 การลดรูปของแบบจำลองเอสดีไอโดยความสัมพันธ์เชิงล็อก

ความสัมพันธ์เชิงล็อกได้อธิบายถึงความสัมพันธ์ของสองสัญญาณใดๆที่มีความสัมพันธ์เกี่ยวกับเหตุและผลซึ่งกันภายใต้วัฏจักรเชิงเดียว ซึ่งในโครงสร้างของสเตตแมชชีน เมื่อการเปลี่ยนแปลงระดับสัญญาณใดๆ ก่อให้เกิดการเปลี่ยนแปลงระดับสัญญาณของสัญญาณนั้น สามารถแสดงการสิ้นสุดของการเกิดขึ้นของสัญญาณนั้นได้ หากทำการปรับเปลี่ยนพฤติกรรมกราฟการเปลี่ยนแปลงระดับสัญญาณโดยแบบจำลองแอสดีไอ ความสัมพันธ์เชิงล็อกสามารถรักษาคุณสมบัติความสอดคล้องกัน, คุณสมบัติความปลอดภัย, คุณสมบัติความสอดคล้องกัน ของกราฟการเปลี่ยนแปลงระดับสัญญาณเดิมก่อนการปรับเปลี่ยนพฤติกรรมของกราฟการเปลี่ยนแปลงระดับสัญญาณ

อย่างไรก็ตามความสัมพันธ์เชิงล็อกไม่สามารถอธิบายในรูปแบบโครงสร้างของมาร์กกราฟได้ และ ซุง บัง พาร์ท [4] ได้เสนอความสัมพันธ์เชิงล็อกที่มากกว่าหนึ่งความสัมพันธ์ที่อธิบายในรูปแบบการเกิดขึ้นพร้อมกันของสัญญาณโดยสัญญาณที่เกิดพร้อมกันจะต้องมีคุณสมบัติเชิงล็อกเต็มอัตราและคุณสมบัติเชิงล็อกร่วมกัน ได้แสดงดังรูปที่ 4.1(a) โดยสัญญาณ x และ y มีคุณสมบัติเชิงล็อกเต็มอัตรา และ สัญญาณ z ได้มีความสัมพันธ์เชิงล็อกร่สมกันกับชุดสัญญาณที่มีคุณสมบัติเชิงล็อกเต็มอัตราของ x และ y หรือจะกล่าวว่า สัญญาณ x, y และ z มีคุณสมบัติเชิงล็อกที่มากกว่าหนึ่งความสัมพันธ์แต่ไม่สามารถรับประกันถึงคุณสมบัติความทนทานได้ เนื่องจากการเกิดขึ้นพร้อมกันของการเปลี่ยนแปลงระดับสัญญาณ z+ และ y+ แต่ความสัมพันธ์เชิงล็อกร่วมกันสามารถรองรับคุณสมบัติความทนทานได้ โดยความสัมพันธ์เกี่ยวกับเหตุและผลของสองสัญญาณใดๆ ทุกๆสัญญาณภายใต้วัฏจักรเชิงเดียวมีคุณสมบัติเชิงล็อกครึ่งอัตรา เนื่องจากการเปลี่ยนแปลงระดับสัญญาณ z+ เป็นสัญญาณที่ก่อให้เกิดจากการเปลี่ยนแปลงระดับสัญญาณ x+ แต่สองสัญญาณไม่มีความสัมพันธ์เชิงล็อกครึ่งอัตรา ซึ่งกราฟการเปลี่ยนแปลงระดับสัญญาณดังกล่าวถูกแก้ไขแสดงดังรูปที่ 4.1 (b)



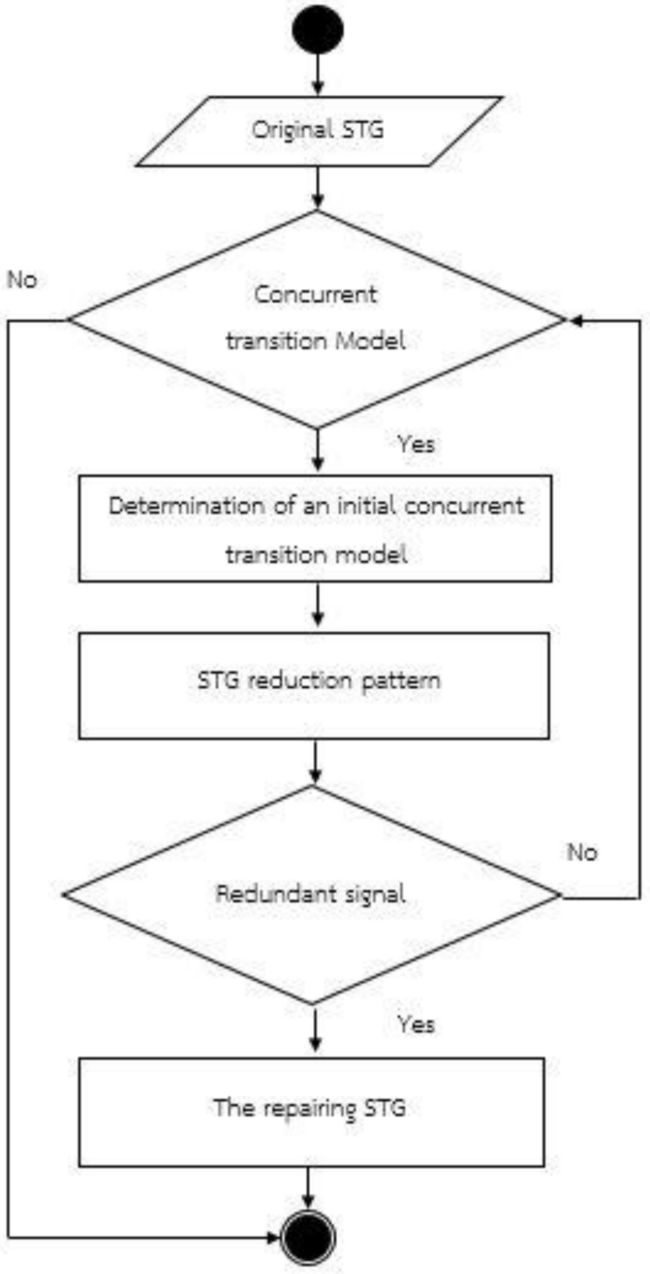

รูปที่ 4.1 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีคุณสมบัติเชิงล็อกที่มากกว่าหนึ่ง ความสัมพันธ์ของ (a) ที่ไม่คุณสมบัติความทนทาน (b) ที่มีคุณสมบัติความทนทาน

หากพิจารณาการเปลี่ยนแปลงระดับสัญญาณลูกซึ่งสมาชิกเป็นสัญญาณอินพุตของวงจร และสัญญาณภายในซึ่งเป็นสัญญาณอินพุต โดยการตรวจสอบความสัมพันธ์ของการเปลี่ยนแปลงระดับสัญญาณของการเกิดขึ้นพร้อมกันสองสัญญาณจะสามารถปรับเปลี่ยนพฤติกรรมได้ เมื่อพิจารณาจากความสัมพันธ์ของสมาชิกภายในแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณระหว่างสัญญาณในภายใต้ข้อกำหนดคือ การเปลี่ยนแปลงระดับสัญญาณลูกมีความสัมพันธ์เชิงล็อกครึ่งอัตรา กับการเปลี่ยนแปลงระดับสัญญาณพ่อรูปแบบซิงเกิลไซเคิล กล่าวคือ $\mathbf{parent}* \rightarrow \mathbf{children} \rightarrow \overline{\mathbf{parent}*}$ บนวัฏจักรเชิงเดียว ในทางเดียวกัน หากพิจารณาการเปลี่ยนแปลงระดับสัญญาณลูกมีความสัมพันธ์เชิงล็อกครึ่งอัตรา กับ การเปลี่ยนแปลงระดับสัญญาณพ่อในรูปแบบ มัลติเพิลไซเคิลกล่าวคือ $\mathbf{parent}*/\mathbf{t} \rightarrow \mathbf{children} \rightarrow \overline{\mathbf{parent}*}/\mathbf{t}$ ที่ t ของเวลาเดียวกัน

### 4.2 ขั้นตอนวิธีการลดรูปของแบบจำลองเอสดีไอ

ขั้นตอนวิธีการลดรูปของแบบจำลองเอสดีไอ แบ่งออกเป็น 3 ขั้นตอนหลักด้วยกัน แสดงดังรูปที่ 4.2 คือ การกำหนดแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเริ่มต้น (Determination of an initial concurrent transition model) อธิบายในหัวข้อที่ 4.2.1 เพื่อหาการเกิดขึ้นพร้อมกันของสัญญาณที่สามารถปรับเปลี่ยนพฤติกรรมได้ในขั้นตอนการของการลดรูปความสัมพันธ์ของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณโดยความสัมพันธ์เชิงล็อก (STG reduction pattern) อธิบายในหัวข้อที่ 4.2.2 ซึ่งแบ่งออกเป็น 3 กรณี ดังนี้ กรณีที่ 1 แบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่ไม่มีโทเคนบนแบบจำลอง อธิบายโดยขั้นตอนวิธีการที่ 2 , กรณีที่ 2 แบบจำลองการเกิดขึ้น

พร้อมกันของสัญญาณที่มีโทเคนปรากฏบนการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจร อธิบายโดยขั้นตอนวิธีการที่3 และกรณีที่ 3 แบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่มีโทเคนปรากฏบนการเปลี่ยนแปลงระดับสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุต อธิบายขั้นตอนวิธีการที่ 4 และการปรับปรุงกราฟการเปลี่ยนแปลงระดับสัญญาณ (The repairing STG) อธิบายในหัวข้อที่ 4.2.3




รูปที่ 4.2 แสดงขั้นตอนวิธีการลดรูปของแบบจำลองเอสดีไอ

4.2.1 การหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเริ่มต้น

การหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเริ่มต้น ภายในกราฟการเปลี่ยนแปลงระดับสัญญาณ โดยเริ่มต้นจากโทเคนเริ่มต้น (initial token) และทำการเลื่อนโทเคนตามลำดับการเกิดขึ้นของการเปลี่ยนแปลงระดับสัญญาณตามคุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผล และทำการระบุการเปลี่ยนแปลงระดับสัญญาณใดๆเป็นการเปลี่ยนแปลงระดับสัญญาณพ่อและการเปลี่ยนแปลงระดับสัญญาณลูก หากพิจารณาการเปลี่ยนแปลงระดับในกรณีที่จำนวนสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ สามารถมีจำนวนการเปลี่ยนแปลงระดับสัญญาณภายในวงจรที่เป็นสัญญาณอินพุตและการเปลี่ยนแปลงระดับสัญญาณอินพุตที่มากกว่าหนึ่งสัญญาณ สัญญาณที่สามารถเป็นการเปลี่ยนแปลงระดับสัญญาณลูก หากการเปลี่ยนแปลงระดับสัญญาณภายในวงจรที่เป็นสัญญาณอินพุตและการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจรมีความสัมพันธ์เชิงล็อกครึ่งอัตรากับการเปลี่ยนแปลงระดับสัญญาณพ่อ หากการเปลี่ยนแปลงระดับสัญญาณดังกล่าว ไม่มีความสัมพันธ์นั้นถือว่าการเปลี่ยนแปลงระดับสัญญาณนั้น ไม่เป็นการเปลี่ยนแปลงระดับสัญญา ณลูกในแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณโดยมีขั้นตอนดังนี้

Algorithm 1 Determination of an initial concurrent transition model

**Input** Signal transition Graph

**Output** Concurrent transition Model

**Step** 1.1 Initial token

**Step** 1.1.1 **Do while** (casual relation (STG))

**Step** 1.1.2 **Check parent signal:**

**if** it is the trigger signal of concurrent signal transition

Step 1.1.3 { **Define** initial parent signal transition (v)

**THEN**

**Step** 1.1.4 **Check children signals:**

**if** children is primary inputs and non-primary inputs

**THEN**

**Step** 1.1.5 **Check Semi-lock relation:**

**if** parent signal transition and any its children signal transition have semi-lock relation

**return** (concurrent transition model)

**else**

**Do Step 1.2**

}

**else**

**Step** 1.2 **Do** Step 1.1.1 for determination the new parent signal transition model (v′)

จากขั้นตอนที่ 1 (algorithm1) เราสามารถอธิบายได้ดังนี้

ขั้นตอนที่ 1.1 เป็นขั้นตอนกำหนดจุดเริ่มต้นให้กับการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ โดยเริ่มจากโทเคนที่ทำให้วงจรเริ่มต้นทำงาน

ขั้นตอนที่ 1.1.1 ตรวจสอบการเปลี่ยนแปลงระดับสัญญาณพ่อตามคุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผลบนกราฟการเปลี่ยนแปลงระดับสัญญาณ

ขั้นตอนที่ 1.1.2 ทำการตรวจสอบการเปลี่ยนแปลง ณ ตำแหน่งโทเคนใดๆ สามารถเป็นการเปลี่ยนแปลงระดับสัญญาณพ่อได้หรือไม่ โดยเงื่อนไขของ ขั้นตอนที่ 1.1.3

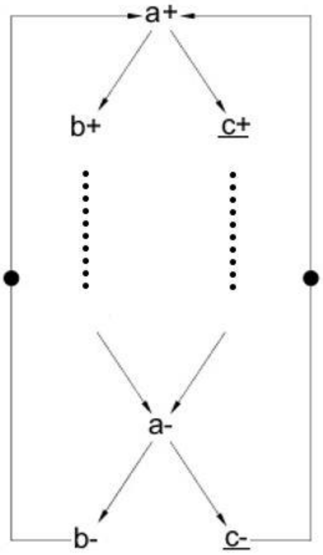
ขั้นตอนที่ 1.1.3 ถ้าการเปลี่ยนแปลงระดับสัญญาณใดๆ เป็นสัญญาณที่ก่อให้เกิดการเกิดขึ้นพร้อมกันของการเปลี่ยนแปลงระดับสัญญาณ กำหนดการเปลี่ยนแปลงระดับสัญญาณนั้นเป็นการเปลี่ยนแปลงระดับสัญญาณพ่อ หลังจากนั้นทำการตรวจสอบการเปลี่ยนแปลงระดับสัญญาณลูกของขั้นตอนที่ 1.1.4

ขั้นตอนที่ 1.1.4 ถ้าการเปลี่ยนแปลงระดับสัญญาณลูกใดสองสัญญาณคือ กลุ่มการเปลี่ยนแปลงระดับสัญญาณของสัญญาณอินพุตและ สัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุตหรือไม่ หากเงื่อนไขเป็นจริง จะทำขั้นตอนที่ 1.1.5 และหากเงื่อนไขไม่เป็นจริงจะทำขั้นตอนที่ 1.2

ขั้นตอนที่ 1.1.5 ตรวจสอบความสัมพันธ์ของการเปลี่ยนแปลงระดับสัญญาณพ่อและการเปลี่ยนแปลงระดับสัญญาณลูกว่ามีความสัมพันธ์เชิงล็อกครึ่งอัตราหรือไม่ หากมีความสัมพันธ์เชิงล็อกครึ่งอัตรา การเปลี่ยนแปลงระดับสัญญาณลูกจะถูกกำหนดอยู่ในแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเพื่อทำลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณ หากไม่มีการเปลี่ยนแปลงระดับสัญญาณลูกใดๆให้ทำขั้นตอนที่ 1.2

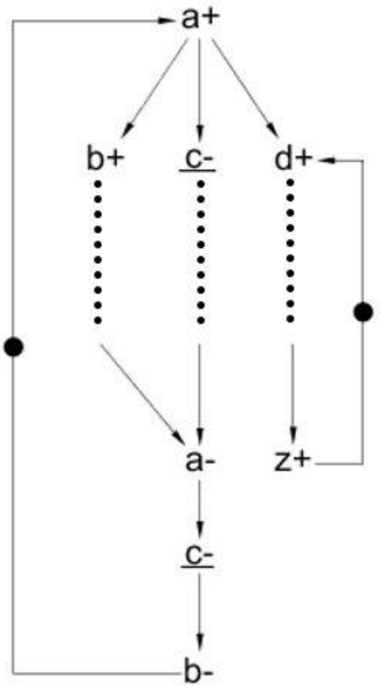
ขั้นตอนที่ 1.2 ทำการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณใหม่

จากขั้นตอนวิธีการที่ 1 หากพิจารณากราฟการเปลี่ยนแปลงระดับสัญญาณที่แสดงในรูปที่ 4.3 เพื่อแสดงการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเริ่มต้น โดยสถานะเริ่มต้นของโทเคนสามารถทำให้ a+ มีเกิดการเปลี่ยนแปลงระดับสัญญาณ และ a+ เป็นสัญญาณก่อให้เกิดกับ b+ เป็น สัญญาณภายในซึ่งเป็นสัญญาณอินพุตและ c+ เป็น สัญญาณอินพุตของวงจร จากองค์ประกอบข้างต้น สามารถเป็นสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ โดยที่ a+ เป็น สัญญาณพ่อ และ b+ และ c+ เป็นสัญญาณลูกเริ่มต้น โดยที่การเปลี่ยนแปลงระดับสัญญาณลูกมีความสัมพันธ์เชิงล็อกครึ่งอัตรากับการเปลี่ยนแปลงระดับสัญญาณพ่อ และแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณดังกล่าวสามารถทำการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณได้




รูปที่ 4.3 แสดงการหาจุดเริ่มต้นของแบบจำลองการเกิดขึ้นพร้อมกัน

ในกรณีของการเกิดขึ้นพร้อมกันของสัญญาณที่มีจำนวนของการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจรและการเปลี่ยนแปลงระดับสัญญาณภายในซึ่งเป็นสัญญาณอินพุตใดๆ มีค่ามากกว่าหนึ่งสัญญาณ จากขั้นตอนวิธีการที่ 1 หากพิจารณากราฟการเปลี่ยนแปลงระดับสัญญาณที่แสดงในรูปที่ 4.4 แสดงการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณเริ่มต้น โดยสถานะเริ่มต้นของโทเคนสามารถทำให้ a+ มีเกิดการเปลี่ยนแปลงระดับสัญญาณ และ a+ เป็นสัญญาณก่อให้เกิดกับ b+ และ d+ ซึ่งเป็นสัญญาณภายในซึ่งเป็นสัญญาณอินพุต และ c+ เป็น สัญญาณอินพุตของวงจร จากองค์ประกอบข้างต้น สามารถเป็นสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ โดยที่ a+ เป็น สัญญาณพ่อ และ b+ และ c+ เป็นสัญญาณลูกเริ่มต้น โดยที่การเปลี่ยนแปลงระดับสัญญาณลูกมีความสัมพันธ์เชิงล็อกครึ่งอัตรากับการเปลี่ยนแปลงระดับสัญญาณพ่อ แต่การเปลี่ยนแปลงระดับสัญญาณ d+ ไม่สามารถเป็นสมาชิกของการเปลี่ยนแปลงระดับสัญญาณลูกได้ เนื่องจากไม่มีความสัมพันธ์เชิงล็อกครึ่งอัตรากับการเปลี่ยนแปลงระดับสัญญาณพ่อ ดังนั้นแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณดังกล่าวสามารถทำการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณได้




รูปที่ 4.4 แสดงการพิจารณาการเปลี่ยนแปลงระดับสัญญาณที่สามารถเป็นสมาชิกของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ

4.2.2 การลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณ

ในขั้นตอนนี้อธิบายการเปลี่ยนพฤติกรรมของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณมีโทเคนปรากฏอยู่บนการเปลี่ยนแปลงระดับสัญญาณใดๆของแบบจำลอง การลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณแบ่งออกเป็น 3 กรณีดังนี้

กรณีที่ 1 แบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่ไม่มีโทเคนปรากฏบนแบบจำลอง อธิบายการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณโดยมีขั้นตอนดังนี้

Algorithm 2 STG reduction pattern

**Input** Concurrent transition Model

**Output** STG reduction pattern

**Step** 2.1 **Do while** (Concurrent transition model)

**Step** 2.2 **if** (primary input signals and non-primary input signals have redundant signal)

{

Do Algorithm 5

}

else

**Step** 2.3 **{ Do** reduce the arc (Initial token) from parent signal

- transition to primary-input signal transition

**THEN**

**Step** 2.3.1 **Do** add the casual constraint (Initial token) from non-primary input signal to primary-input signal

**THEN**

**Do Step 2.4**

**}**

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

Step 2.4 **Do** algorithm 1

จากขั้นตอนที่ 2 (algorithm2) เราสามารถอธิบายได้ดังนี้

ขั้นตอนที่ 2.1 ทุกๆแบบจำลองการเกิดขึ้นพร้อมกันทุกๆแบบจำลองที่มีการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจรเกิดขึ้นพร้อมกับการเปลี่ยนแปลงสัญญาณภายในวงจรที่เป็นสัญญาณอินพุตหนึ่งสัญญาณ

ขั้นตอนที่ 2.2 ถ้าการเปลี่ยนแปลงสัญญาณอินพุตของวงจรมีคุณสมบัติความสัมพันธ์เหตุและผลกับการเปลี่ยนแปลงสัญญาณภายใจวงจรที่เป็นสัญญาณอินพุต กล่าวคือมีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนเกิดขึ้น โดยทำการตรวจสอบการตัดการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนได้ โดยเงื่อนไขของขั้นตอนที่ 5 แต่หากไม่มีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนปรากฏขึ้นบนทำขั้นตอนที่ 2.2.2

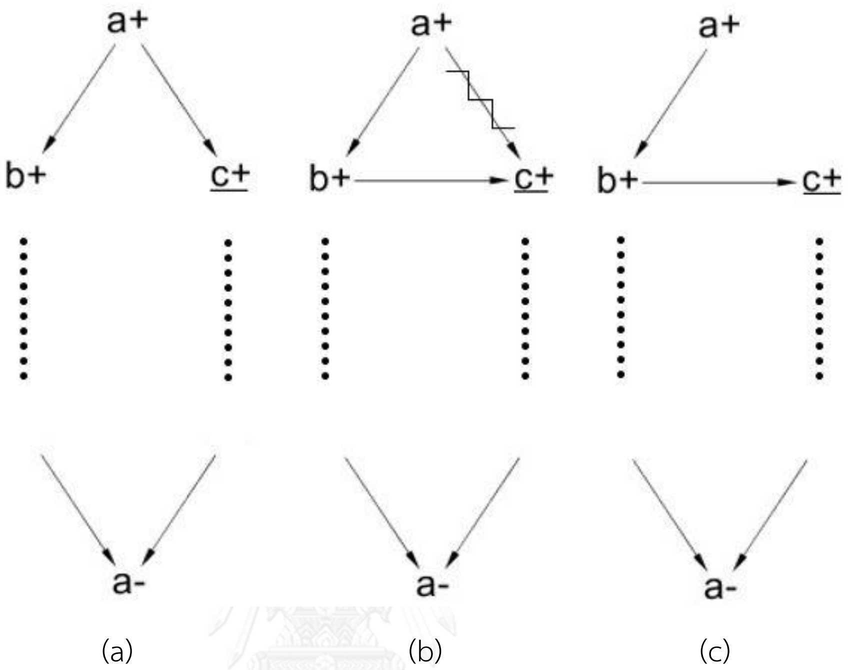
ขั้นตอนที่ 2.3 ทำการลดการเปลี่ยนแปลงสัญญาณ ระหว่างสัญญาณพ่อและสัญญาณอินพุตของวงจร และทำขั้นตอนที่ 2.4.4

ขั้นตอนที่ 2.3.1 ทำการเพิ่มเส้นการเปลี่ยนแปลงสัญญาณ ระหว่างสัญญาณภายในของวงจรซึ่งเป็นสัญญาณอินพุตและ สัญญาณอินพุตของวงจร

ขั้นตอนที่ 2.4 ทำการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ โดย ขั้นตอนที่ 1 (algorithm1)

จากรูปที่ 4.5 (a) กราฟการเปลี่ยนแปลงระดับสัญญาณมีแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่สามารถลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณจากกรณีที่ 1 ของขั้นตอนที่ 2 สามารถทำการตัดเส้นทางการเปลี่ยนแปลงสัญญาณของการเปลี่ยนแปลงระดับสัญญาณพ่อและการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจรได้เนื่องจากแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณไม่มีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนปรากฏขึ้น ผลที่ได้แสดงดังรูปที่ 4.5 (b) และทำ

การเพิ่มเส้นทางการเปลี่ยนแปลงสัญญาณ ระหว่างการเปลี่ยนแปลงระดับสัญญาณภายในวงจรที่เป็นสัญญาณอินพุตกับการเปลี่ยนระดับสัญญาณอินพุต




รูปที่ 4.5 (a) แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ (b) แสดงการลดและเพิ่มเส้นทางการเปลี่ยนแปลงสัญญาณ (c) แสดงผลลัพท์สุดท้ายของ (a)

CHULALONGKORN UNIVERSITY

กรณีที่ 2 แบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่มีโทเคนปรากฏบนการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจร อธิบายการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณโดยมีขั้นตอนดังนี้

Algorithm 3 STG reduction pattern for concurrent transition model which is token on primary input signal transition

**Input** Concurrent transition Model

**Output** STG reduction pattern

**Step** 3.1 **Do while** (Concurrent transition model)

**Step** 3.2 **if** (primary input signal and non-primary input signal
have redundant signal)

{

Do Algorithm 5

}

else

Step 3.3 { **Check Safeness :**

**If any** an initial token on parent signal transition
and primary input signals transitions

**THEN**

**Step** 3.3.1 **Do** reduce the arcs (Initial token) from parent signal
- transition to primary-input signal transitions

**THEN**

**Step** 3.3.2 **Do** add the casual constraint (Initial tokens) from
non-primary input signals to primary-input signals

}

**Step** 3.5 **Do** algorithm 1

จากขั้นตอนที่ 3 (algorithm3) เราสามารถอธิบายได้ดังนี้

ขั้นตอนที่ 3.1 ทุกๆแบบจำลองการเกิดขึ้นพร้อมกันทุกๆแบบจำลองที่มีการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจรเกิดขึ้นพร้อมกับการเปลี่ยนแปลงระดับสัญญาณภายในวงจรที่เป็น สัญญาณอินพุต

ขั้นตอนที่ 3.2 ถ้าการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจรมีคุณสมบัติความสัมพันธ์เหตุและผลกับการเปลี่ยนแปลงระดับสัญญาณภายใจวงจรที่เป็นสัญญาณอินพุต กล่าวคือมีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนเกิดขึ้น โดยทำการตรวจสอบการตัดการเปลี่ยนแปลง

สัญญาณที่ซ้ำซ้อนได้ โดยเงื่อนไขของขั้นตอนที่5 แต่หากไม่มีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนปรากฏขึ้นบนทำขั้นตอนที่ 3.3

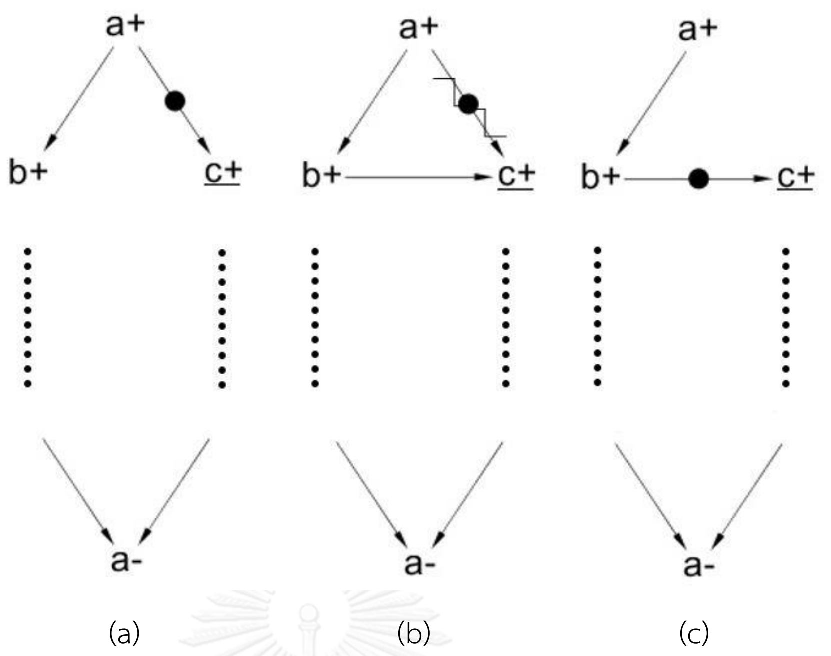
ขั้นตอนที่ 3.3 ทำการตรวจสอบคุณสมบัติความปลอดภัย หากมีโทเคนเริ่นต้นบนความสัมพันธ์สัญญาณพ่อและการเปลี่ยนแปลงสัญญาณอินพุต ภายใต้ วัฏจักรเชิงเดียว และ มีโทเคนเริ่มต้นของการเปลี่ยนแปลงของสัญญาณพ่อ และ การเปลี่ยนแปลงสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุตเมื่อข้อกำหนดข้างต้นเป็นจริง ให้ทำขั้นตอนที่ 3.4.1 แต่หากไม่เป็นจริงให้ทำขั้นตอนที่ 3.4.2

ขั้นตอนที่ 3.3.1 ทำการลดการเปลี่ยนแปลงสัญญาณ ระหว่างการเปลี่ยนแปลงของสัญญาณพ่อและ การเปลี่ยนแปลงสัญญาณอินพุต และ โทเคนบนการเปลี่ยนแปลงสัญญาณ ดังกล่าว และทำขั้นตอนที่ 3.3.2

ขั้นตอนที่ 3.3.2 ทำการเพิ่มการเปลี่ยนแปลงสัญญาณ เพื่อรักษาคุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผล ระหว่าง การเปลี่ยนแปลงสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุต และ การเปลี่ยนแปลงสัญญาณอินพุต และทำการเพิ่มโทเคนบนการเปลี่ยนแปลงสัญญาณ เพื่อรักษาสถานะเริ่มต้นและเพื่อไม่ให้วงจรเกิดการติดตาย เนื่องจากการตัดโทเคนจากขั้นตอนที่ 3.3.1

ขั้นตอนที่ 3.4 ทำการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณโดย ขั้นตอนที่ 1 (algorithm1)

ในขั้นตอนที่ 3 สามารถทำการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณมีโทเคนปรากฎอยู่บนเส้นทางการเปลี่ยนแปลงสัญญาณระหว่างการเปลี่ยนแปลงระดับสัญญาณพ่อและการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจร แสดงดังรูปที่ 4.6(a) หากทำการตัดเส้นทางการเปลี่ยนแปลงสัญญาณดังกล่าวแล้ว ทำการเพิ่มเส้นทางการเปลี่ยนแปลงสัญญาณ ระหว่างการเปลี่ยนแปลงระดับสัญญาณภายในวงจรที่เป็นสัญญาณอินพุตกับการเปลี่ยนระดับสัญญาณอินพุต ดังนั้นโทเคนที่ปรากฏบนเส้นทางที่ถูกตัดออ กแสดงดังรูปที่ 4.6(b) จะถูกเติมบนเส้นทางการเปลี่ยนระดับสัญญาณดังกล่าว ซึ่งคงความสามารถการทำให้สัญญาณอินพุตของวงจรสามารถเปลี่ยนแปลงระดับสัญญาณได้แสดงดังรูปที่ 4.6(c)




รูปที่ 4.6 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีโทเคนแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ (b) แสดงการลดและโทเคนของเส้นทางการเปลี่ยนแปลงสัญญาณบนเส้นทางการเปลี่ยนแปลงสัญญาณ (c) แสดงผลลัพท์ของ (a) โดยการเพิ่มเส้นและโทเคนของการเปลี่ยนแปลงสัญญาณ

กรณีที่ 3 แบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่มีโทเคนปรากฏบนการเปลี่ยนแปลงระดับสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุตอธิบายการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณโดยมีขั้นตอนดังนี้

Algorithm 4 STG reduction pattern for concurrent transition model which is token on non-primary input signal transition

**Input** Concurrent transition Model

**Output** STG reduction pattern

**Step** 4.1 **Do while** (Concurrent transition model)

**Step** 4.2 **if** (primary input signal and non-primary input signal have redundant signal)

{

**Do algorithm 5**

**}**

**else**

Step 4.3 { **Check Safeness :**

**If (**initial token on simple-cycle between parent signal transition and primary input signal

**AND** initial token on semi-lock relation between parent signal transition and non-primary input signal )

**{**

**Step** 4.3.1 **DO NOT** reduce the transition,

**THEN**

**Do** Step 4.4

**}**

**else**

{

**Step** 4.3.2 **Do** reduce the arc (Initial token) from parent signal - transition to primary-input signal transition

**THEN**

**Step** 4.3.3 **Do** add the casual constraint (Initial token) from non-primary input signal to primary-input signal

**Do** Step 4.4

}

}

**Step** 4.4 **Do** algorithm 1

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

จากขั้นตอนที่ 4 (algorithm4) เราสามารถอธิบายได้ดังนี้

ขั้นตอนที่ 4.1 ทุกๆแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่มีการเปลี่ยนแปลงสัญญาณอินพุตของวงจรเกิดขึ้นพร้อมกับการเปลี่ยนแปลงระดับสัญญาณภายในวงจรที่เป็นสัญญาณอินพุตหนึ่งสัญญาณ

ขั้นตอนที่ 4.2 ถ้าการเปลี่ยนแปลงระดับสัญญาณอินพุตของวงจรมีคุณสมบัติความสัมพันธ์เหตุและผลกับ การเปลี่ยนแปลงระดับสัญญาณภายใจวงจรที่เป็นสัญญาณอินพุต กล่าวคือมีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนเกิดขึ้น โดยทำการตรวจสอบการตัดการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนได้ โดยเงื่อนไขของขั้นตอนที่5 แต่หากไม่มีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนปรากฏขึ้นบนทำขั้นตอนที่ 3.3

ขั้นตอนที่ 4.3 ทำการตรวจสอบคุณสมบัติความปลอดภัย ในกรณีที่มีโทเคนเริ่นต้นปรากฏบนการเปลี่ยนแปลงระดับสัญญาณของสัญญาณพ่อและสัญญาณอินพุตภายใต้วัฏจักรเชิงเดียว และ  หากโทเคนเริ่มต้นบนความสัมพันธ์เชิงล็อกครึ่งอัตราของการเปลี่ยนแปลงระดับของสัญญาณพ่อและสัญญาณภายในที่เป็นสัญญาณอินพุต เมื่อข้อกำหนดข้างต้นเป็นจริง ให้ทำ ขั้นตอนที่ 4.3.1 แต่หากไม่เป็นจริงให้ทำขั้นตอนที่ 4.3.2

ขั้นตอนที่ 4.3.1 ไม่มีการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณและทำขั้นตอนที่ 4.4

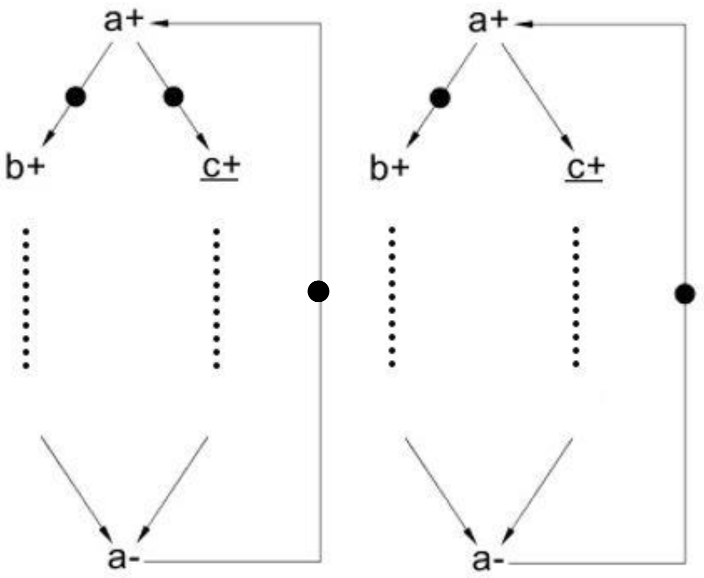
จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

ขั้นตอนที่ 4.3.2 ทำการลดเส้นการเปลี่ยนแปลงสัญญาณ ระหว่างการเปลี่ยนแปลงระดับสัญญาณพ่อและการเปลี่ยนแปลงสัญญาณอินพุต และ โทเคนหากปรากฏบนเส้นการเปลี่ยนแปลงสัญญาณที่ถูกลดเส้น และทำขั้นตอนที่ 4.3.3

ขั้นตอนที่ 4.3.3 ทำการเพิ่มเส้นการเปลี่ยนแปลงสัญญาณ เพื่อรักษาคุณสมบัติความสัมพันธ์เกี่ยวกับเหตุและผล ระหว่าง การเปลี่ยนแปลงระดับสัญญาณภายในวงจรซึ่งเป็นสัญญาณอินพุต และ การเปลี่ยนแปลงระดับสัญญาณอินพุต และทำการเพิ่มโทเคนบนการเปลี่ยนแปลงสัญญาณ เพื่อรักษาสถานะเริ่มต้นและเพื่อไม่ให้วงจรเกิดการติดตาย เนื่องจากการตัดโทเคนจากขั้นตอนที่ 4.3.2

ขั้นตอนที่ 4.4 ทำการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณโดย ขั้นตอนที่ 1 (algorithm1)

เนื่องจากแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณมีโทเคนปรากฏอยู่บนเส้นทางการเปลี่ยนแปลงสัญญาณระหว่างการเปลี่ยนแปลงระดับสัญญาณพ่อและการเปลี่ยนแปลงระดับสัญญาณภายในซึ่งเป็นอินพุตของวงจร แสดงดังรูปที่ 4.7 หากทำการตัดเส้นทางการเปลี่ยนแปลงสัญญาณดังกล่าวแล้ว ทำการเพิ่มเส้นทางการเปลี่ยนแปลงสัญญาณ ระหว่างการเปลี่ยนแปลงระดับสัญญาณภายในวงจรที่เป็นสัญญาณอินพุตกับการเปลี่ยนระดับสัญญาณอินพุต การเกิดวัฏจักรเชิงเดียวใหม่ที่เกิดขึ้นจะมีจำนวนโทเคนมากกว่าหนึ่ง ทำให้ผิดต่อคุณสมบัติความปลอดภัยและคุณสมบัติไลฟ์แนสเมื่อตัวสอบแบบจำลองการเกิดขึ้นพร้อมกันในกรณีดังกล่าวไม่สามารถทำการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณได้




(a) (b)

รูปที่ 4.7 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีโทเคนแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณที่ไม่สามารถทำการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณได้ (a) และ (b)

4.2.3 การปรับปรุงความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณ

เนื่องการปรับเปลี่ยนพฤติกรรมของ แบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณจากวิธีขั้นตอนที่ 2, วิธีขั้นตอนที่ 3 และ วิธีขั้นตอนที่ 4 ทำให้เกิดการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนหรือในกรณีที่แบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณมีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อน ขั้นตอนดังกล่าวอธิบายได้ดังนี้

Algorithm 5 The repairing STG

**Input** triangle model

**Output** repairing STG

**Step** 5.1 **Do while** (triangle model)

**Step** 5.2 **Check Initial token:**

**if** (Initial token on redundant signal transition)

{

**Step** 5.2.1 **Do** reserve a redundant signal transition on STG

}

**else**

**Step** 5.2.2 {

**Do** reduce the redundant signal transition

**}**

**Step** 5.3 **Do** algorithm 1

จากขั้นตอนที่ 5 สามารถอธิบายได้ดังนี้

ขั้นตอนที่ 5.1 ทุกๆ แบบจำลองการเกิดขึ้นของสัญญาณแบบสามเหลี่ยม (triangle model) โดยมีเส้นทางการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนเกิดขึ้น

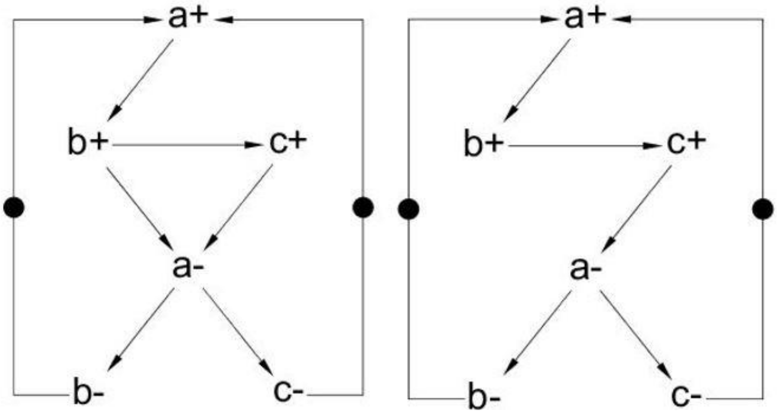
ขั้นตอนที่ 5.2 ตรวจสอบโทเคนบนการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อน หากเป็นมีโทเคนเริ่มต้น ให้ทำขั้นตอนที่ 5.2.1 หรือ หากไม่มีโทเคนปรากฏให้ทำขั้นตอนที่ 5.2.2

ขั้นตอนที่ 5.2.1 หากโทเคนเริ่มต้นปรากฏบนการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อน ไม่สามารถตัดเส้นการเปลี่ยนแปลงสัญญาณนั้นได้ เนื่องจากจะทำให้สถานะเริ่มต้น (initial state) ของวงจรเปลี่ยนแปลง และให้ทำขั้นตอนที่ 5.3

ขั้นตอนที่ 5.2.2 หากโทเคนเริ่มต้นไม่ปรากฏบนเส้นสัญญาณที่ซ้ำซ้อน สามารถตัดเส้นการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนนั้นได้ เมื่อทำการตัดเส้นสัญญาณนั้นแล้วให้ทำขั้นตอนที่ 5.3

ขั้นตอนที่ 5.3 ทำการหาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ โดย ขั้นตอนที่ 1 (algorithm1)

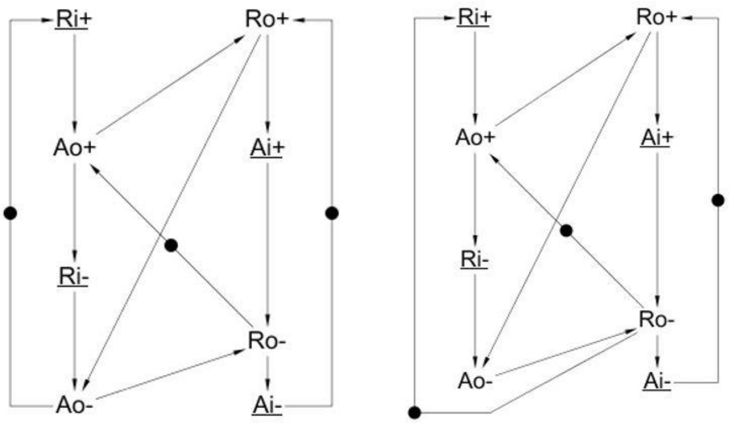
จากขั้นตอนข้างต้นกรณีที่มีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อน ระหว่างการเปลี่ยนแปลงระดับสัญญาณลูกสามารถลดรูปได้โดยการลดการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนได้หากบนบนการเปลี่ยนแปลงนั้นไม่มีโทเคนเริ่มต้น แสดงดังรูปที่ 4.8 (a) แสดงการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนเนื่องจาก a+ เป็นการเปลี่ยนแปลงระดับสัญญาณของการเปลี่ยนแปลงระดับสัญญาณก่อให้เกิด b+ และ c+ อย่างไรก็ตามแต่ b+ เป็นสัญญาณก่อให้เกิดการเปลี่ยนแปลงระดับสัญญาณ c+ แสดงในแบบจำลองการเกิดขึ้นของสัญญาณแบบสามเหลี่ยม (triangle model) ดังนั้นการเปลี่ยนแปลงสัญญาณของ b+ และ a+ ( $b^+ \rightarrow a^+$ ) ถือว่าเป็นการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อน ที่สามารถลดเส้นการเปลี่ยนแปลงสัญญาณทีซ้ำซ้อนได้ เนื่องจากการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนไม่มีโทเคนเริ่มต้นแสดงดังรูปที่ 4.8 (b)




(a) (b)

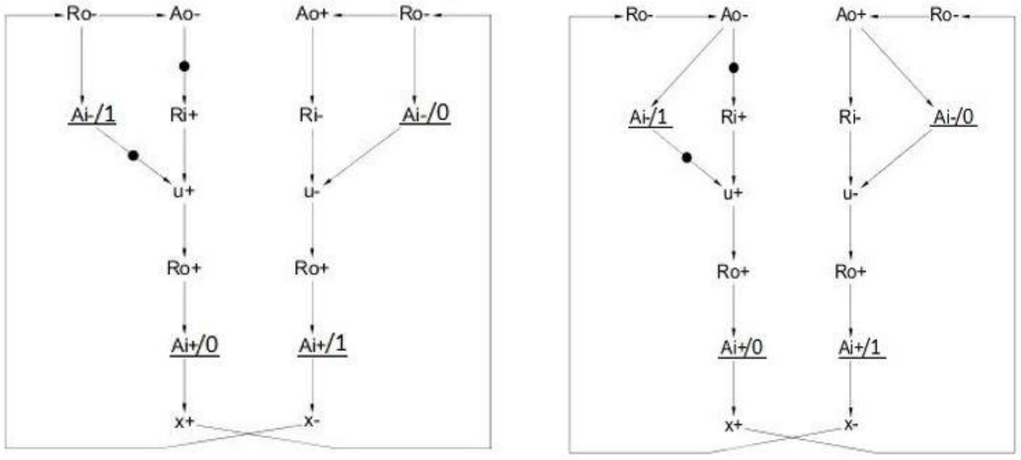
รูปที่ 4.8 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณที่มีการเปลี่ยนแปลงสัญญาณที่ซ้ำซ้อนของวงจร (a) และ (b) แสดงผลของวงจรที่ได้จากขั้นตอนการปรับปรุงความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณ

4.3 ตัวอย่างวงจรจากการลดรูปของแบบจำลองเอสดีไอ




(a) (b)

รูปที่ 4.9 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรฟูลล์ (full) (a) และ (b) แสดงผลของวงจรการลดรูปของแบบจำลองเอสดีไอ




(a) (b)

รูปที่ 4.10 แสดงกราฟการเปลี่ยนแปลงระดับสัญญาณของวงจรคอนเวอร์ตา (converta) (a) และ (b) แสดงผลของวงจรการลดรูปของแบบจำลองเอสดีไอ

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

# บทที่5
# สรุปผลการวิจัยและข้อเสนอแนะ

งานวิจัยนี้เสนอการออกแบบวงจรควบคุมอสมวารที่อธิบายการทำงานของวงจรอสมวารโดยกราฟการเปลี่ยนแปลงระดับสัญญาณโดยการปรับเปลี่ยนพฤติกรรมของการเกิดขึ้นพร้อมของการเปลี่ยนแปลงสัญญาณอินพุตของวงจร และ การเปลี่ยนแปลงสัญญาณภายในของวงจรซึ่งเป็นสัญญาณอินพุต ในพฤติกรรมของการเกิดขึ้นเป็นอันดับ รองรับการเปลี่ยนแปลงสัญญาณที่มีโทเคน ผลที่ได้จากการลดรูปของแบบจำลองเอสดีไอ เมื่อทำการสร้างวงจรทำให้วงจรมีขนาดเล็กลงจากการลดลงในเชิงเปรียบเทียบของเส้นสัญญาณภายใน,จำนวนเกทและอุปกรณ์ชนิดซี หรือเท่าเดิม แสดงดังตารางที่ 5.1 แต่สถานะค่าเริ่มต้นของวงจร (initial state) มีการเปลี่ยนแปลงหากโทเคนเริ่มต้นมีมากกว่าหนึ่ง และงานวิจัยนี้เสนอการสร้างวงจรควบคุมอสมวารโดยใช้แบบจำลองเอสดีไอภายใต้กฎของความสัมพันธ์เชิงล็อกเพื่อรักษาคุณสมบัติของความปลอดภัยและไลฟ์แนส ทั้งยังรักษาความสัมพันธ์เดิมของสัญญาณใดเพื่อความถูกต้องของการสร้างวงจรอสมวาร

**ตารางที่ 5.1 สรุปผลการทดลอง**

| วงจร | วงจรควบคุมอสมวารแบบจำลองเอสดีไอ | | วงจรควบคุมอสมวารแบบจำลองคิวดีไอ | |
|---|---|---|---|---|
| | จำนวนสัญญาณภายใน | จำนวนเกท (อุปกรณ์ชนิดซี) | จำนวนสัญญาณภายใน | จำนวนเกท (อุปกรณ์ชนิดซี) |
| converta (multi-cycle) | 16 | 7(3) | 16 | 7(3) |
| Half | 4 | 0(2) | 4 | 1(2) |
| Hybrid | 5 | 1(4) | 8 | 0(5) |
| trimos-send | 17 | 6(6) | 27 | 9(6) |
| vbe5b | 6 | 4(2) | 6 | 4(2) |
| vbe5c | 6 | 2(3) | 6 | 2(3) |
| vbe6a | 18 | 4(6) | 21 | 4(6) |
| vbe10b | 23 | 4(7) | 27 | 4(7) |

| | | | | |
|---|---|---|---|---|
| Mmu | 9 | 4(4) | 11 | 5(4) |
| chu133 | 8 | 2(2) | 12 | 3(2) |
| Full | 4 | 0(2) | 4 | 1(1) |
| master-read | 21 | 6(7) | 21 | 6(7) |
| wrdata (multi-cycle) | 8 | 0(3) | 10 | 2(3) |
| wrdatab (multi-cycle) | 27 | 10(5) | 27 | 10(5) |

## 5.1 สรุปผลการวิจัย

งานวิจัยนี้มีวัตถุประสงค์เพื่อการออกแบบ โดยมีการดำเนินการตามขั้นตอนหลักๆ ต่อไปนี้

1. การแบ่งพฤติกรรมของการเกิดขึ้นพร้อมกันของสัญญาณใดๆภายใต้กราฟการเปลี่ยนแปลงระดับสัญญาณที่ตอบสนองต่อคุณสมบัติของแบบจำลองการเกิดขึ้นพร้อมกัน (Concurrent transition Model)

2. การตัดสินใจเพื่อจำลองแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณสำหรับการลดรูปความสัมพันธ์ของกราฟการเปลี่ยนแปลงระดับสัญญาณโดยการเปลี่ยนแปลงระดับสัญญาณพ่อซึ่งเป็นสัญญาณก่อให้เกิดการเปลี่ยนแปลงระดับสัญญาณลูกมีความสัมพันธ์เชิงล็อกครึ่งอัตรา

3. การปรับปรุงกราฟการเปลี่ยนแปลงระดับสัญญาณมีการตรวจสอบคุณสมบัติของความปลอดภัยและคุณสมบัติไลฟ์แนสโดยความสัมพันธ์เชิงล็อก

## 5.2 ข้อเสนอแนะ

เนื่องจากงานวิจัยนี้นำเสนอการออกแบบวงจรควบคุมแบบอสมวารโดยใช้แบบจำลองเอสดีไอภายใต้การปรับเปลี่ยนพฤติกรรมของกราฟการเปลี่ยนแปลงระดับสัญญาณใดๆที่เกิดขึ้นพร้อมกันในรูปแบบความหน่วงของเกตและสายสัญญาณ เราพบว่าจากกฎของแบบจำลองเอสดีไอสามารถพิจารณาการ

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

เกิดขึ้นพร้อมกันของสององค์ประกอบใดๆ ในรูปแบบเส้นทาง (path) กล่าวคือเราไม่จำเป็นต้องพิจารณาแบบจำลองการเกิดขึ้นพร้อมกันของสัญญาณ เพื่อลดขั้นตอนในการออกแบบ

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

# รายการอ้างอิง


1. Chu, T.A., *Synthesis of self-timed VLSI Circuits from Graph-Theoretic Specifications*, in *Electrical Engineering and Computer Science*. 1986 Massachusetts Institute of Technology. p. 199.
2. Nanya, T., et al. *Scalable-Delay-Insensitive Design: A high-performance approach to dependable asynchronous systems (Invited paper)*. in *International Symp. on Future of Intellectual Integrated Electronics*. 1999.
3. Hauck, S., *Asynchronous design methodologies: an overview.* 1995. 83(1): p. 69 - 93.
4. Park, S.B., *Synthesis of Asynchronous VLSI circuits from Signal Transition Graph Specifications*, in *Engineering-Computer Science*. 1996, Tokyo Institute of Technology. p. 126.
5. Takamura, A., et al. *TITAC-2: an asynchronous 32-bit microprocessor based on scalable-delay-insensitive model*. in *Computer Design: VLSI in Computers and Processors*. 1997. IEEE.
6. Imai, M., M. Ozcan, and T. Nanya. *Evaluation of delay variation in asynchronous circuits based on the scalable-delay-insensitive model*. 2004. Asynchronous Circuits and Systems.
7. Cortadella, J., et al. *Synthesis of asynchronous control circuits with automatically generated relative timing assumptions*. in *IEEE/ACM International Conference Computer-Aided Design*. 1999. San Jose, CA, USA: IEEE.
8. Stevens, K.S., R. Ginosar, and S. Rotem, *Relative timing.* IEEE Transactions on Very Large Scale Integration (VLSI) Systems 2003. 11(1): p. 129 - 140.

# ภาคผนวก

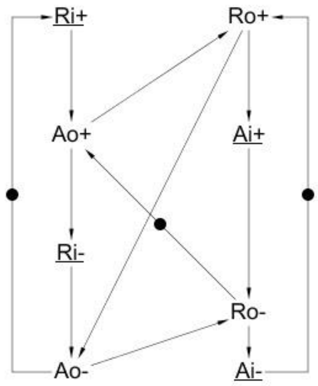
จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

ภาคผนวก ก.

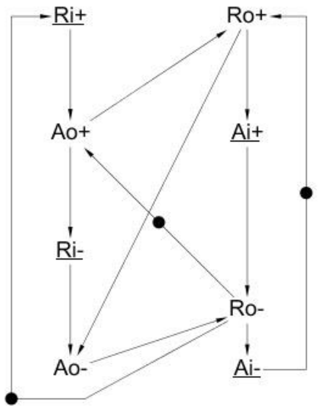
การเปรียบเทียบวงจรควบคุมอสมวารที่ออกแบบโดยแบบจำลองคิวดีไอและแบบจำลองเอสดีไอ

1.วงจร full

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ

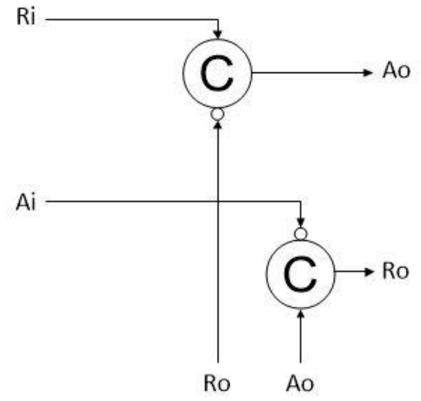



กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ

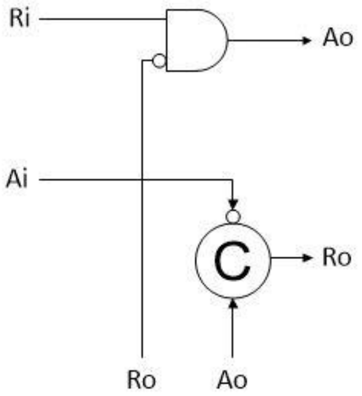



จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ



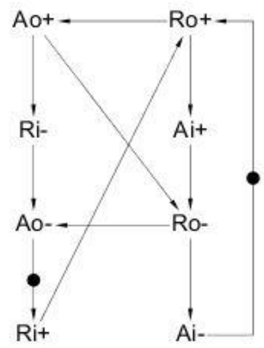

วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ



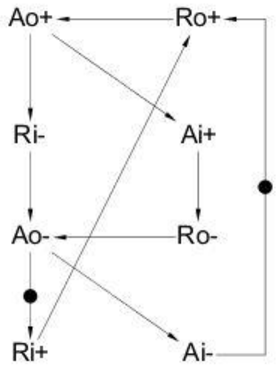

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

วงจร half

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ

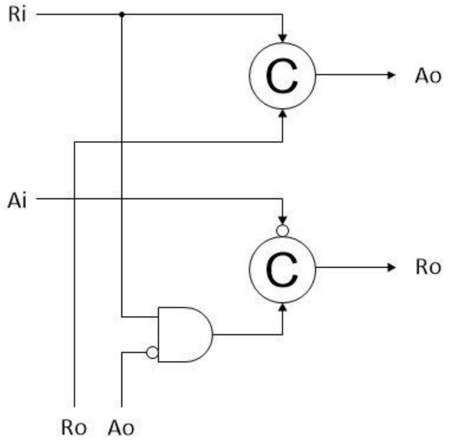



กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ

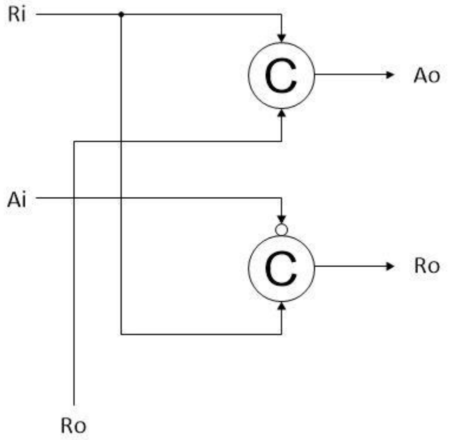



จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ

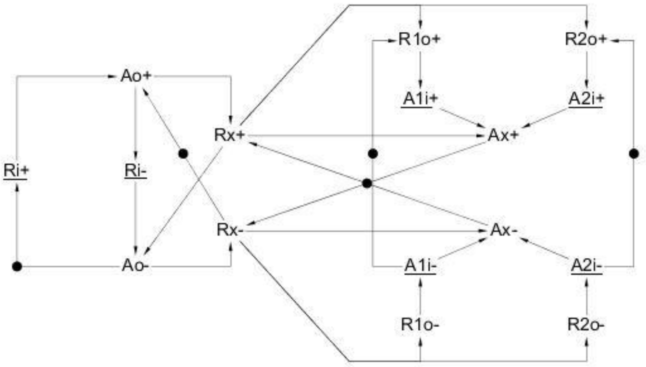



วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ

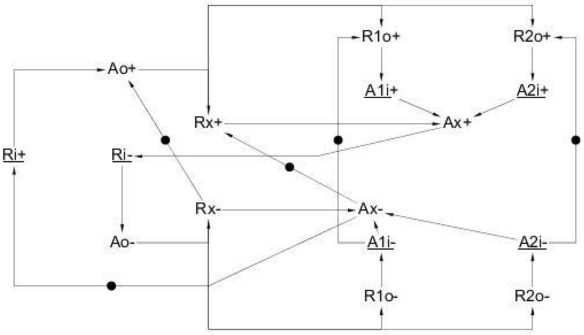


วงจร hybridf

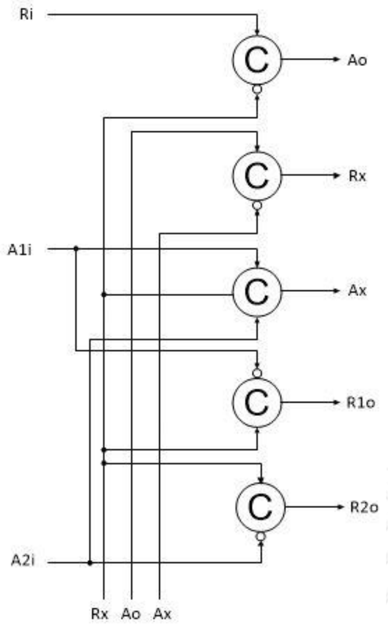
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ



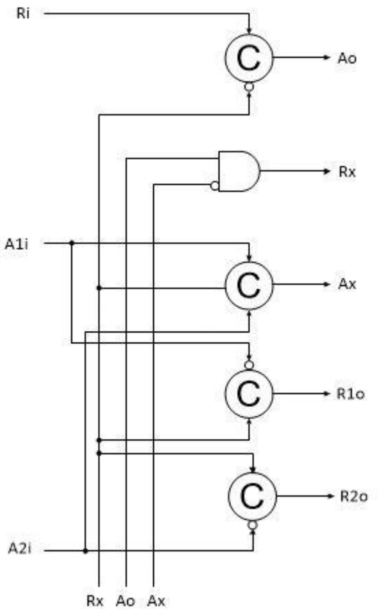

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ

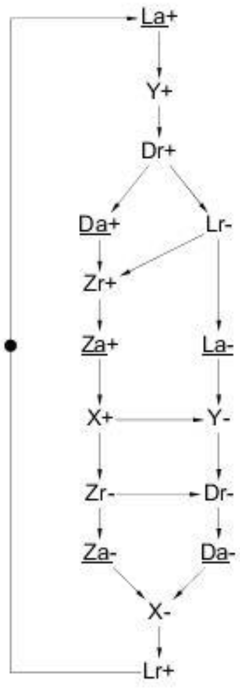



วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ

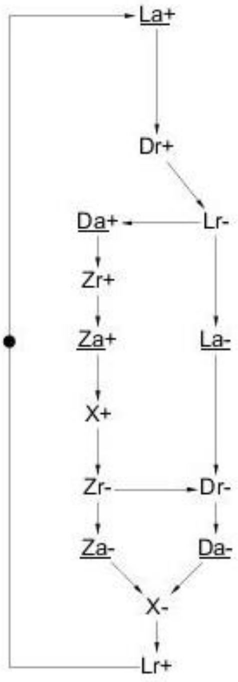


วงจร chu133

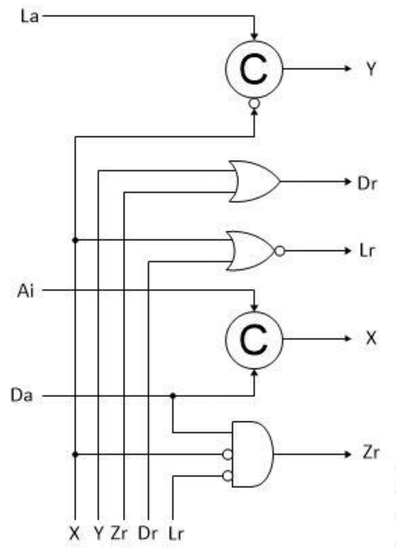
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ



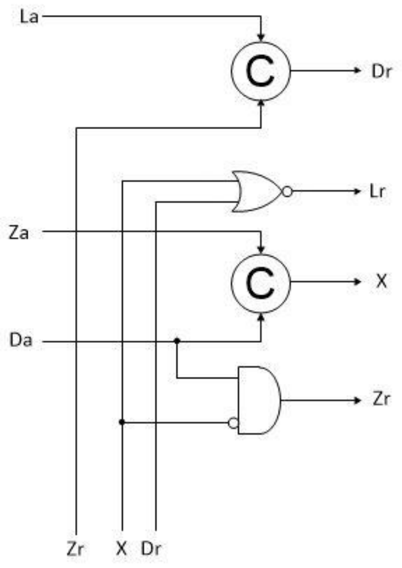

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ

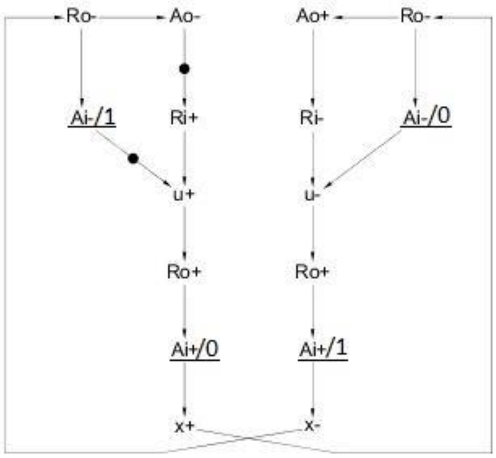



วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ

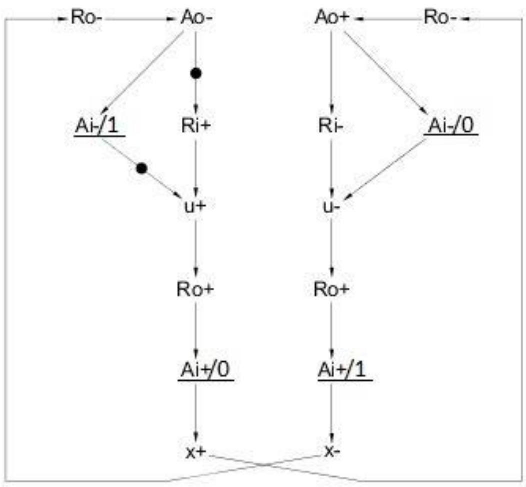


วงจร converta

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ

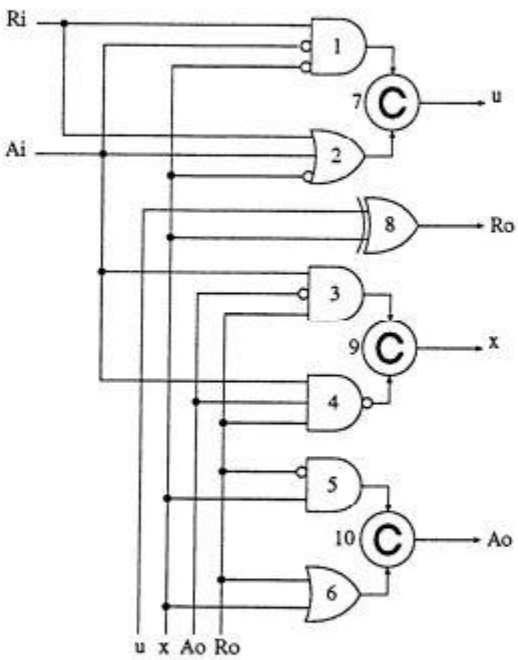



กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ




จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

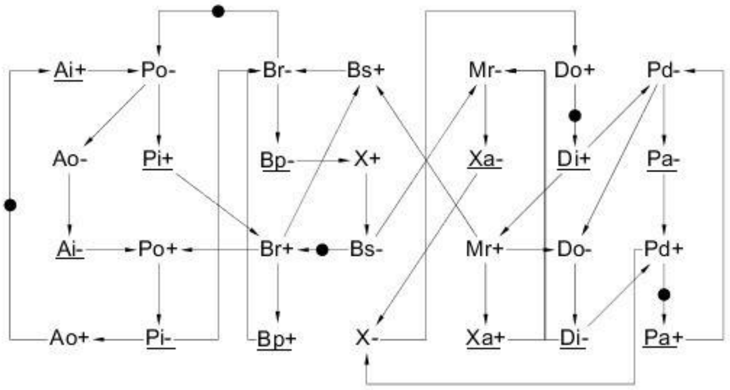
วงจรควบคุมอสมวารของแบบจำลองคิวดีไอและแบบจำลองเอสดีไอ



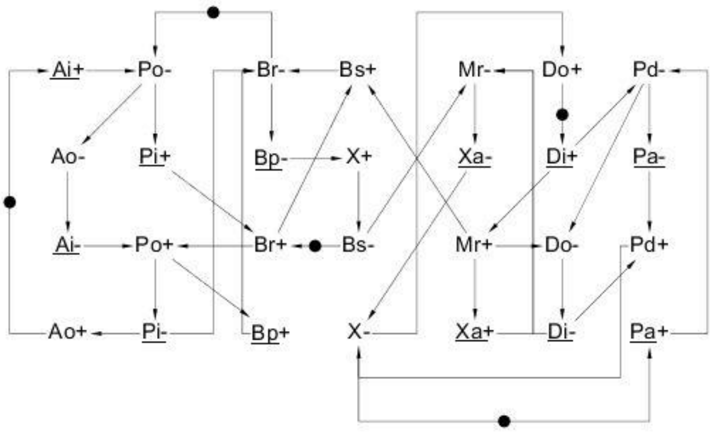

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

วงจร master-read

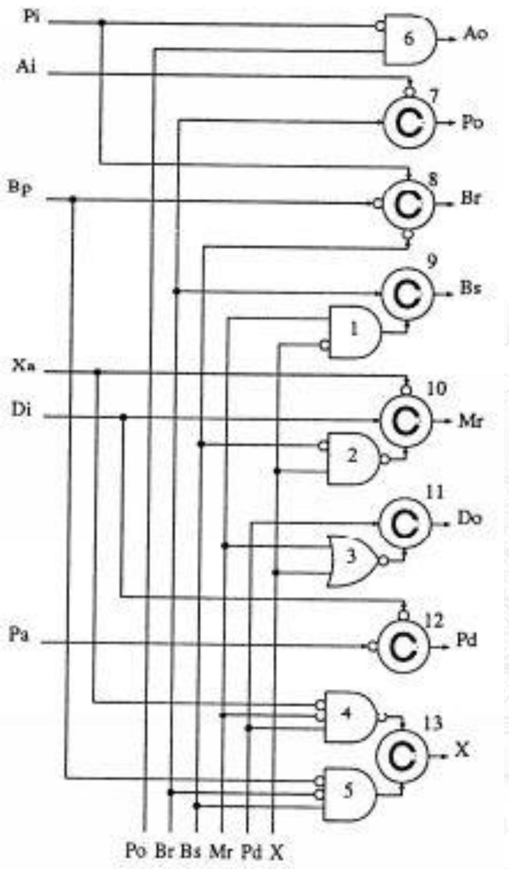
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ




กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



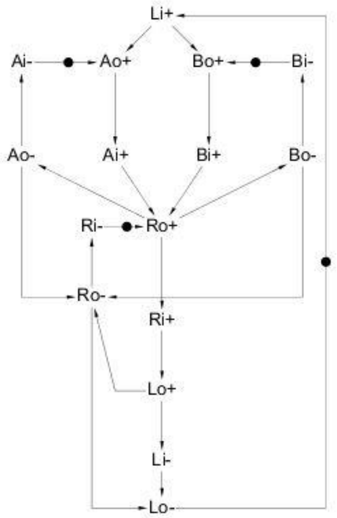
วงจรควบคุมอสมวารของแบบจำลองคิวดีไอและแบบจำลองเอสดีไอ




CHULALONGKORN UNIVERSITY

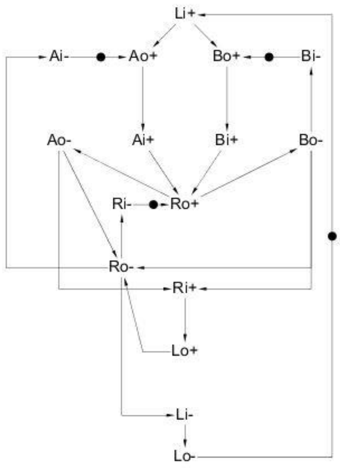
วงจร mmu

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ

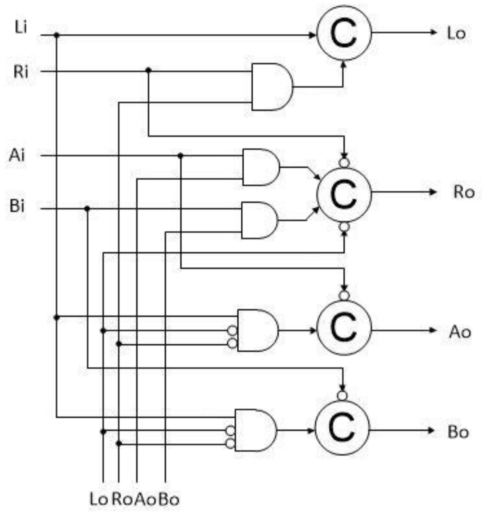



กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ

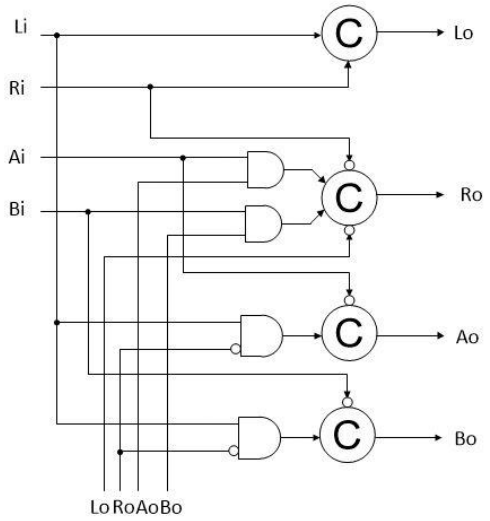
จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University



วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ



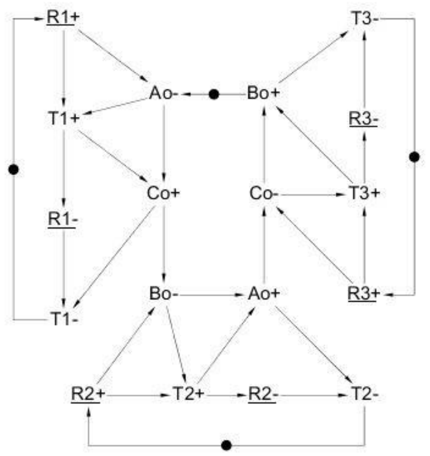

วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ



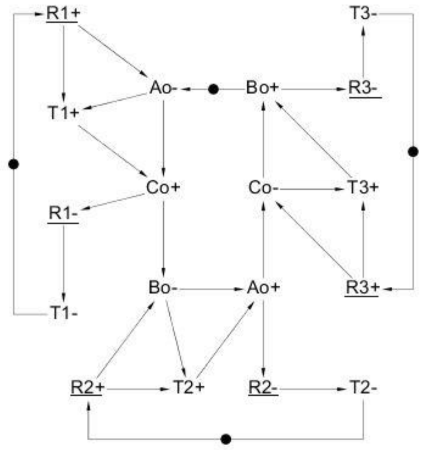

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

วงจร trimos-send

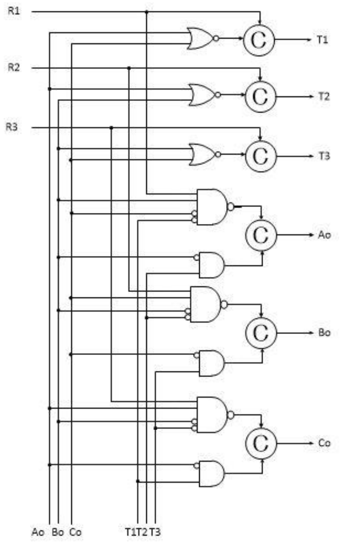
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ



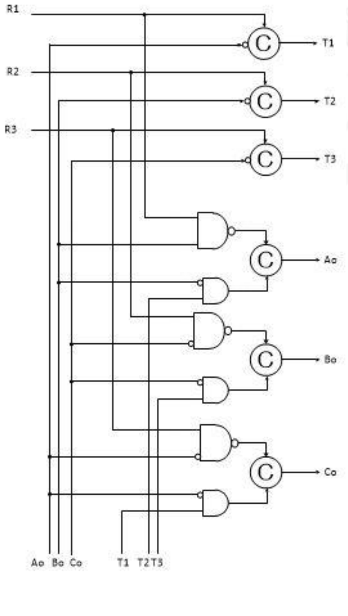

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ

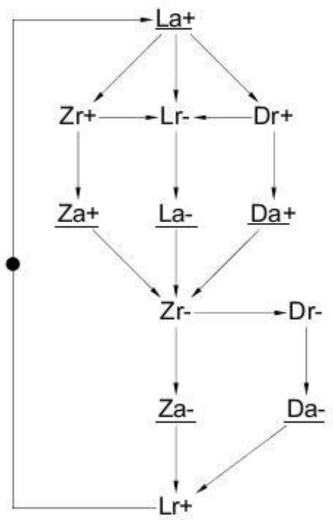



วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ

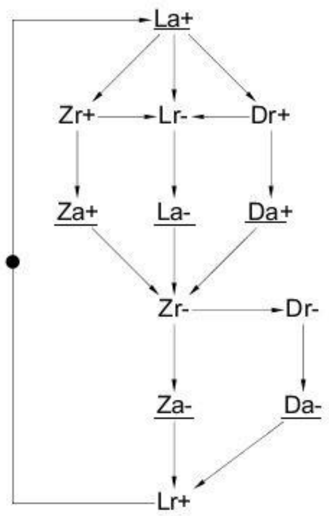


วงจร vbe5b

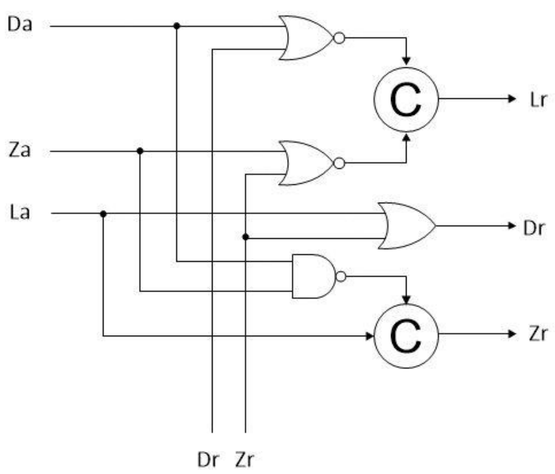
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ




กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



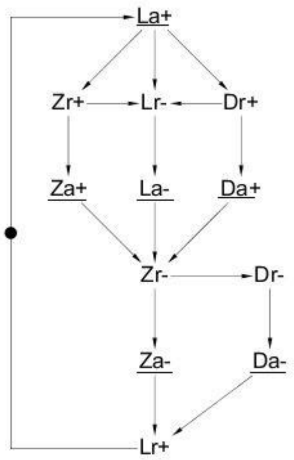
วงจรควบคุมอสมวารของแบบจำลองคิวดีไอและแบบจำลองเอสดีไอ



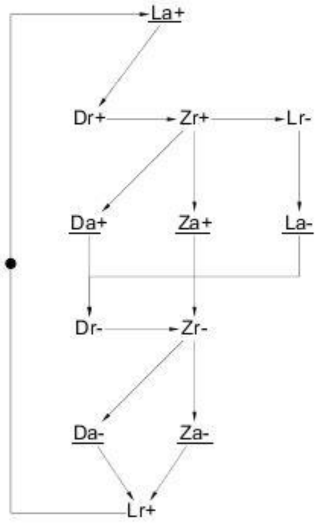

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

วงจร vbe5c

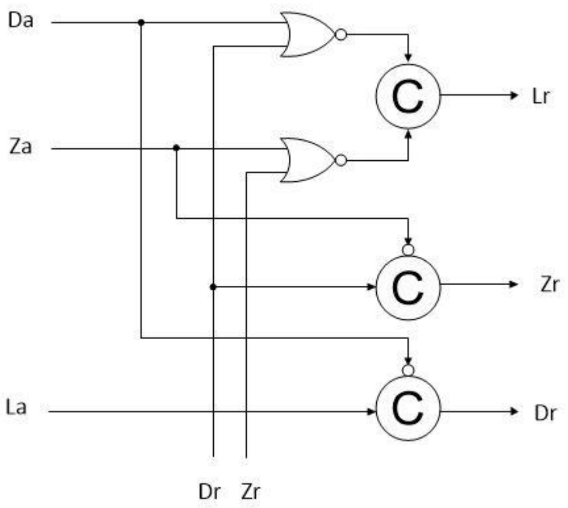
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ




กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



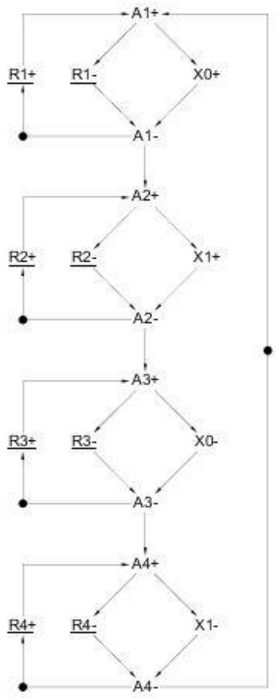
วงจรควบคุมอสมวารของแบบจำลองคิวดีไอและแบบจำลองเอสดีไอ



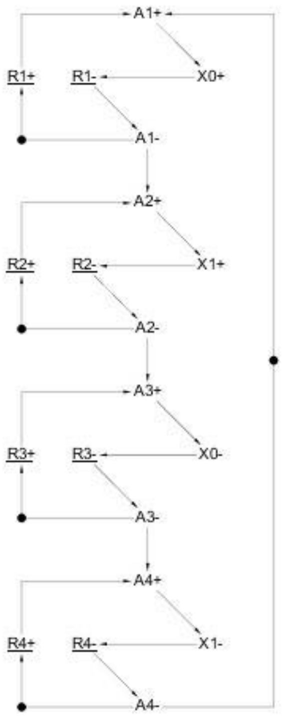

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

วงจร vbe6a

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ

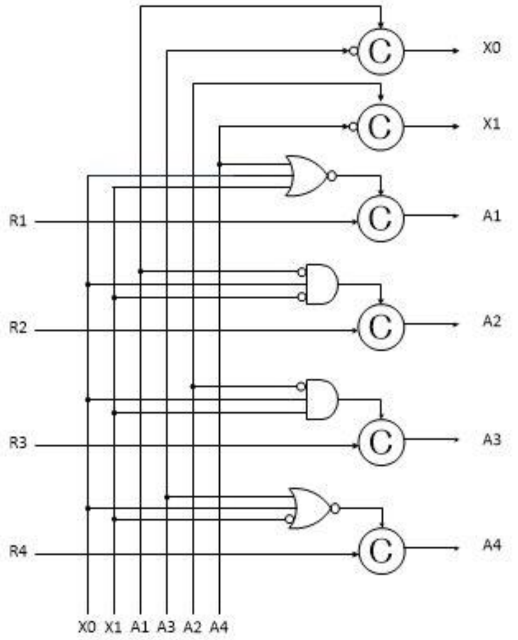



กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ

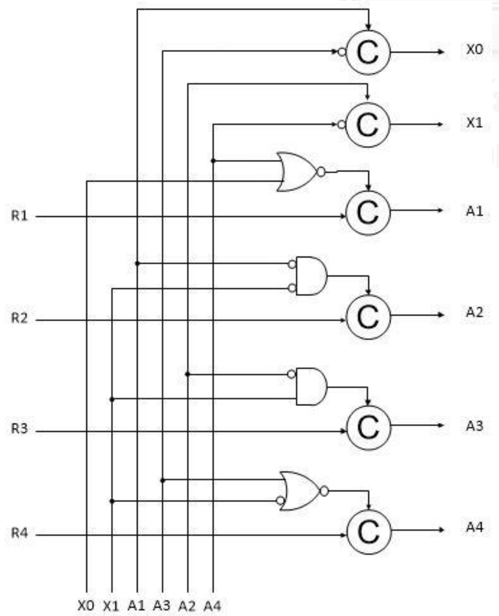



จุฬาลงกรณ์มหาวิทยาลัย
HULALONGKORN UNIVERSITY

วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ

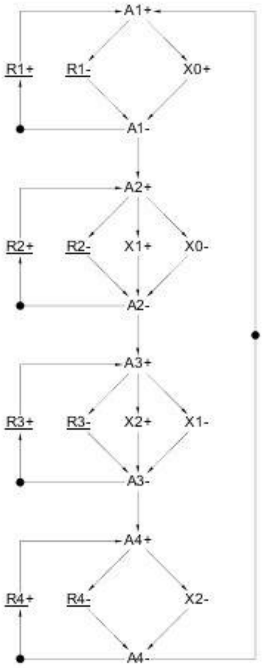



วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ

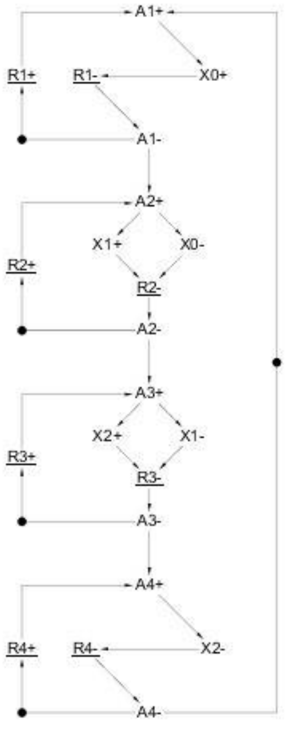


วงจร vbe10b

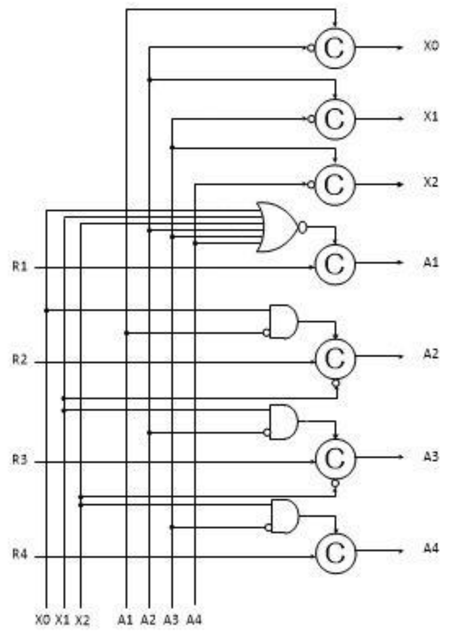
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ



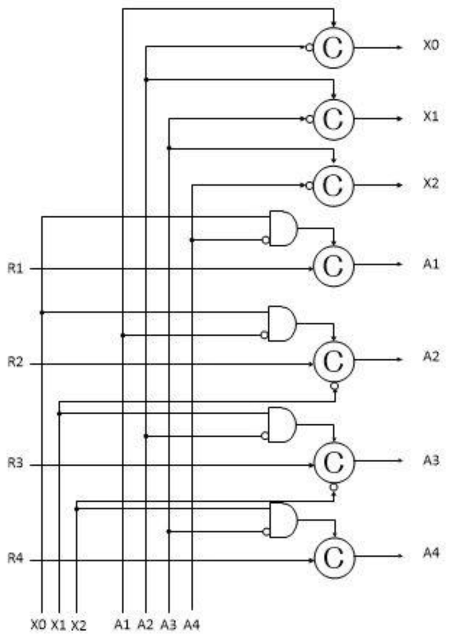

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ

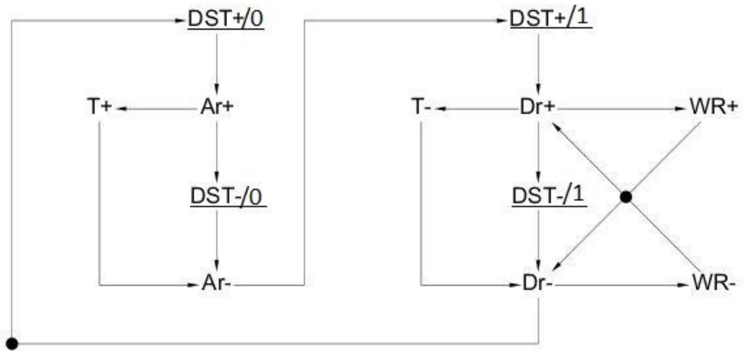



วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ



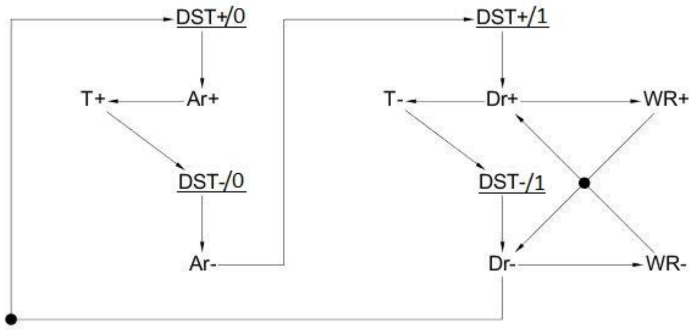
วงจร wrdata

กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ

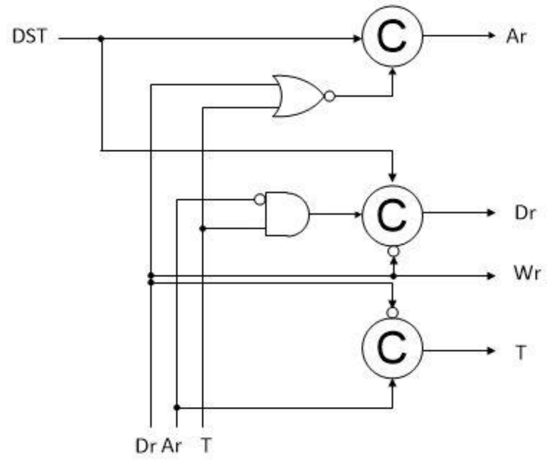



กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ

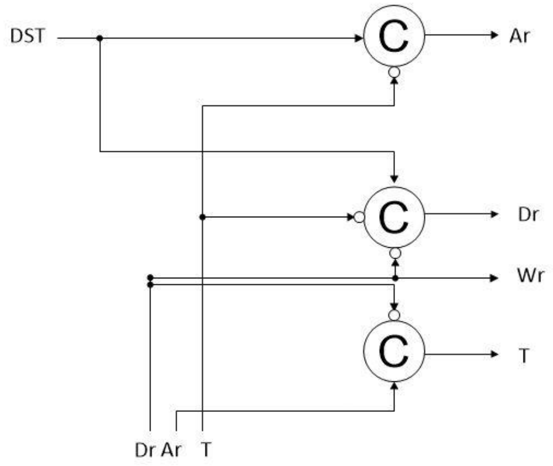
จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY



วงจรควบคุมอสมวารของแบบจำลองคิวดีไอ

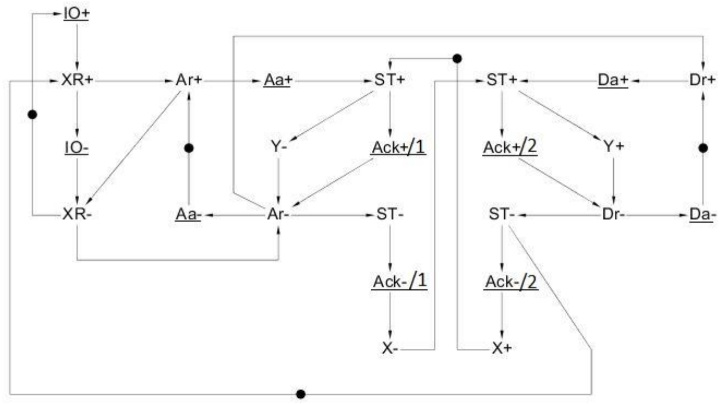



วงจรควบคุมอสมวารของแบบจำลองเอสดีไอ

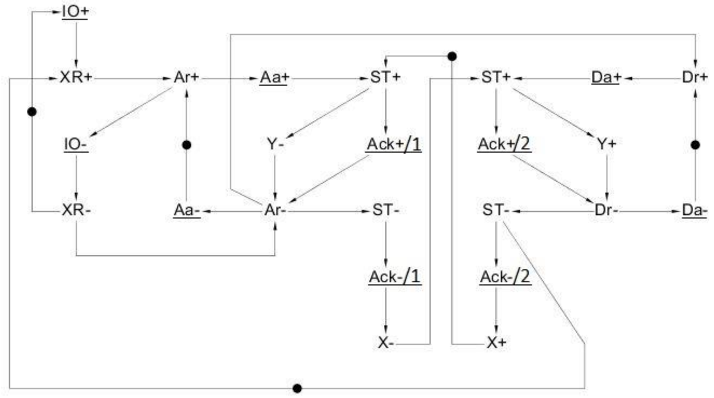


วงจร wrdatab

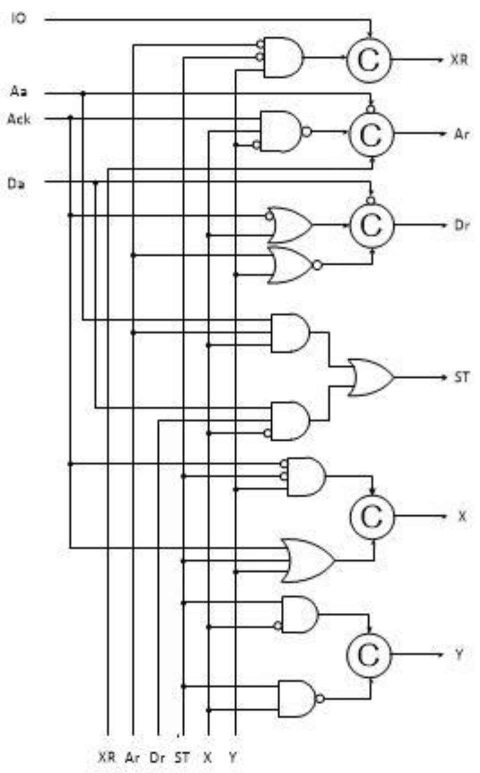
กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองคิวดีไอ




กราฟการเปลี่ยนแปลงระดับสัญญาณของแบบจำลองเอสดีไอ



วงจรควบคุมอสมวารของแบบจำลองคิวดีไอและแบบจำลองเอสดีไอ




จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University

# ประวัติผู้เขียนวิทยานิพนธ์

นางสาว พิชยพัชยา ศรีคร้าม เกิดเมื่อวันที่ 28 มีนาคม 2532 ที่จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต จากภาควิชาวิศวกรรมอิเล็กทรอนิกส์และระบบคอมพิวเตอร์ คณะวิศวกรรมศาสตร์และเทคโนโลยีอุตสาหกรรม มหาวิทยาลัยศิลปากร ในปีการศึกษา 2554 และเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตร์มหาบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ ที่ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัยปีการศึกษา 2555

จุฬาลงกรณ์มหาวิทยาลัย
Chulalongkorn University