บทที่ 1

บทนำ

1.1 แนวเหตุผลในการทำวิทยานิพนธ์

ในอดีตที่ผ่านมา การออกแบบวงจร CMOS VLSI จะมีจุดประสงค์หลักที่นักออกแบบจะคำนึงถึงเป็นอันดับแรกๆ คือ พื้นที่, ประสิทธิภาพ, ต้นทุนในการผลิต และ ความเชื่อถือได้ของวงจร ส่วนทางด้านกำลังนั้น นักออกแบบมักจะคำนึงถึงรองลงมา แต่ในปัจจุบันทางด้านกำลังนั้นมีความสำคัญในการออกแบบวงจร CMOS VLSI เพิ่มขึ้น เมื่อเปรียบเทียบกับข้อบังคับทางด้านอื่นๆ เช่น ความเร็ว, อัตราปริมาณของงาน, ขนาดพื้นที่ของซิลิกอน วงจรกำลังต่ำมีประโยชน์ต่อผู้ใช้งานอุปกรณ์อิเล็กทรอนิกส์เพราะสามารถใช้งานแบตเตอรี่ได้นานขึ้น นอกจากนี้ยังมีประโยชน์ทางด้านหีบห่อ (Packaging) เพราะขนาดของอุปกรณ์อิเล็กทรอนิกส์เล็กลงและมีน้ำหนักเบา เนื่องจากการเจริญเติบโตอย่างรวดเร็วของเทคโนโลยีทางด้านอิเล็กทรอนิกส์ ระบบการสื่อสารและคอมพิวเตอร์ทำให้วงจรกำลังต่ำมีการใช้งานในอุปกรณ์อิเล็กทรอนิกส์ต่างๆแพร่หลายมากขึ้น ยกตัวอย่างเช่น โทรศัพท์มือถือ กล้องถ่ายรูปดิจิตอล [1]

วงจรคูณเป็นวงจรหนึ่งที่มีความสำคัญในการทำงานของหน่วยประมวลผลเลขคณิตและตรรกะ (Arithmetic Logic Unit) จึงเป็นองค์ประกอบหนึ่งที่สำคัญในอุปกรณ์อิเล็กทรอนิกส์และสื่อสารต่างๆ โครงสร้างของวงจรคูณมีได้ทั้งแบบอนุกรมและแบบขนาน โดยที่วงจรคูณแบบอนุกรมการบวกจะบวกที่ละบิตอย่างรวดเร็วแต่ใช้จำนวนรอบของการบวกมาก และพื้นที่ของวงจรคูณแบบอนุกรมมีขนาดเล็กทำให้กำลังของวงจรต่ำ ส่วนวงจรคูณแบบขนานในการบวกจะบวกได้หลายบิตพร้อมๆกัน ซึ่งวงจรคูณแบบขนานมีพื้นที่ขนาดใหญ่ทำให้กินกำลังสูงและค่าการหน่วงก็มาก [2]

วิทยานิพนธ์นี้จึงมีจุดมุ่งหมายเพื่อออกแบบวงจรคูณกำลังต่ำที่มีโครงสร้างวงจรเป็นแบบขนาน ตามปกติวงจรคูณแบบนี้จะมีพื้นที่มาก และ กินกำลังสูง ดังนั้นการออกแบบวงจรคูณกำลังต่ำจึงมีความสำคัญมากต่อการใช้งานวงจรในระบบ VLSI ขนาดใหญ่ โดยนำเทคนิคแรงดันแหล่งจ่ายไฟคู่มาใช้ ทั้งนี้เพราะกำลังของวงจรแปรตามขนาดของแรงดันแหล่งจ่ายในเชิงกำลังสอง ดังนั้นเมื่อลดขนาดแรงดันกำลังสูญเสียก็ลดลงด้วย หลักการใช้แรงดันแหล่งจ่ายไฟคู่ คือ จะแบ่งแรงดันออกเป็นแรงดันแหล่งจ่ายค่าต่ำ (V_{DDL}) และแรงดันแหล่งจ่ายค่าสูง (V_{DDH}) โดยแรงดันแหล่งจ่ายค่าสูง (V_{DDH}) จะถูกจ่ายให้กับเซลล์ที่อยู่ในวิถีวิกฤติ (critical path) (วิถีวิกฤติก็คือวิถีที่มีเซลล์มากที่สุด) ส่วนแรงดันแหล่งจ่ายค่าต่ำ (V_{DDL}) จะถูกจ่ายให้กับเซลล์ในวิถีอื่นๆ เทคนิคนี้จะทำให้สามารถลดกำลังสูญเสียลงได้โดยไม่ทำให้ค่าความหน่วงของวงจรลดลง [3-4]

1.2 วัตถุประสงค์ของการวิจัย

1.2.1 ศึกษาและออกแบบวงจรบวกเต็มอัตรา 1 บิต กำลังต่ำให้มีการหน่วงช้าที่สุด (Worst delay) ทั้งทางด้านสัญญาณออกผลบวกและตัวทดให้มีค่าใกล้เคียงกัน

1.2.2 ศึกษาและออกแบบวงจรคูณชนิดซีมอสกำลังต่ำ โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่

1.3 ขอบเขตของการวิจัย

1.3.1 ออกแบบวงจรบวกเต็มอัตรา 1 บิต กำลังต่ำ (Low-power 1 bit full adder) และวงจรบวกครึ่งอัตรา (Half adder) โดยใช้ V_{DD} ที่ 3.3 V

1.3.2 ออกแบบวงจรคูณกำลังต่ำขนาด 16 x 16 บิต จากวงจรบวกเต็มอัตรา1 บิต กำลังต่ำ และวงจรบวกครึ่งอัตราที่สร้างขึ้น

1.3.3 วาดลาย (Layout) วงจรคูณกำลังต่ำขนาด 16 x 16 บิต โดยใช้เทคโนโลยี CMOS ขนาด 0.25 μm และ ประมาณกำลังของวงจร

1.4 วิธีดำเนินการวิจัย

1.4.1 ศึกษาข้อมูลเกี่ยวกับประสิทธิภาพทางกำลังในวงจร VLSI และ เทคนิคในการลดกำลังในวงจรรวม (Integrated circuit)

1.4.2 ศึกษาและออกแบบวงจรบวก 1 บิต กำลังต่ำ และ วงจรบวกครึ่งอัตรา

1.4.3 ศึกษาและออกแบบวงจรคูณกำลังต่ำขนาด 16 x 16 บิต โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่

1.4.4 วาดลายวงจรคูณกำลังต่ำที่ได้ออกแบบไว้ขนาด 16 x 16 บิต ในเทคโนโลยี CMOS ขนาด 0.25 μm และประมาณกำลังของวงจร

1.4.5 จำลองวงจรคูณกำลังต่ำขนาด 16 x 16 บิต

1.4.6 สรุปผลและเขียนวิทยานิพนธ์

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1.5.1 ได้วงจรคูณชนิดซีมอสกำลังต่ำ ซึ่งสามารถนำไปประยุกต์ใช้งานทางการประมวลผล และการสื่อสารได้

1.5.2 บุคคลากรที่มีความรู้และประสบการณ์ทางด้านการออกแบบวงจรกำลังต่ำ

1.5.3 เป็นแนวทางสำหรับการศึกษาวิจัยเทคนิคการประยุกต์ใช้แรงดันแหล่งจ่ายไฟคู่กับวงจรคำนวณแบบอื่นๆต่อไป

1.6 ลำดับขั้นตอนในการเสนอผลการวิจัย

วิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 5 บท โดยเริ่มจากบทที่ 2 จะกล่าวถึงโครงสร้างวงจรคูณแบบต่างๆ และวงจรบวก ตลอดจนงานวิจัยที่ได้มีผู้ศึกษามาก่อน บทที่ 3 เสนอรายละเอียดของการออกแบบวงจรกำลังต่ำและเทคนิคแรงดันแหล่งจ่ายไฟคู่ ในบทที่ 4 กล่าวถึงรายละเอียดการออกแบบและการวาดลายวงจรในระดับทรานซิสเตอร์และเสนอผลการจำลองวงจร บทที่ 5 กล่าวถึงสรุปผลงานวิจัยและข้อเสนอแนะในการพัฒนาต่อไป