หอสมุดกลาง ศูนย์วิทยทรัพยากร จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 3

การออกแบบวงจรกำลังต่ำและเทคนิคแรงดันแหล่งจ่ายไฟคู่

ในวงจร CMOS จะแบ่ง กำลังสูญเสีย ออกเป็น 2 ชนิด คือ กำลังสูญเสียพลวัต (Dynamic power dissipation) ซึ่งเป็นกำลังที่คิดจากการอัดประจุและคายประจุที่เป็นตัวเก็บประจุภายในวงจร และ กำลังสูญเสียสถิต (Static power dissipation) ซึ่งเป็นกำลังสูญเสียที่เกิดจากกระแสรั่ว (leakage current) ในการคำนวณกำลังสูญเสียจะเน้นที่กำลังสูญเสียพลวัต ซึ่งแบ่งเป็นสัดส่วนที่เกิดกำลังสูญเสียประมาณ 85-90 % [12], [18]

ดังนั้นสมการกำลังสูญเสียพลวัต คือ

$$P_{DYNAMIC} = \alpha \cdot C_L \cdot V_{DD}^{\ 2} \cdot f_{clk} \qquad (3\text{-}1)$$

ซึ่ง f_{clk} คือ ความถี่ของสัญญาณนาฬิกา (Clock frequency)

V_{DD} คือ แรงดันแหล่งจ่าย (Supply voltage)

α คือ ลักษณะการสลับค่าของสัญญาณ (Switching activity)

C_L คือ ความจุภาระ (Load capacitance)

3.1 การออกแบบวงจรกำลังต่ำ

ในการออกแบบวงจรกำลังต่ำ จะต้องคำนึงถึงปัจจัยที่สำคัญ 3 ประการด้วยกัน ซึ่งพิจารณาได้จากสมการที่ (3-1) คือ แรงดันแหล่งจ่าย (V_{DD}), ความจุ (Capacitance) และลักษณะการสลับค่าของสัญญาณ ในการลดกำลังของวงจรจะต้องพิจารณาลดปัจจัยตัวใดตัวหนึ่ง หรือหลายปัจจัยประกอบกัน

3.1.1 แรงดันแหล่งจ่าย (V_{DD}) มักเป็นปัจจัยแรกที่ถูกพิจารณา ข้อเสียของการลดแรงดันแหล่งจ่าย คือ ความเร็วของวงจรจะลดลงด้วย เพราะเวลาหน่วง (Delay time) จะเพิ่มขึ้นอย่างมาก โดยเฉพาะเมื่อ V_{DD} เข้าใกล้แรงดันขีดเริ่มเปลี่ยน (Threshold voltage : V_{TH}) ดังนั้นในการลดแรงดันแหล่งจ่ายจะต้องลดแรงดันขีดเริ่มเปลี่ยน (V_{TH}) ด้วย เพื่อไม่ให้ความเร็วลดลงมากนัก และจำกัดขอบเขตของการลดแรงดันแหล่งจ่าย (V_{DD}) ลงต่ำสุดไม่เกิน 2-3 เท่า ของแรงดันขีดเริ่มเปลี่ยน (V_{TH}) ค่าแรงดันขีดเริ่มเปลี่ยน (V_{TH}) ที่นิยมใช้กันอยู่ในปัจจุบันอยู่ที่ค่าประมาณ 0.3 V ที่อุณหภูมิห้อง [1]

3.1.2. ความจุ (Capacitance) การลดขนาดความจุทำได้ยากขึ้นอยู่กับโครงสร้างของแต่ละวงจร ความจุจะขึ้นอยู่กับจำนวนสัญญาณด้านเข้าและด้านออก และความซับซ้อนของวงจร การลด

ขนาดความจุโดยตรงทำได้ด้วยการใช้จำนวนเกตน้อยลงและใช้เกตที่มีขนาดเล็ก [1]

3.1.3. ลักษณะการสลับค่าของสัญญาณ (Switching activity) เป็นค่าความถี่ในการสลับค่าของสัญญาณด้านออก ซึ่งในการสลับสัญญาณแต่ละครั้งจะทำให้เกิดกำลังสูญเสียพลวัตขึ้น โดยที่ลักษณะการสลับค่าของสัญญาณจะขึ้นอยู่กับรูปแบบของสัญญาณด้านเข้า (Input pattern) และชนิดของตรรกะ (Logic type) [1]

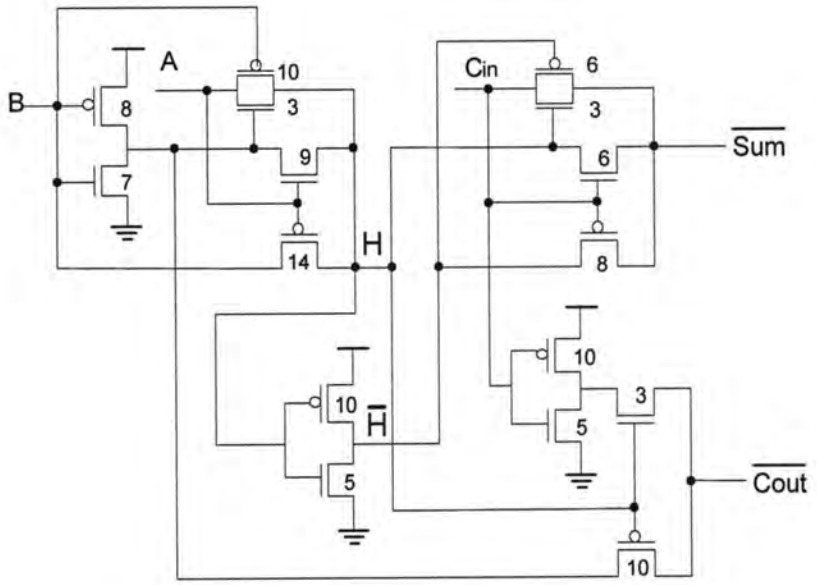
3.2 การออกแบบวงจรบวกเต็มอัตรา 1 บิต กำลังต่ำ

ในการออกแบบวงจรบวกเต็มอัตรา 1 บิต กำลังต่ำ (Low-power 1 bit full adder) โครงสร้างภายในวงจรบวกมีลักษณะเป็นแบบ Pass transistor ดังแสดงในรูปที่ 2-7 โดยการลดกำลังในวงจรบวกซึ่งเป็นวงจรพื้นฐานในวงจรคูณทำให้สามารถลดกำลังโดยรวมของวงจรคูณได้ ดังนั้นในการออกแบบวงจรบวกกำลังต่ำ เราสามารถเลือกวิธีการลดกำลังของวงจรลงได้โดยนอกจากวิธีการลดจำนวนทรานซิสเตอร์แล้ว ยังสามารถลดค่าความจุภาระและความจุแฝงของวงจร (Load capacitance and parasitic capacitance) ได้โดยการปรับขนาดของทรานซิสเตอร์ (Transistor sizing) ให้เหมาะสม

3.2.1 การปรับขนาดของทรานซิสเตอร์ (Transistor sizing) ให้เหมาะสม เพื่อลดค่าความจุภาระและความจุแฝง (Load and parasitic capacitance) กล่าวคือไม่มีทรานซิสเตอร์ตัวใดมีขนาดใหญ่เกินความจำเป็น วิธีการหนึ่งที่เสนอโดย Shams [17] คือ ปรับขนาดของทรานซิสเตอร์ในแต่ละส่วน (Module) ซึ่งมีขั้นตอนดังนี้

1. กำหนดขนาดต่ำที่สุด (W = 1) ให้ทรานซิสเตอร์ทุกตัวในวงจรทั้ง PMOS และ NMOS
2. จำลองวงจร (simulate) หาค่าความหน่วงของวงจรทุกๆ การเปลี่ยนค่าของอินพุทที่เป็นไปได้ (possible input transition)
3. หาวิถีวิกฤติ (critical path) ที่มีการหน่วงเวลามากสุด (highest delay time) จากผลในข้อที่ 2
4. เพิ่มขนาดของทรานซิสเตอร์ในวิถีวิกฤติ (critical path) โดยเลือกทรานซิสเตอร์ 1 ตัวและเพิ่มขนาดของทรานซิสเตอร์ตัวนั้นจนกว่าค่าผลคูณระหว่างกำลังกับการหน่วง (power-delay product) ของวิถีนั้นเพิ่มขึ้น และเลือกขนาดของทรานซิสเตอร์ที่มีค่าผลคูณระหว่างกำลังกับการหน่วงต่ำสุด
5. ทำซ้ำ 2, 3 และ 4 จนกว่าค่าผลคูณระหว่างกำลังกับการหน่วงไม่ลดลงเมื่อเพิ่มขนาดของทรานซิสเตอร์

ในการออกแบบวงจรคูณนี้เราเลือกใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ ดังนั้นจึงต้องปรับขนาดทรานซิสเตอร์ในวงจรบวก 2 แบบ ที่แรงดันแหล่งจ่ายต่างกัน คือ 2.5 V และ 3.3 V การปรับขนาดทรานซิสเตอร์ของวงจรบวกใช้โปรแกรม Spice จำลองการทำงานวงจร โดยทำตามขั้นตอนที่กล่าวมาข้างต้น เทคโนโลยีของ CMOS ที่ใช้ คือ TSMC 0.25 μm สังเกตว่าวิธีการของ Shams [17] นี้จะใช้เวลามากในการหาขนาดของทรานซิสเตอร์ที่เหมาะสม แม้แต่ในวงจรที่มีขนาดเล็ก เช่น วงจรบวกเต็มอัตรา 1 บิต



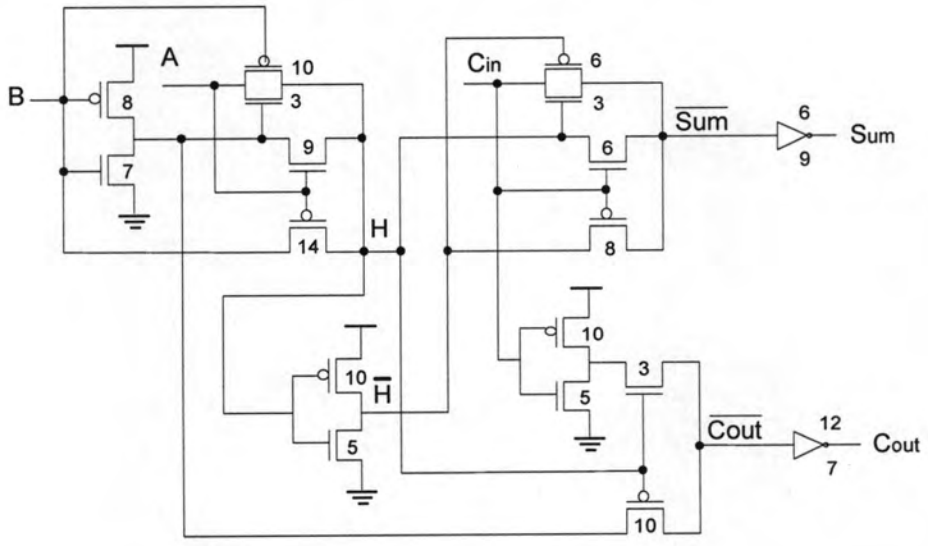
รูปที่ 3-1: ขนาดของทรานซิสเตอร์ในวงจรบวกเต็มอัตรา 1 บิต

รูปที่ 3-1 เป็นวงจรบวกตามรูปที่ 2-7 ที่แสดงค่าขนาดของทรานซิสเตอร์ที่ได้จากวิธีการขั้นตอนข้างต้นที่แรงดันแหล่งจ่ายเท่ากับ 3.3 V การออกแบบวงจรบวกนี้ยังไม่สมบูรณ์เนื่องจากยังไม่ได้ปรับขนาดของอินเวอร์เตอร์ที่จะใส่เข้าไปเพื่อเปลี่ยนสัญญาณด้านออกให้เป็นผลบวก (Sum) และ ตัวทด (Cout) เพื่อให้สามารถขับสัญญาณด้านออกของวงจรบวกตัวถัดไปได้ ซึ่งการปรับขนาดของอินเวอร์เตอร์จะต้องสมมุติภาระรวมที่เป็นตัวเก็บประจุของสัญญาณด้านออกแต่ละเส้น คือ C1 ภาระของสัญญาณด้านออกที่เป็นผลบวก และ C2 ภาระของสัญญาณด้านออกที่เป็นตัวทด ซึ่งภาระด้านออกของอินเวอร์เตอร์จะขึ้นอยู่กับจำนวนสัญญาณด้านออก (Fan-out) ของอินเวอร์เตอร์ ตารางที่ 3-1 แสดงค่าภาระ C1 และ C2 ของวงจรบวกที่แรงดันแหล่งจ่าย V_{DD} ต่างๆ ซึ่งการประมาณหาค่าภาระได้แสดงในภาคผนวก (ก)

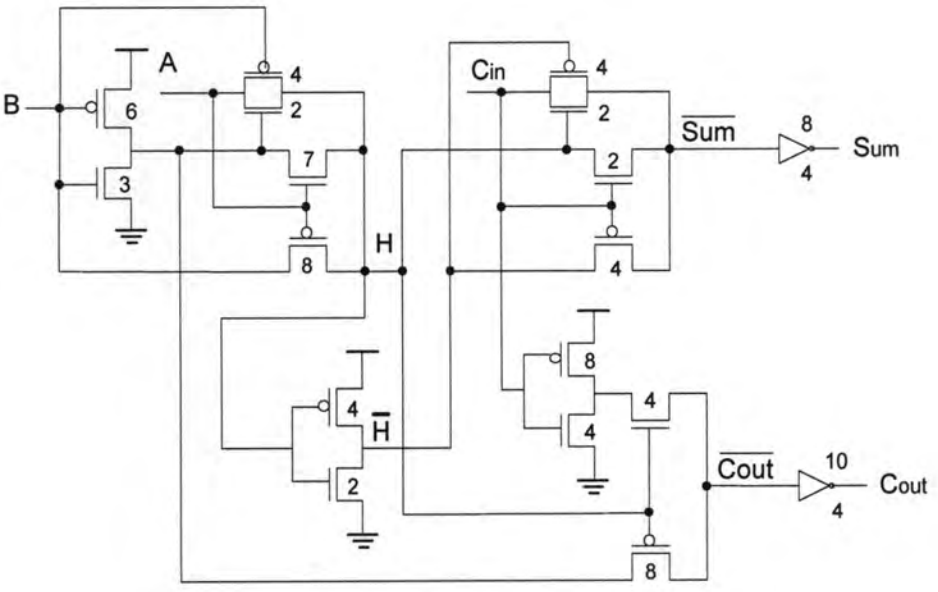
ตารางที่ 3-1 : ค่าภาระที่แรงดันต่างๆ

V_{DD} (V)	C1 (fF)	C2 (fF)
3.3	37.44	56.16
2.5	24.96	37.44
1.8	18.60	27.90

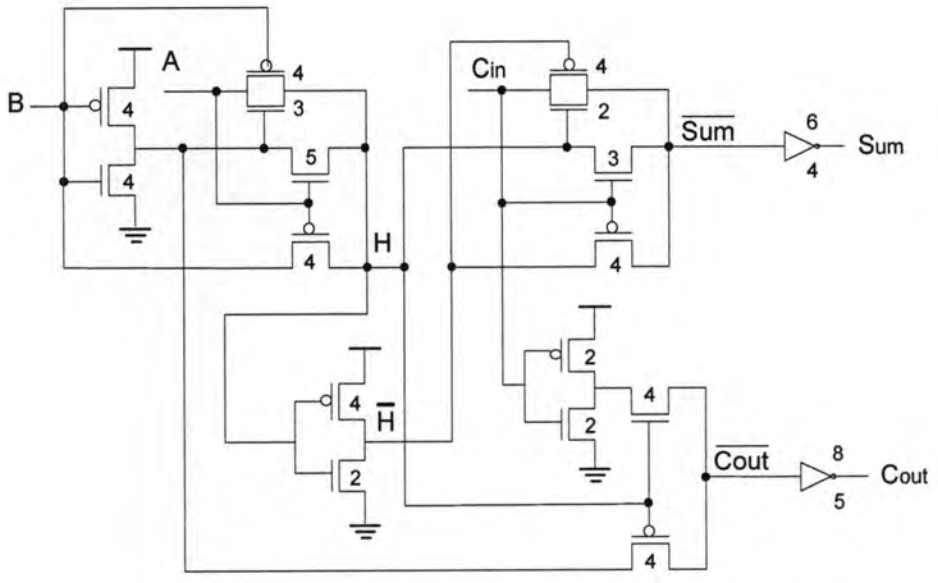
การปรับขนาดของอินเวอร์เตอร์ก็ทำในลักษณะเดียวกันกับวงจรบวก โดยขนาดของอินเวอร์เตอร์ที่ได้ แสดงในรูปที่ 3-2 (ก), 3-2 (ข) และ 3-2 (ค) ซึ่งเป็นวงจรบวกเต็มอัตรา 1 บิต ที่แรงดัน 3.3 V, 2.5 V และ 1.8 V ตามลำดับ จากรูปจะเห็นตัวเลขที่แสดงในรูปเป็นตัวเลขจำนวนเท่าของขนาดทรานซิสเตอร์ที่เล็กที่สุด คือ PMOS w = 1 μm และ NMOS w = 1 μm โดยเป็นวงจรบวกที่ได้ออกแบบเพื่อใช้ในการออกแบบวงจรคูณต่อไป



รูปที่ 3-2 (ก): วงจรบวกเต็มอัตรา 1 บิต กำลังต่ำ ที่ V_{DD} = 3.3 V



รูปที่ 3-2 (ข) : วงจรบวกเต็มอัตรา 1 บิต กำลังต่ำ ที่ V_{DD} = 2.5 V



รูปที่ 3-2 (ค) : วงจรบวกเต็มอัตรา 1 บิต กำลังต่ำ ที่ V_{DD} = 1.8 V

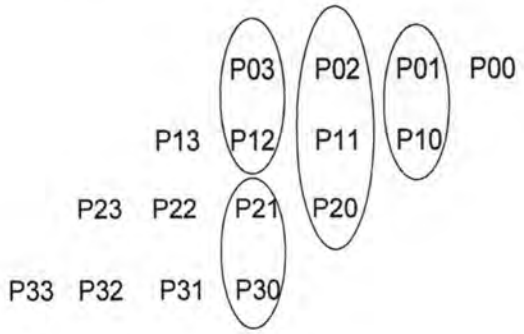
การจำลองวงจรบวกเต็มอัตรา 1 บิต ซึ่งในการจำลองวงจรใช้โปรแกรม Spice และเทคโนโลยี CMOS 0.25 μm ให้ผลดังแสดงในตารางที่ 3-2 ผลที่ได้เป็นค่ากำลังและการหน่วงของวงจรบวกที่ค่าแรงดันแตกต่างกัน โดยจะเห็นว่าเมื่อลดแรงดันลงกำลังของวงจรก็ลดลงด้วย แต่ค่าการหน่วงจะเพิ่มขึ้น ซึ่งผลของการจำลองวงจรบวกเต็มอัตรา 1 บิต ที่ได้มีค่าการหน่วงช้าที่สุด (Worst delay) ทั้งทางด้านสัญญาณออกผลบวกและตัวทดมีค่าใกล้เคียงกัน ซึ่งตรงกับวัตถุประสงค์ที่เราต้องการออกแบบในงานวิจัยนี้

ตารางที่ 3.2 : ผลการจำลองวงจรบวกเต็มอัตรา 1 บิต

วงจรบวกเต็มอัตรา 1 บิต	แรงดันแหล่งจ่าย = 3.3 V	แรงดันแหล่งจ่าย = 2.5 V	แรงดันแหล่งจ่าย = 1.8 V
กำลังที่ความถี่ 25 MHz (10^{-4} W)	2.581	0.862	0.343
การหน่วงช้าสุดที่ด้านบวก (ps)	340.4	481.2	559.8
การหน่วงช้าสุดที่ด้านตัวทด (ps)	317.0	463.0	570.5
ผลคูณระหว่างกำลังกับการหน่วง (10^{-14} J)	5.47	2.90	1.33

3.3 การออกแบบวงจรคูณแบบโครงสร้างต้นไม้

วงจรคูณแบบโครงสร้างต้นไม้ ในการบวกผลคูณย่อยสามารถจัดลำดับการบวกได้ ทำให้วงจรไม่เป็นระเบียบซึ่งเป็นข้อดีคือจำนวนของวิถีวิกฤติ (critical path) และวงจรบวกลดลง เมื่อเทียบกับวงจรคูณแบบอื่นๆ ดังที่ได้กล่าวมาแล้วในบทที่ 2 [9]

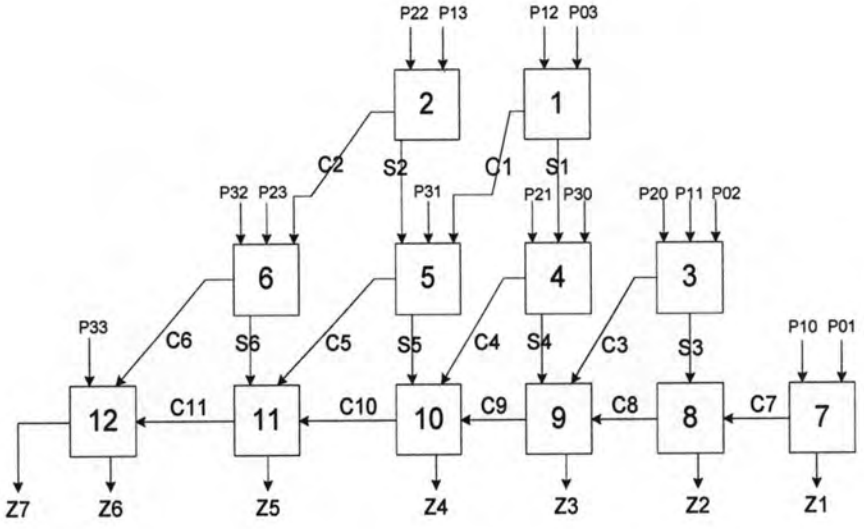


รูปที่ 3-3: ผลคูณย่อยของวงจรคูณขนาด 4 X 4 บิต

รูปที่ 3-3 คือผลคูณย่อยที่เกิดจากการ AND กันระหว่างเลขจำนวนที่ถูกคูณ และ ตัวคูณขนาด 4 X 4 บิต โดยที่ Pij คือ ผลคูณย่อยในตำแหน่งที่ j ของแถว i โดยการเลือกจัดกลุ่มในแต่ละคอลัมน์จะเลือกจัดแบบ 2 ค่าซึ่งเป็นการบวกครึ่งอัตรา เช่น (P01, P10) หรือ 3 ค่าซึ่งเป็นการบวกเต็มอัตรา เช่น (P02, P11, P20) โดยที่สามารถเลือกจัดกลุ่มแบบใดแบบหนึ่งก็ได้แล้วแต่ความเหมาะสมซึ่งขึ้นอยู่กับจำนวนผลคูณย่อยในแต่ละคอลัมน์และจำนวนบิตของวงจร

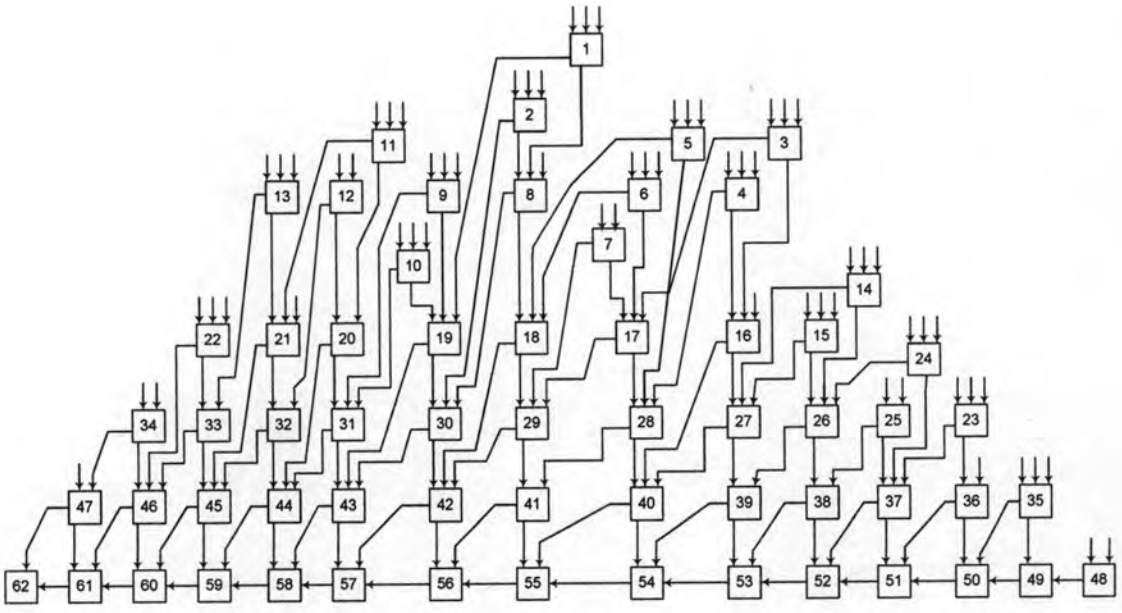
รูปที่ 3-4 คือวงจรคูณแบบโครงสร้างต้นไม้ที่สร้างขึ้นโดยการจัดกลุ่มผลคูณย่อยดังที่ได้กล่าวมาข้างต้น ซึ่งเป็นวงจรคูณขนาด 4 X 4 บิต ในการบวกครึ่งอัตราขาที่เหลือให้ต่อกับกราวด์

จากรูปจะเห็นได้ว่าวงจรคูณแบบนี้มีลักษณะของวงจรไม่เป็นระเบียบสูง

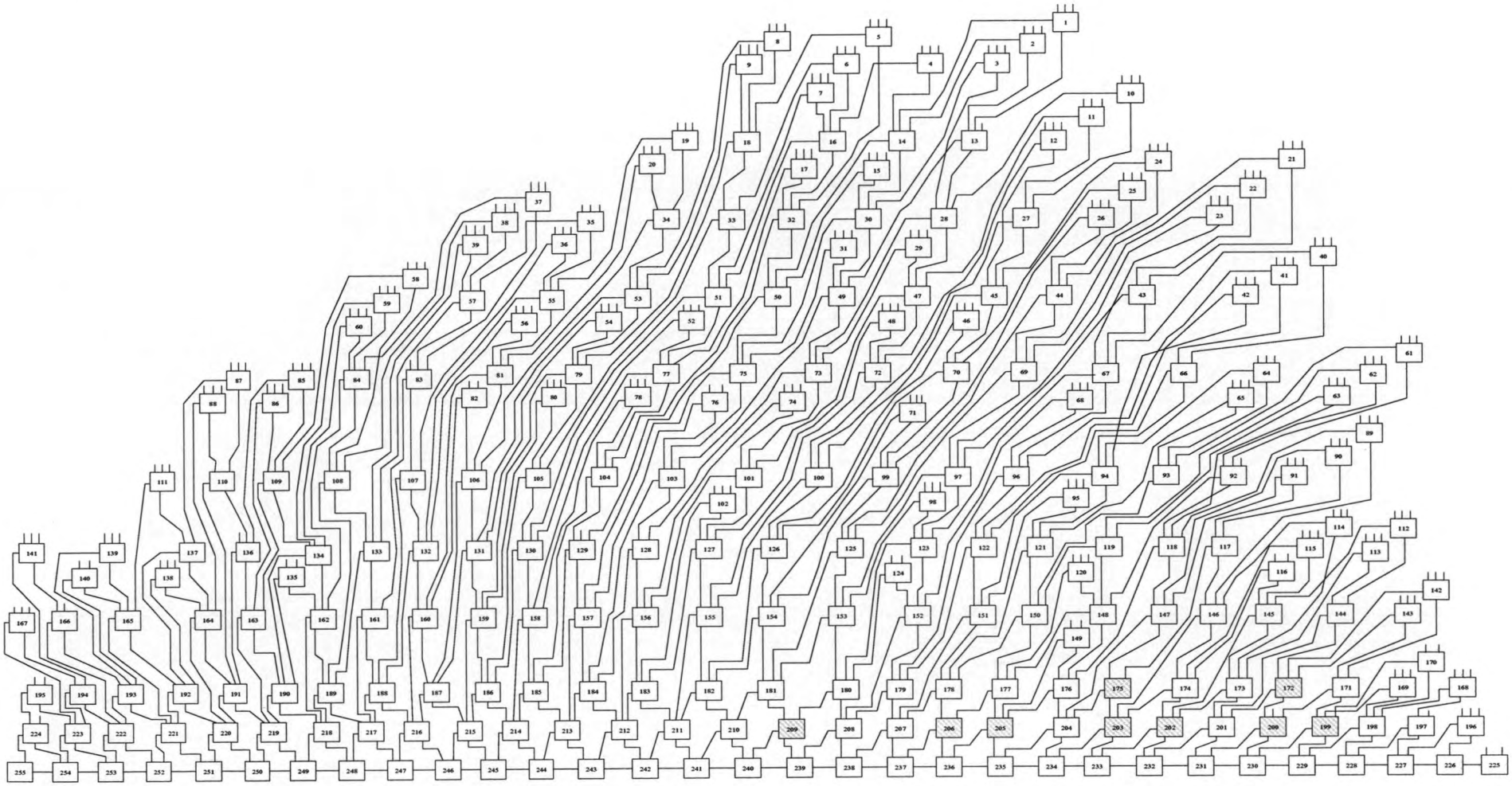


รูปที่ 3-4: วงจรคูณแบบโครงสร้างต้นไม้ขนาด 4 X 4 บิต

รูปที่ 3-5 และ 3-6 ซึ่งเป็นวงจรคูณแบบโครงสร้างต้นไม้ขนาด 8 X 8 บิต และ 16 X 16 บิต ตามลำดับ ซึ่งจะเห็นความไม่เป็นระเบียบของวงจรชัดเจนมากขึ้น สังเกตได้ว่าการจัดระเบียบของวงจรบวกในวงจรคูณแบบโครงสร้างต้นไม้ไม่ได้มีแบบเดียว (Non-unique) ขึ้นกับการจัดกลุ่มผลคูณย่อยตามอำเภอใจ (arbitrary)



รูปที่ 3-5 : วงจรคูณแบบโครงสร้างต้นไม้ขนาด8 X 8 บิต



รูปที่ 3-6: วงจรคูณแบบโครงสร้างต้นไม้ขนาด 16 X 16

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

3.4 เทคนิคแรงดันแหล่งจ่ายไฟคู่สำหรับการออกแบบวงจรคูณ

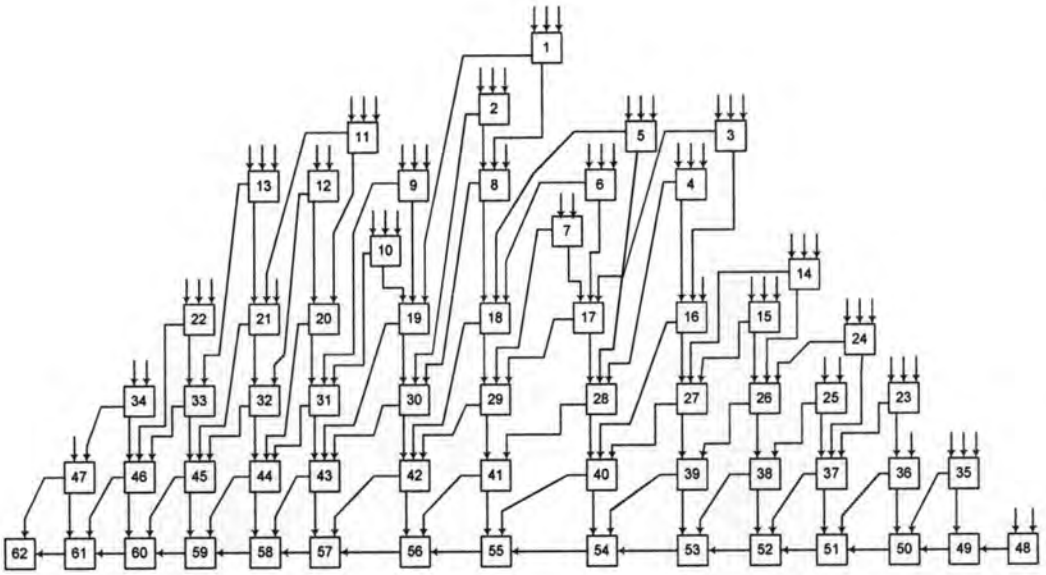
หลักการใช้แรงดันแหล่งจ่ายไฟคู่ คือ จะแบ่งแรงดันออกเป็นแรงดันแหล่งจ่ายค่าต่ำ (V_{DDL}) และแรงดันแหล่งจ่ายค่าสูง (V_{DDH}) โดยแรงดันแหล่งจ่ายค่าสูงจะถูกจ่ายให้กับเซลล์ที่อยู่ในวิถีวิกฤติ (critical path) ส่วนแรงดันแหล่งจ่ายค่าต่ำจะถูกจ่ายให้กับเซลล์ในวิถีอื่นๆ ในการออกแบบวงจรคูณแบบโครงสร้างต้นไม้ (Tree Multiplier) โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่สิ่งสำคัญอันดับแรกที่จะต้องหาก็ คือ วิถีวิกฤติของวงจร แต่ลักษณะโครงสร้างของวงจรคูณแบบนี้วงจรจะไม่เป็นระเบียบ ทำให้ยากต่อการหาวิถีวิกฤติ ซึ่งรายละเอียดของการหาวิถีวิกฤติของวงจรคูณแบบโครงสร้างต้นไม้จะขอกล่าวในหัวข้อถัดไป

3.4.1 การหาวิถีวิกฤติของวงจรคูณแบบโครงสร้างต้นไม้

เนื่องจากการหาวิถีวิกฤติของวงจรคูณแบบนี้โดยตรงทำได้ยากและไม่มีหลักการที่แน่นอน การหาวิถีวิกฤติจึงทำโดยใช้วิธีค้นหา (search method) โดยในการนี้ได้เขียนเป็นภาษา VHDL เพื่อจำลองในโปรแกรม Modelsim (ดังแสดงรายละเอียดในภาคผนวก (ค)) ในที่นี้จะขอกล่าวถึงวิธีการหาวิถีวิกฤติของวงจรคูณแบบโครงสร้างต้นไม้อย่างย่อๆ ซึ่งมีขั้นตอน คือ

1. เริ่มจากวงจรคูณแบบโครงสร้างต้นไม้ขนาดใดๆก็ได้
2. สมมุติให้วงจรบวกภายในวงจรคูณทุกเซลล์ทำงานที่ค่าการหน่วงเท่ากับ 1 หน่วยเวลา (ในที่นี้จะใช้เท่ากับ 1 ns) และใส่รูปแบบสัญญาณด้านเข้า (input pattern) ให้กับวงจรคูณ โดยกำหนดให้วงจรคูณทำงานเริ่มต้นที่เวลาเท่ากับ 0 ns
3. หาค่าความหน่วงในวิถีต่างๆออกมา โดยค่าความหน่วงในวิถีต่างๆ คือ ผลบวกของความหน่วงของวงจรบวกแต่ละวงจรในวิถีนั้น ซึ่งวิถีที่มีค่าความหน่วงสูงสุดก็คือวิถีวิกฤตินั่นเอง โดยวิถีวิกฤติอาจมีหลายวิถีก็ได้ สังเกตว่าวิธีการนี้อาจจะไม่แม่นยำนัก แต่ก็ทำให้สามารถประมาณวิถีวิกฤติได้ว่าอยู่ในแนวใดและมีเซลล์ใดบ้างที่เกี่ยวข้อง

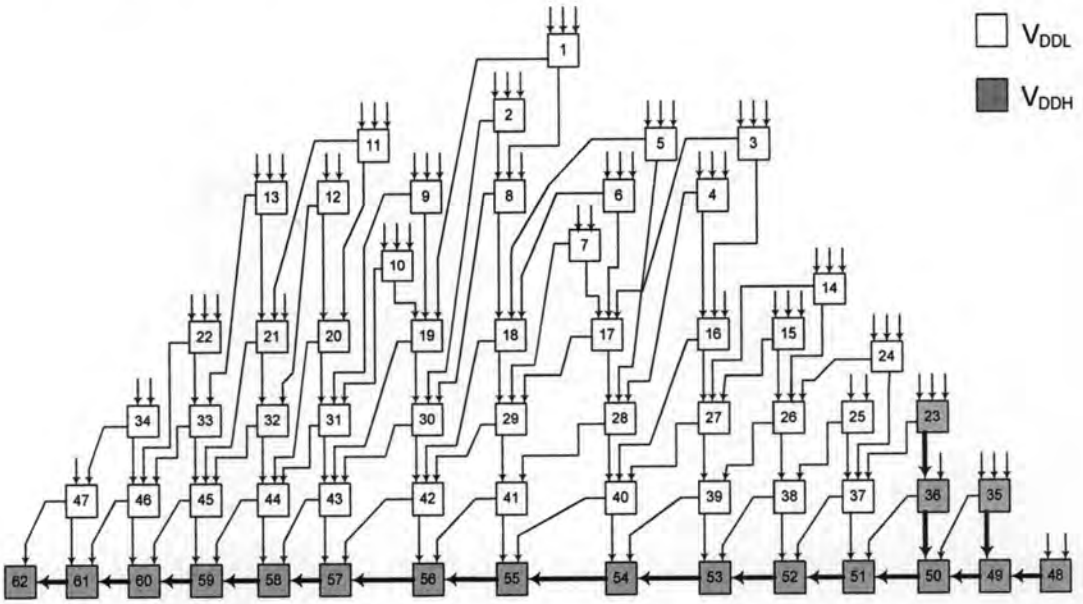
จากตัวอย่างของวงจรคูณแบบโครงสร้างต้นไม้ขนาด 8 X 8 บิต ในรูปที่ 3-7 เราสามารถหาวิถีวิกฤติของวงจรคูณนี้ตามขั้นตอนข้างต้นได้ ดังในรูปที่ 3-8 ซึ่งแสดงโดยเส้นทึบหนาและเซลล์วงจรบวกที่เป็นสีดำเป็นเซลล์ที่อยู่ในวิถีวิกฤติ สำหรับวงจรคูณขนาด 4 X 4 บิต และ 16 X 16 บิต ก็ทำในทำนองเดียวกัน



รูปที่ 3-7 : วงจรคูณแบบโครงสร้างต้นไม้ขนาด 8 X 8 บิตที่สร้างเพื่อการหาวิถีวิกฤติ

3.4.2 ขั้นตอนวิธีในการแบ่งส่วนและเลือกวงจรบวกเมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่

การออกแบบวงจรคูณแบบโครงสร้างต้นไม้ขนาด 8 X 8 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ มีขั้นตอนดังนี้

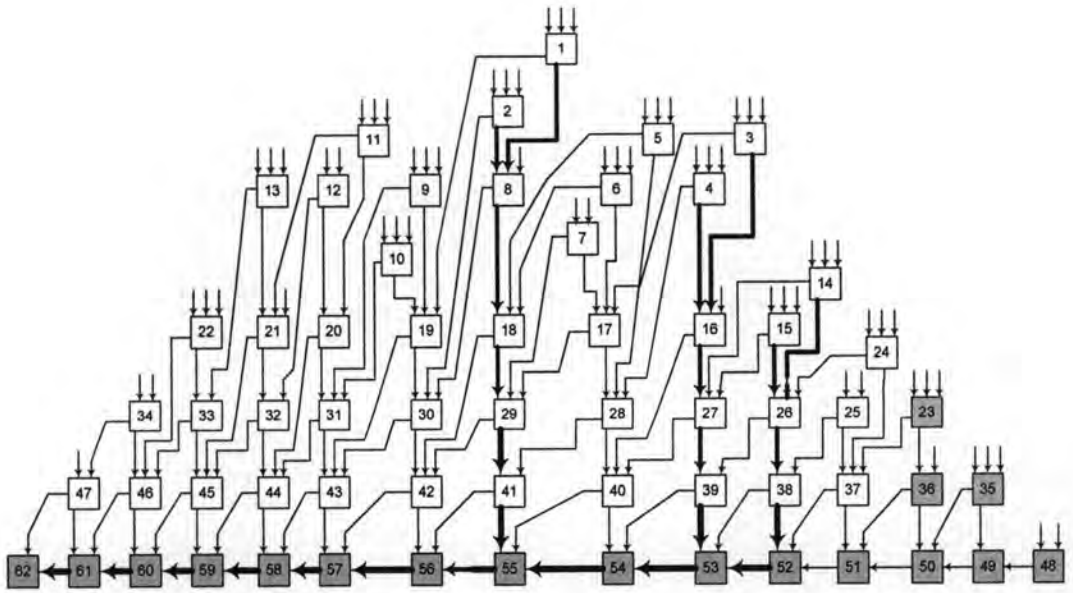


รูปที่ 3-8 : วิถีวิกฤติ (critical path) ของวงจรคูณแบบโครงสร้างต้นไม้ ขนาด 8 X 8บิต

1. เริ่มจากโครงสร้างวงจรคูณแบบโครงสร้างต้นไม้ขนาด 8 X 8 บิต ในรูปที่ 3-7 ที่มีวงจรบวกทำงานที่แรงดันสูง (3.3 V) ทั้งหมด ซึ่งการหาวิถีวิกฤติก็ใช้วิธีการในหัวข้อ 3.4.1 โดยจะให้ผลดังรูปที่ 3-8
2. จากรูปที่ 3-8 ให้เซลล์วงจรบวกที่เป็นสีดำซึ่งเป็นเซลล์ที่อยู่ในวิถีวิกฤติทำงานที่

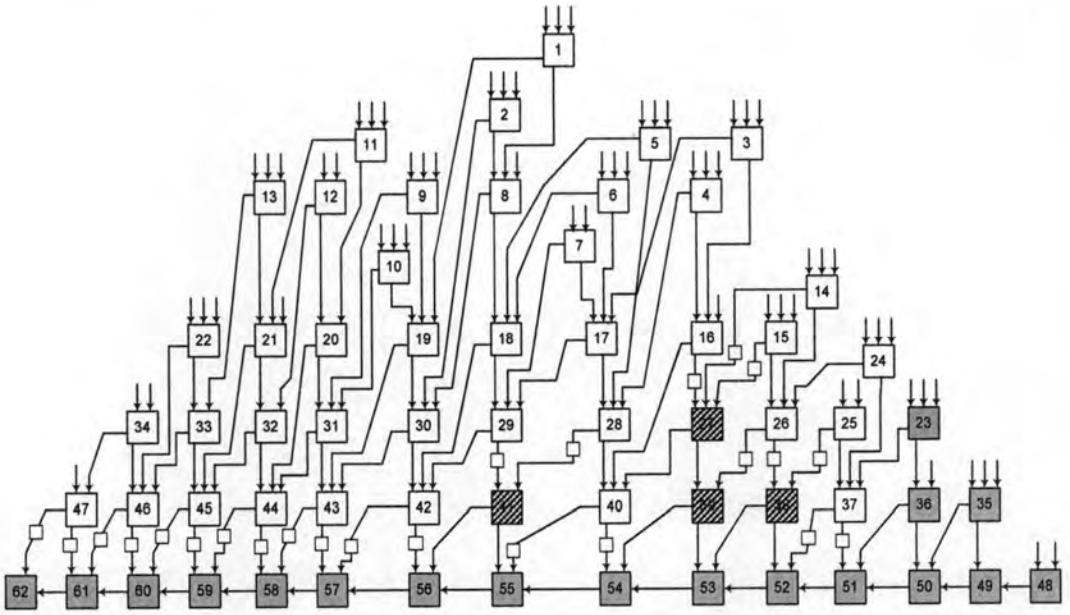
แรงดันสูง (V_{DDH}) คือ 3.3 V และให้เซลล์วงจรบวกที่เป็นสีขาวซึ่งไม่อยู่ในวิถีวิกฤติทำงานที่แรงดันต่ำ (V_{DDL}) คือ 2.5 V ในการลดแรงดันทำให้ค่าการหน่วงเพิ่มขึ้นตามตารางที่ 3-2 จาก 340.4 ps เป็น 481.2 ps ขณะที่กำลังลดลงจาก 0.2581 mW ไปเป็น 0.0862 mW

3. หาวิถีวิกฤติของวงจรใหม่ ในรูปที่ 3-9 ในวิถีเส้นดำทึบเป็นวิถีวิกฤติที่เกิดขึ้นใหม่และมีค่าการหน่วงมากกว่าค่าการหน่วงในวิถีวิกฤติเดิม จะเห็นว่าวิถีวิกฤติที่เกิดขึ้นใหม่นี้มีลักษณะเป็นคอลัมน์ ดังนั้นจึงต้องเลือกเซลล์วงจรบวกแรงดันต่ำเซลล์ใดเซลล์หนึ่งในคอลัมน์นี้ให้เปลี่ยนไปทำงานที่แรงดันสูงเพื่อลดค่าการหน่วงในวิถีนี้
4. การเลือกเปลี่ยนเซลล์วงจรบวกจากทำงานที่แรงดันต่ำเป็นทำงานที่แรงดันสูง เราจะเลือกเซลล์ล่างสุดในคอลัมน์ก่อนเพราะเป็นเซลล์ที่อยู่ใกล้กับเซลล์วงจรบวกที่ทำงานที่แรงดันสูงอยู่เดิม ซึ่งจะง่ายต่อการจัดวางเซลล์วงจรบวกที่ทำงานที่แรงดันสูงและแรงดันต่ำในการวาดลายวงจร และเป็นการลดจำนวนตัวเปลี่ยนระดับ (Level converter) ที่ใช้ในการเชื่อมประสานเซลล์วงจรบวกที่แรงดันต่ำไปยังแรงดันสูง โดยในการเลือกเราจะต้องเลือกเปลี่ยนเซลล์วงจรบวกแรงดันต่ำที่อยู่ในคอลัมน์ตัวถัดขึ้นไปที่ติดกับเซลล์วงจรบวกที่ทำงานที่แรงดันสูงก่อน ถ้าค่าการหน่วงในวิถีวิกฤติที่เกิดขึ้นใหม่นี้ยังไม่ลดลงต่ำกว่าค่าการหน่วงในวิถีวิกฤติเดิม เราก็จะเลือกเซลล์วงจรบวกที่แรงดันต่ำตัวที่อยู่ถัดไปอีกต่อไปจนกว่าวิถีวิกฤติจะมีค่าการหน่วงต่ำกว่าหรือเท่ากับค่าเดิม
5. ทำซ้ำข้อ 3 และ 4 จนกว่าวิถีวิกฤติจะไม่มีการเปลี่ยนแปลงอีก

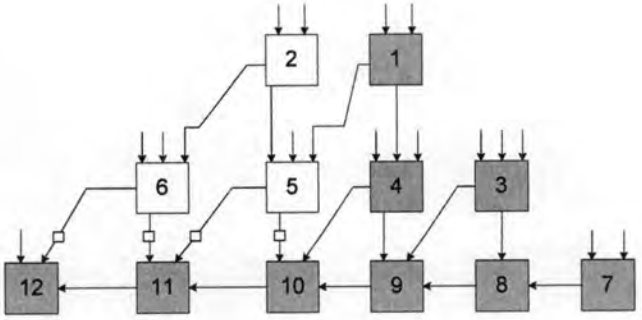


รูปที่ 3-9 : การหาวิถีวิกฤติ (critical path) ในวงจรคูณแบบโครงสร้างต้นไม้ ขนาด 8 X 8 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่

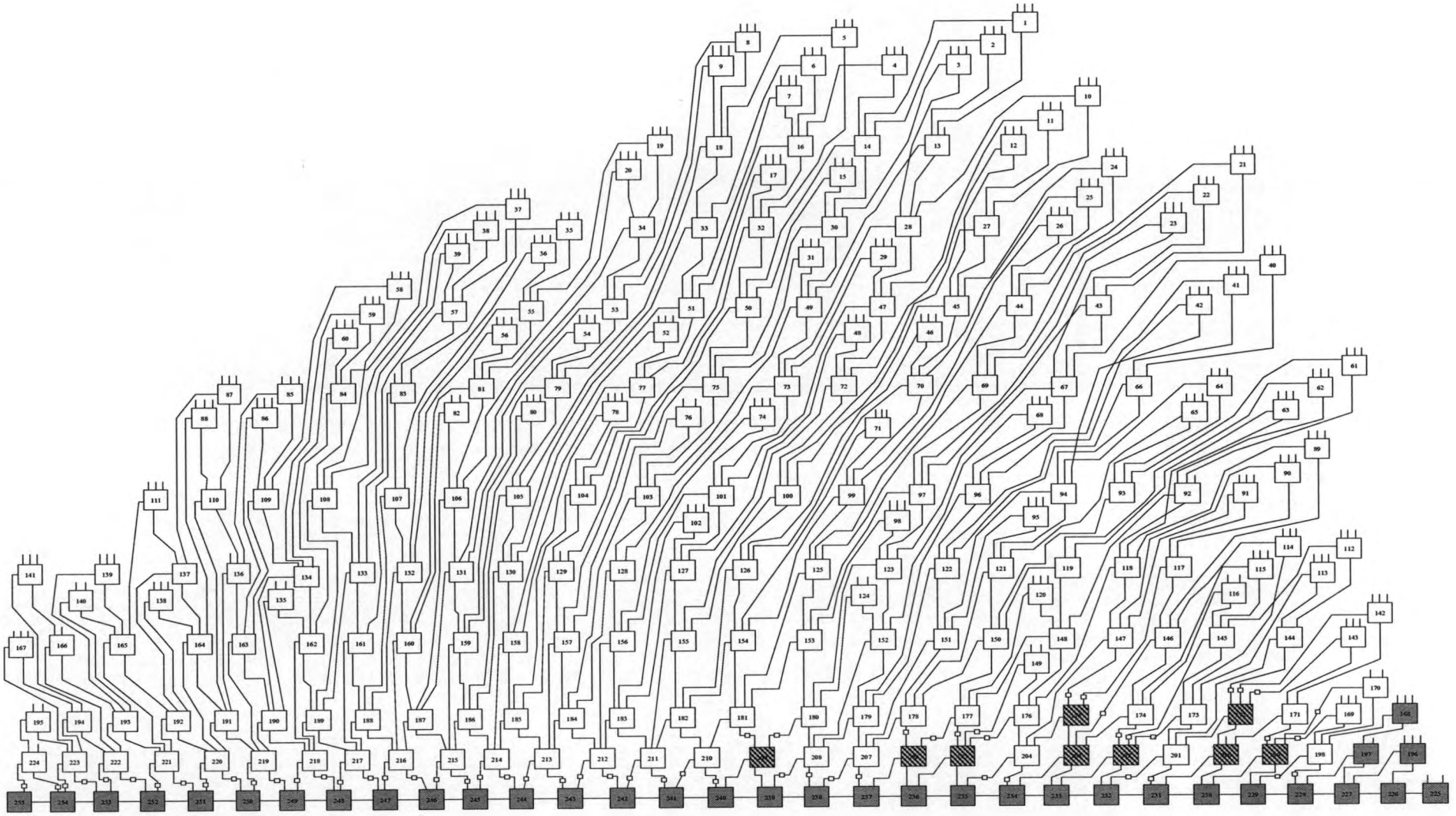
ตัวอย่างวงจรคูณแบบโครงสร้างต้นไม้ ขนาด 8 X 8 บิต ที่สมบูรณ์เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ แสดงในรูปที่ 3-10 เซลล์ที่เป็นสีดำใช้แรงดันสูง (V_{DDH} = 3.3 V) และเซลล์ที่เป็นสีขาวใช้แรงดันต่ำ (V_{DDL} = 2.5 V) ในส่วนที่เป็น ▨ ต้องใช้แรงดันสูงที่เพิ่มเติมขึ้นมาเพื่อไม่ให้ค่าการหน่วงของวงจรคูณเพิ่มขึ้น อันเป็นผลมาจากการทำซ้ำขั้นตอนที่ 3 ถึง 5 จากรูปส่วนที่เป็นสี่เหลี่ยมเล็กๆก็ คือ ตัวเปลี่ยนระดับ (level converter) สำหรับวงจรคูณขนาด 4 X 4 บิต และ 16 X 16 บิต จะใช้วิธีการแบ่งส่วนและเลือกวงจรบวกในลักษณะเดียวกัน ซึ่งผลที่ได้ ก็คือ รูปที่ 3-11 และรูปที่ 3-12 ตามลำดับ



รูปที่ 3-10 : วงจรคูณแบบโครงสร้างต้นไม้ขนาด 8 X 8 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ที่ V_{DDH} = 3.3 V และ V_{DDL} = 2.5 V



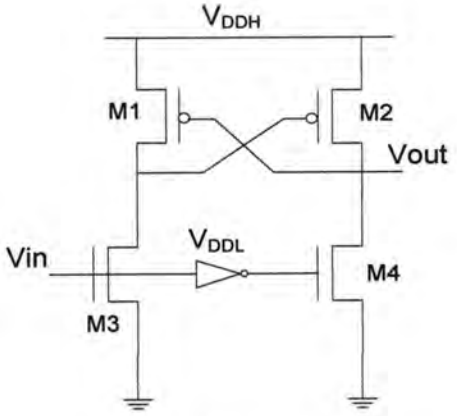
รูปที่ 3-11 : วงจรคูณแบบโครงสร้างต้นไม้ขนาด 4 X 4 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ที่ V_{DDH} = 3.3 V และ V_{DDL} = 2.5 V



รูปที่ 3-12 : วงจรคูณแบบต้นไม้ ขนาด 16 X 16 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ V_{DDH} = 3.3 V และ V_{DDL} = 2.5 V

ตัวเปลี่ยนระดับเป็นวงจรที่ใช้เพื่อเปลี่ยนระดับจากแรงดันต่ำให้เป็นแรงดันสูง ซึ่งในกรณีที่เกตของแรงดันสูงถูกขับด้วยแรงดันต่ำทำให้เกิดกระแสสถิตขึ้น เพราะ PMOS ไม่หยุดทำงาน (turn off) ได้อย่างสมบูรณ์ ในการแก้ปัญหานี้จึงใช้ตัวเปลี่ยนระดับแปลงแรงดันต่ำให้เป็นแรงดันสูงเพื่อลดกระแสสถิตที่เกิดขึ้น [3], [9] รูปที่ 3-13 คือ วงจรตัวเปลี่ยนระดับอย่างง่ายที่มี PMOS ต่อไขว้กัน (Cross-coupled PMOS)

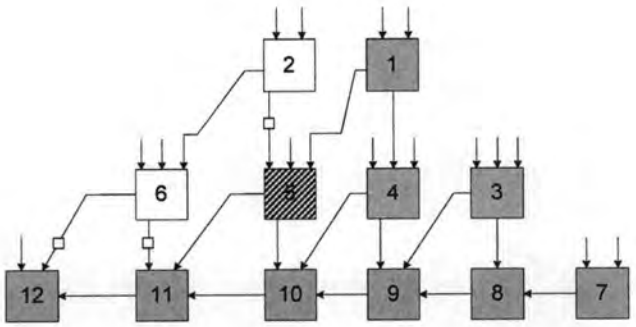
การใช้ตัวเปลี่ยนระดับจะมีผลกระทบต่อประสิทธิภาพของวงจรค่อนข้างน้อยเพราะตัวเปลี่ยนระดับจะทำงานโดยเปลี่ยนจากแรงดันต่ำไปเป็นแรงดันสูงเท่านั้น ซึ่งตัวเปลี่ยนระดับจะต่อแบบหนึ่งต่อหนึ่งระหว่างเซลล์วงจรบวกที่ทำงานที่แรงดันต่ำไปสู่เซลล์วงจรบวกที่ทำงานที่แรงดันสูงและนอกจากนี้ขนาดของทรานซิสเตอร์ที่ใช้ในตัวเปลี่ยนระดับก็มีขนาดเล็ก



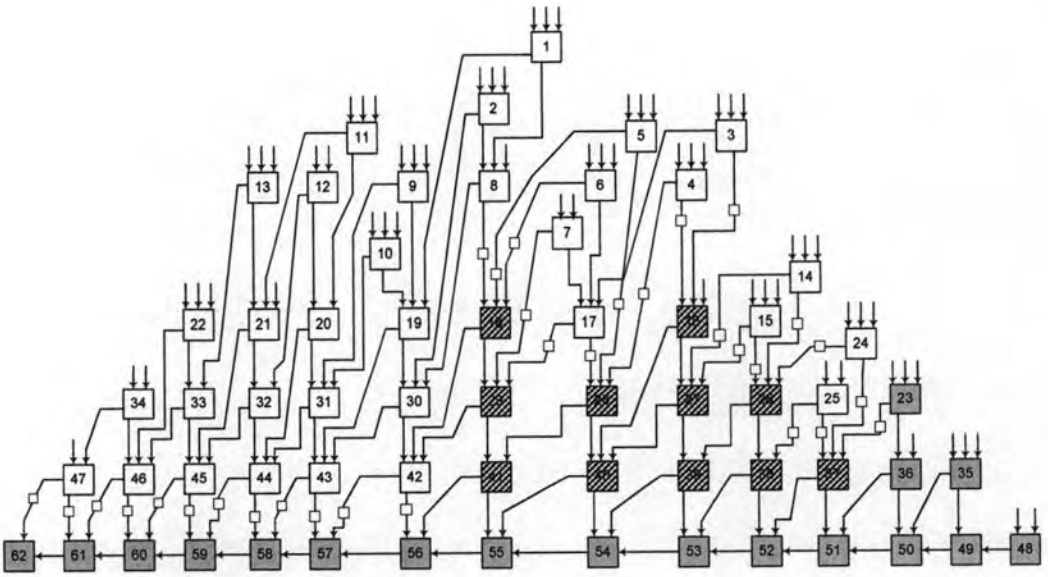
รูปที่ 3-13 : วงจรตัวเปลี่ยนระดับ (level converter)

จากการออกแบบวงจรคูณแบบโครงสร้างต้นไม้โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ที่แรงดันสูง (V_{DDH}) เท่ากับ 3.3 V และแรงดันต่ำ (V_{DDL}) เท่ากับ 2.5 V จะทำให้ได้ลักษณะโครงสร้างของวงจรดังรูปที่กล่าวมาแล้วข้างต้น เราสามารถศึกษาต่อไปอีกได้ว่าถ้าเราลดแรงดันแหล่งจ่ายลงอีกลักษณะโครงสร้างของวงจรจะเปลี่ยนแปลงไปอย่างไร โดยในการนี้เราได้ทำการออกแบบวงจรคูณแบบโครงสร้างต้นไม้เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ที่แรงดันสูง (V_{DDH}) เท่ากับ 3.3 V และลดแรงดันต่ำ (V_{DDL}) ลงเท่ากับ 1.8 V รูปที่ 3-14 , รูปที่ 3-15 และ รูปที่ 3-16 แสดงวงจรคูณแบบโครงสร้างต้นไม้ขนาด 4 X 4 บิต, 8 X 8 บิต และ ขนาด 16 X 16 บิต ตามลำดับ เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ที่ V_{DDH} = 3.3 V และ V_{DDL} = 1.8 V จะเห็นได้ว่าเมื่อการลดแรงดันแหล่งจ่ายลงทำให้จำนวนและการวางเซลล์วงจรบวกในวงจรคูณเปลี่ยนแปลงไป คือ จำนวนเซลล์วงจรบวกที่ทำงานที่แรงดันสูงจะเพิ่มมากขึ้น เพราะเมื่อลดแรงดันแหล่งจ่ายลงทำให้ค่าการหน่วงของวงจรบวกเพิ่มขึ้น (ดูได้จากตารางที่ 3-2) กล่าวคือ ค่าการหน่วงของวงจรบวกที่ทำงานที่แรงดัน 1.8 V สูงกว่าที่แรงดัน 2.5 V ซึ่งทำให้ค่าการหน่วงในวิถีวิกฤติที่เกิดขึ้นใหม่ในวงจรคูณเมื่อใช้เทคนิคแรงดัน

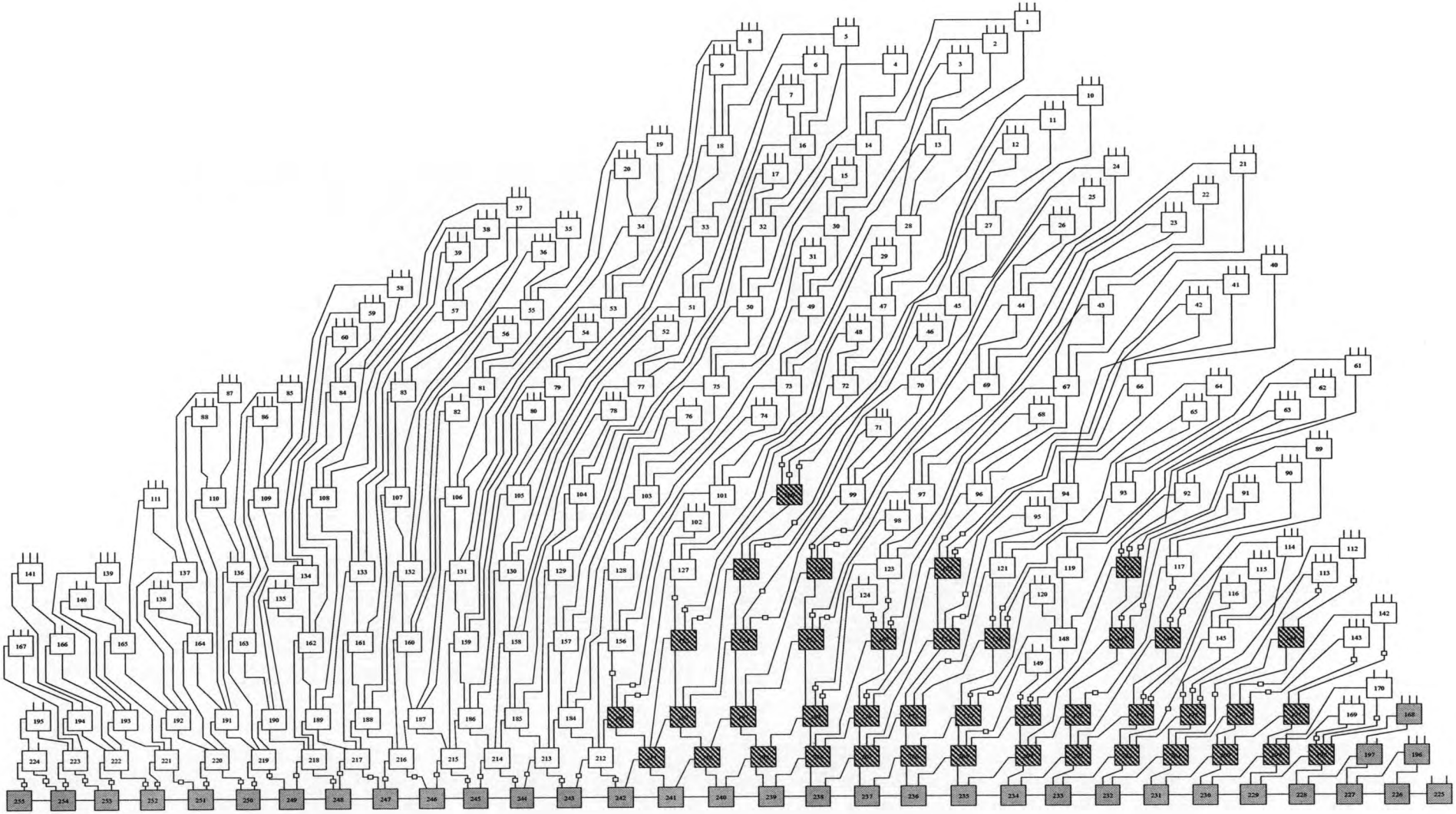
แหล่งจ่ายไฟคู่มีค่ามากกว่าค่าการหน่วงในวิถีวิกฤติเดิมมากขึ้น ทำให้ในการออกแบบต้องลดส่วนของความต่างของค่าการหน่วงนี้ โดยจะต้องเพิ่มจำนวนเซลล์วงจรบวกที่ทำงานที่แรงดันสูงมากขึ้น ความแตกต่างที่เกิดขึ้นในวงจรคูณแต่ละขนาดสามารถเทียบเคียงได้กับในรูปที่ 3-11, 3-10 และ 3-12 ตามลำดับ



รูปที่ 3-14 : วงจรคูณแบบโครงสร้างต้นไม้ขนาด 4 X 4 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ที่ $V_{DDH} = 3.3\ V$ และ $V_{DDL} = 1.8\ V$



รูปที่ 3-15 : วงจรคูณแบบโครงสร้างต้นไม้ขนาด 8 X 8 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ที่ $V_{DDH} = 3.3\ V$ และ $V_{DDL} = 1.8\ V$



รูปที่ 3-16 : วงจรคูณแบบต้นไม้ ขนาด 16 X 16 บิต เมื่อใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ V_{DDH} = 3.3 V และ V_{DDL} = 1.8 V

3.4.3 การจำลองการทำงานของวงจรคูณแบบโครงสร้างต้นไม้จากแผนภาพเค้าร่าง (Schematic)

การจำลองการทำงานของวงจรคูณแบบโครงสร้างต้นไม้ที่ได้ออกแบบไว้ในหัวข้อ 3.4.1 และ 3.4.2 ทำได้โดยการสมมุติให้สัญญาณเข้าของวงจรคูณเป็นอิสระต่อกันและเปลี่ยนในลักษณะลำดับบิตสุ่มเทียม (Pseudorandom Bit Sequence, PSRB) ขนาด 2^{31}-1 โดยลำดับบิตสุ่มเทียมที่ใช้สร้างขึ้นด้วยโปรแกรมภาษาซี แสดงในภาคผนวก (ง) แล้วนำไปป้อนให้แก่วงจรคูณเพื่อจำลองการทำงานในโปรแกรม SPICE ในเทคโนโลยี CMOS 0.25 μm เพื่อหาค่าการหน่วงวิกฤติที่เป็นไปได้

ตารางที่ 3-3 เป็นผลของการจำลองการทำงานของวงจรคูณแบบโครงสร้างต้นไม้โดยใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ โดยให้แรงดันสูง (V_{DDH}) เท่ากับ 3.3 V และ แรงดันต่ำ (V_{DDL}) เท่ากับ 2.5 V จากตารางจะเห็นว่าวงจรคูณขนาด 16 X 16 บิตสามารถลดกำลังของวงจรได้ถึง 42.45 % ขณะที่ค่าการหน่วงเพิ่มขึ้นเพียง 6.7 % เมื่อเทียบกับวงจรคูณที่ขนาดเดียวกันที่ทำงานที่แรงดันสูง 3.3 V เพียงอย่างเดียว ซึ่งแสดงให้เห็นชัดว่าการใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่จะสามารถลดกำลังของวงจรได้โดยไม่ทำให้ค่าการหน่วงของวงจรแตกต่างกันมากนัก ค่าการหน่วงที่แตกต่างกันเล็กน้อยนี้เป็นผลมาจากการเพิ่มตัวเปลี่ยนระดับที่ใส่เข้าไป

ตารางที่ 3-3: ผลการจำลองวงจรคูณแบบโครงสร้างต้นไม้ที่แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 2.5 V)

ขนาดวงจรคูณ (บิต)	กำลังที่ความถี่ 25 MHz (10^{-3} W)				การหน่วงช้าสุด (10^{-9} s)			
	แรงดันแหล่งจ่ายเดียว (3.3 V)	แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 2.5 V)	แรงดันแหล่งจ่ายเดียว (2.5 V)	% ค่ากำลังที่ลดลง	แรงดันแหล่งจ่ายเดียว (3.3 V)	แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 2.5 V)	แรงดันแหล่งจ่ายเดียว (2.5 V)	% ค่าการหน่วงที่เพิ่มขึ้น
4 X 4	2.95	2.64	1.32	10.7	2.04	2.13	2.88	4
8 X 8	23.98	15.89	9.26	33.72	3.92	4.15	6.97	5.5
16 X 16	110.25	63.45	37.59	42.45	11.37	12.19	15.14	6.7

ส่วนตารางที่ 3-4 เป็นผลการจำลองวงจรคูณแบบโครงสร้างต้นไม้ โดยให้แรงดันสูง (V_{DDH}) เท่ากับ 3.3 V และ แรงดันต่ำ (V_{DDL}) เท่ากับ 1.8 V ซึ่งที่วงจรคูณขนาด 16 X 16 บิต สามารถลดกำลังของวงจรได้ 53.63 % และมีค่าการหน่วงเพิ่มขึ้น 10.6 % เมื่อเปรียบเทียบกับเปอร์เซ็นต์ความแตกต่างในตารางที่ 3-3 จะเห็นได้ว่าการเพิ่มความแตกต่างระหว่างแรงดันสูงกับแรงดันต่ำจะสามารถลดกำลังของวงจรได้มากกว่า แต่ค่าการหน่วงเพิ่มขึ้นสูงกว่าเดิมเล็กน้อย อย่างไรก็ดีเมื่อพิจารณาค่าในตารางที่ 3-3 ที่วงจรคูณขนาด 16 X 16 บิต ค่าการหน่วงที่แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 2.5 V) เท่ากับ 12.19 ns ส่วนในตารางที่ 3-4 ที่วงจรคูณขนาด 16 X 16 บิต ค่าการหน่วงที่แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 1.8 V) เท่ากับ 12.74 ns ซึ่งจะเห็นว่าค่าการหน่วงทั้งสองค่านี้มีค่าใกล้เคียงกันจึงไม่จำเป็นต้องปรับค่าการหน่วงในตารางที่ 3-4 ที่แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 1.8 V) ลดลงอีก เพราะอาจจะมีผลต่อค่ากำลังของวงจรคูณได้ ทั้งนี้เนื่องมาจากในการลดค่าการหน่วงจะต้องเปลี่ยนไปใช้เซลล์วงจรบวกที่ทำงานที่แรงดันสูง (3.3V) เพิ่มขึ้น ส่งผลให้กำลังของวงจรคูณอาจเพิ่มขึ้นได้

ตารางที่ 3-4 : ผลการจำลองวงจรคูณแบบโครงสร้างต้นไม้ที่แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 1.8 V)

ขนาดวงจรคูณ (บิต)	กำลังที่ความถี่ 25 MHz (10^{-3} W)				การหน่วงช้าสุด (10^{-9} s)			
	แรงดันแหล่งจ่ายเดียว (3.3 V)	แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 1.8 V)	แรงดันแหล่งจ่ายเดียว (1.8 V)	% ค่ากำลังที่ลดลง	แรงดันแหล่งจ่ายเดียว (3.3 V)	แรงดันแหล่งจ่ายไฟคู่ (3.3 V และ 1.8 V)	แรงดันแหล่งจ่ายเดียว (1.8 V)	% ค่าการหน่วงที่เพิ่มขึ้น
4 X 4	2.95	2.60	0.35	11.86	2.04	2.25	3.59	9.3
8 X 8	23.98	14.89	2.83	37.88	3.92	4.27	8.17	8.2
16 X 16	110.25	51.12	12.63	53.63	11.37	12.74	17.39	10.6

3.5 สรุปท้ายบท

ในการออกแบบวงจรกำลังต่ำจะต้องคำนึงถึงปัจจัยหลายอย่างประกอบกันดังที่ได้กล่าวไว้

แล้ว แต่ปัจจัยที่สำคัญที่สุดก็คงจะเป็น แรงดันแหล่งจ่าย ทั้งนี้เพราะกำลังของวงจรแปรตามขนาดของแรงดันแหล่งจ่ายในเชิงกำลังสอง ดังแสดงในสมการที่ (3-1) ดังนั้นในการออกแบบวงจรคูณแบบโครงสร้างต้นไม้กำลังต่ำ จึงได้เลือกใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่เพราะการเปลี่ยนระดับแรงดันแหล่งจ่ายจะมีผลต่อกำลังมากที่สุด ซึ่งการลดกำลังในวงจรคูณก็คือ การลดกำลังในวงจรบวก โดยสามารถลดกำลังในวงจรบวกได้โดยการปรับขนาดของทรานซิสเตอร์ให้เหมาะสมเพื่อไม่ให้ทรานซิสเตอร์ตัวใดมีขนาดใหญ่เกินความจำเป็น

เทคนิคแรงดันแหล่งจ่ายไฟคู่สำหรับวงจรคูณแบบโครงสร้างต้นไม้มีหลักการ คือ แบ่งวงจรบวกออกเป็น 2 ประเภท คือ ทำงานที่แรงดันต่ำ (V_{DDL}) และแรงดันสูง (V_{DDH}) โดยเซลล์ที่ทำงานที่แรงดันสูงจะทำงานได้เร็วแต่มีกำลังสูญเสียสูง ขณะที่เซลล์ที่ทำงานที่แรงดันต่ำจะทำงานช้ากว่าแต่มีกำลังสูญเสียต่ำกว่า โดยการแบ่งส่วนและเลือกเซลล์วงจรบวกภายในวงจรคูณก็ทำได้โดยอาศัยขั้นตอนที่กล่าวไว้ในหัวข้อ 3.4 ซึ่งทำให้ได้วงจรคูณแบบโครงสร้างต้นไม้ที่มีบริเวณที่ทำงานที่แรงดันสูงและแรงดันต่ำแยกจากกันอย่างชัดเจนเป็นกลุ่มก้อน ทำให้ง่ายต่อการวาดลายวงจร

ผลการจำลองการทำงานของวงจรคูณแบบโครงสร้างต้นไม้ที่ใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่ (V_{DDH} = 3.3 V และ V_{DDL} = 2.5 V) ที่ขนาด 16 X 16 บิต สามารถลดกำลังของวงจรได้ถึง 42.45 % ขณะที่ค่าการหน่วงเพิ่มขึ้นเพียง 6.7 % เมื่อเทียบกับวงจรคูณที่ขนาดเดียวกันที่ทำงานที่แรงดันสูง 3.3 V เพียงอย่างเดียว ซึ่งแสดงให้เห็นชัดว่าการใช้เทคนิคแรงดันแหล่งจ่ายไฟคู่จะสามารถลดกำลังของวงจรได้โดยไม่ทำให้ค่าการหน่วงของวงจรแตกต่างกันมากนัก ค่าการหน่วงที่แตกต่างกันนี้เป็นผลมาจากการเพิ่มตัวเปลี่ยนระดับที่ใส่เข้าไป หรืออาจจะกล่าวได้ว่าเทคนิคนี้เป็นการลดกำลังของวงจรโดยไม่ทำให้ค่าความหน่วงของวงจรลดลง