หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 2

ทฤษฎีวงจรรวมขนาดใหญ่มากและการออกแบบ

ความรู้เบื้องต้นเกี่ยวกับวงจรรวม

นับจากการประดิษฐ์ทรานซิสเตอร์เมื่อกว่าสามสิบปีที่ผ่านมา อุปกรณ์อิเล็กทรอนิกส์ได้เข้ามามีบทบาทมากมายต่อการดำเนินชีวิตของมนุษย์ เมื่อเทคโนโลยีไมโครอิเล็กทรอนิกส์ก้าวหน้าถึงระดับที่สามารถรวบรวมวงจรทรานซิสเตอร์ จำนวนนับหมื่นนับแสนตัวบรรจุไว้ในอุปกรณ์เดียวกันที่เรียกกันว่า วงจรรวม (Integrated Circuit, IC) (S.M.Sze, 1988) อุปกรณ์นี้ได้กลายเป็นส่วนประกอบที่สำคัญของอุปกรณ์และเครื่องมือเครื่องใช้เกือบทุกชนิดในชีวิตประจำวันของเรา อาทิ เครื่องคิดเลข โทรทัศน์ เครื่องซักผ้า วีดีโอเกมส์ คอมพิวเตอร์ ฯลฯ วงจรรวมจึงนับเป็นสิ่งประดิษฐ์ที่สำคัญยิ่งอย่างหนึ่งของมนุษยชาติ

1. ระดับความซับซ้อนของวงจรรวม

เทคโนโลยีการผลิตสารกึ่งตัวนำที่พัฒนาขึ้น ทำให้สามารถเพิ่มจำนวนวงจรทรานซิสเตอร์ที่บรรจุในวงจรรวมขึ้นอย่างรวดเร็วจากเพียงไม่กี่สิบตัว ในวงจรรวมระดับ Small Scale Integration (SSI.) ในราว ค.ศ. 1961 มาเป็นหลายร้อยตัวในวงจรระดับ Medium Scale Integration (MSI.) จำนวนวงจรทรานซิสเตอร์ที่บรรจุในวงจรรวม เพิ่มขึ้นเป็นหลายพันตัว เป็นวงจรรวมระดับ Large Scale Integration (LSI.) ในราว ค.ศ.1971 ในปัจจุบันเราสามารถบรรจุวงจรทรานซิสเตอร์ลงในวงจรรวมได้ในระดับหมื่นตัวขึ้นไปที่เรียกกันว่า วงจรรวมขนาดใหญ่มาก Very Large Scale Integration (VLSI) ในตารางที่ 1 แสดงวิวัฒนาการของวงจรรวม

ตารางที่ 1.1 วิวัฒนาการของวงจรรวม

ปี ค.ศ. 1947			1961	1966	1971	1980	1985	1990
เทคโนโลยี	ประดิษฐ์ทรานซิสเตอร์	อุปกรณ์ดีลครีท	SSI	MSI	LSI	VLSI	ULSI[1]	GLSI[2]
จำนวนทรานซิสเตอร์/ชิพของผลิตภัณฑ์เชิงพาณิชย์โดยประมาณ	1	1	10	100-1,000	1,000-20,000	20,000-500,000	>500,000	>10,000,000
ตัวอย่างของผลิตภัณฑ์	-	จังชั่นทรานซิสเตอร์และไดโอด	เกท, ฟลิปฟลอบ	ตัวนับ, มัลติเพล็กเซอร์,ตัวบวก	ไมโครโปรเซสเซอร์แบบ 8 บิท, ROM, RAM	ไมโครโปรเซสเซอร์แบบ 16 และ 32 บิท, อุปกรณ์สนับสนุนเฉพาะแบบ	โปรเซสเซอร์แบบพิเศษ อุปกรณ์ประมวลผลแบบ Real time	

1 Ultra large-scale integration

2 Giant large-scale integration

หมายเหตุ การเปลี่ยนแปลงของเทคโนโลยีที่ทำให้จำนวนทรานซิสเตอร์/ชิพ มีค่าสูงขึ้นเกิดจากการมีพัฒนาทางเทคโนโลยีที่ใช้ในการออกแบบและตรวจสอบวงจรทรานซิสเตอร์ในชิพให้ดีขึ้น

2. วงจรรวมมาตรฐานและวงจรรวมเฉพาะกิจ

ในระยะแรกที่สินค้าอิเล็กทรอนิกส์ยังเป็นสิ่งประดิษฐ์ที่มีความซับซ้อนไม่มากนัก ผู้ผลิตจะเริ่มต้นจากการนำวงจรรวมมาตรฐานที่ผลิตจากบริษัทผู้ผลิตวงจรรวมรายใหญ่ เช่น อินเทล โมโตโรลา ฮิตาชิ ฯลฯ มาประกอบลงบนแผนวงจรพิมพ์ (Printed Circuit Board) แล้วนำไปรวมเข้ากับอุปกรณ์อื่น ๆ สร้างขึ้นเป็นสินค้าอิเล็กทรอนิกส์ออกจำหน่ายต่อไป วงจรมาตรฐานที่ผลิตจำหน่ายทั่วไปในลักษณะนี้เรียกว่า Standard Product IC (SPIC) ตัวอย่างวงจรรวม มาตรฐานที่รู้จักกันดี ได้แก่ วงจรตระกูล TTL 74/5400 วงจรรวม CMOS 4000 เป็นต้น

เมื่อสินค้าอิเล็กทรอนิกส์มีความสลับซับซ้อนมากขึ้นพร้อมกับการแข่งขันด้านการตลาดมีความรุนแรงทวีขึ้น ผู้ผลิตสินค้าอิเล็กทรอนิกส์จึงต้องหาทางเพิ่มประสิทธิภาพสินค้าของตนเองควบคู่ไปกับการลดต้นทุนการผลิตและป้องกันการลอกเลียนแบบสินค้าของตน วิธีหนึ่งที่ทำได้คือลดจำนวนวงจรรวมบนแผ่นวงจรพิมพ์ให้น้อยลงโดยรวบรวมวงจรรวมมาตรฐานหลายตัวเข้าเป็นวงจรรวมตัวเดียวกัน ในบางครั้งอาจดัดแปลงวงจรรวมนี้ให้มีรายละเอียดและคุณสมบัติแตกต่างไปจากวงจรรวมมาตรฐานที่มีจำหน่ายทั่วไป จากแนวความคิดนี้เองทำให้เกิดวงจรรวมอีกกลุ่มหนึ่ง ที่ออกแบบและผลิตให้มีคุณสมบัติตามความต้องการของผู้ใช้ วงจรกลุ่มนี้เรียกว่าวงจรรวมเฉพาะกิจ (Application Specific IC หรือ ASIC) (M.R.Haskard,1990)

ในขณะที่วงจรรวมมาตรฐานผลิตจำหน่ายโดยบริษัทขนาดใหญ่ในคราวละมาก ๆ โดยมีต้นทุนการผลิตและออกแบบสูงมาก วงจรรวมเฉพาะกิจสามารถผลิตได้ทั้งในจำนวนน้อย ๆ ไปจนกระทั่งผลิตคราวละนับแสนตัว แม้ว่าต้นทุนต่อตัวจะสูงกว่าวงจรรวมมาตรฐานแต่การลงทุนทั้งหมดจะต่ำกว่าจึงมีบริษัทผู้ผลิตวงจรรวมทั้งขนาดใหญ่และเล็กเป็นจำนวนมากให้บริการออกแบบและเผยแพร่วงจรรวมเฉพาะกิจอาทิ VLSI Technology, Hitachi, AWA ฯลฯ

ข้อดีของการใช้วงจรรวมเฉพาะกิจเมื่อเปรียบเทียบกับการใช้วงจรรวมมาตรฐาน ในสินค้าอิเล็กทรอนิกส์ชนิดเดียวกันพอสรุปได้ดังนี้

1. ลดต้นทุนการผลิตซึ่งเห็นได้ชัดจากการที่ขนาดแผงวงจรพิมพ์มีขนาดเล็กลง ราคาจึงถูกลงด้วย

2. ลดพลังงานไฟฟ้าสูญเสียที่เกิดขึ้น

3. เพิ่มความเชื่อถือได้ของวงจรอิเล็กทรอนิกส์ เนื่องจากมีอุปกรณ์น้อยลง

4. ป้องกันการลอกเลียนแบบสินค้า เนื่องจากการลอกเลียนแบบวงจรรวมเฉพาะกิจทำได้ยากกว่าวงจรรวมมาตรฐานมาก

5. เพิ่มประสิทธิภาพการแข่งขันในตลาดการค้า เนื่องจากลดเวลาการออกแบบลงได้มากและดัดแปลงให้สินค้ามีคุณสมบัติพิเศษต่าง ๆ ตามความต้องการของลูกค้าได้

3. <u>การจำแนกประเภทวงจรรวมเฉพาะกิจ</u>

วงจรประเภทเฉพาะกิจอาจนำแนกได้ตามลักษณะผู้ออกแบบวงจร (ผู้ใช้หรือผู้ผลิต) และตามลักษณะทางโปรแกรมในเชิงพาณิชย์ เรามักจำแนกวงจรรวมเฉพาะกิจออกเป็น 2 ประเภท ดังนี้ (M.R.Haskard, 1989)

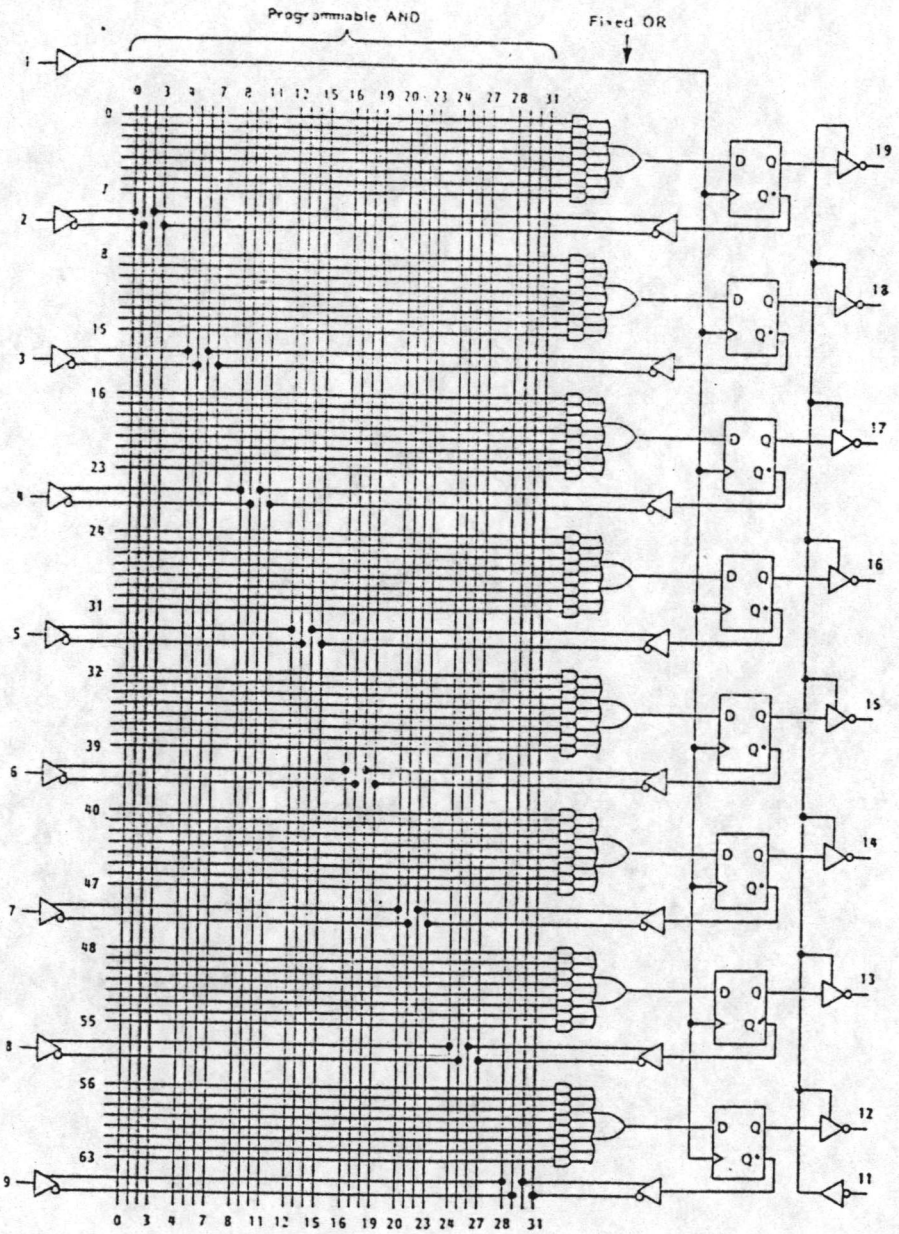
- ฟูลคัสตอม (Full Custom) วงจรรวมเฉพาะกิจประเภทนี้ มีลักษณะการออกแบบคล้ายคลึงกับวงจรรวมมาตรฐานเพียงแต่ผู้ใช้เป็นผู้ออกแบบแทนที่จะเป็นผู้ผลิต ผู้ใช้ต้องออกแบบวงจรรวมตั้งแต่ระดับทรานซิสเตอร์ จนกระทั่งรวมเป็นวงจรขนาดใหญ่มากที่ทำงานได้ตามความต้องการ การออกแบบวงจรรวมประเภทนี้ต้องใช้ผู้ออกแบบที่มีความสามารถทักษะและประสบการณ์สูง เนื่องจากเป็นการออกแบบรูปทรงของซิลิคอน (Silicon Geometric Shape) ระบบคอมพิวเตอร์ช่วยออกแบบ (CAD) จึงมีความสลับซับซ้อนมาก ทำให้ต้องใช้เวลานับเป็นเดือนในการเรียนรู้และออกแบบวงจรรวมประเภทนี้

- เซมิคัสตอม (Semi-Custom) วงจรรวมเฉพาะกิจประเภทนี้ ผู้ผลิตได้รวบรวมวงจรพื้นฐานต่าง ๆ เอาไว้ ซึ่งผู้ใช้จะเป็นผู้ออกแบบเชื่อมโยงวงจรพื้นฐานที่มีอยู่นี้เข้าเป็นวงจรขนาดใหญ่มากที่ทำงานได้ตามความต้องการโดยใช้คอมพิวเตอร์เป็นเครื่องมือช่วยในการออกแบบ

3.1 <u>วงจรรวมเฉพาะกิจแบบเซมิคัสตอม</u> วงจรรวมเฉพาะกิจแบบเซมิคัสตอมจำแนกออกเป็น 3 กลุ่มใหญ่ ๆ ได้แก่ (R.A.Cottrell,T.A.York,1988)

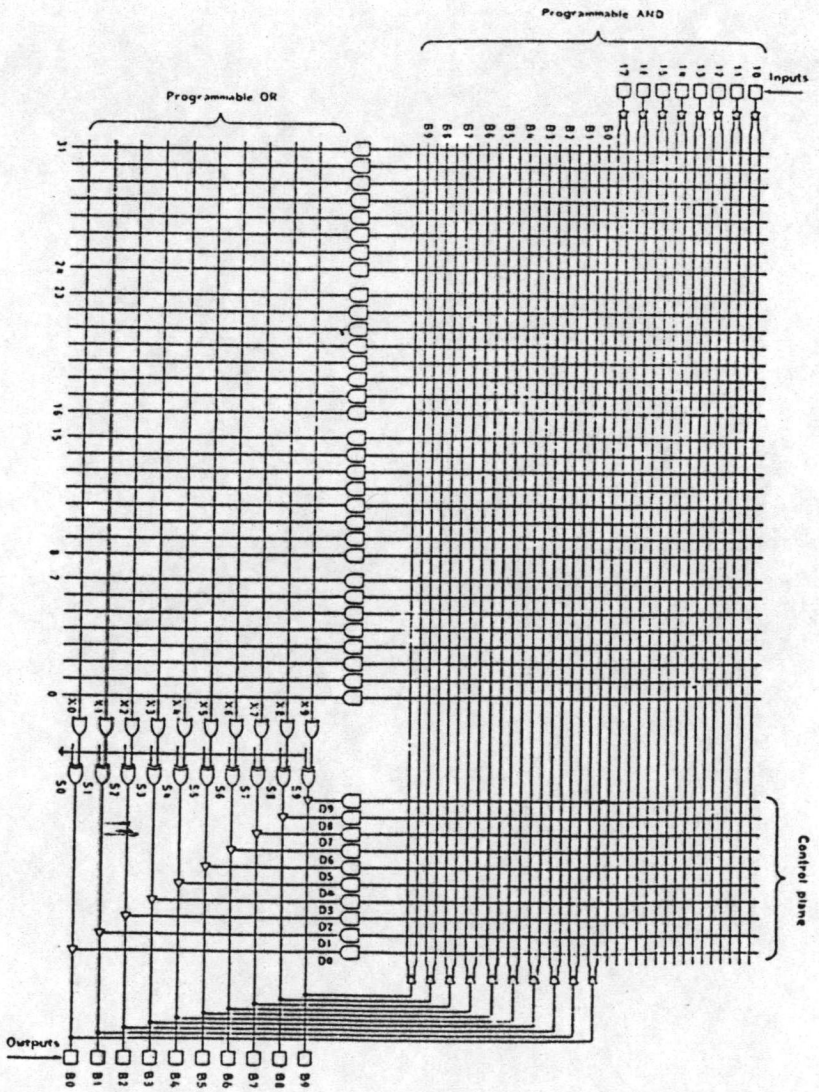
3.1.1 อุปกรณ์ที่สามารถโปรแกรมได้ (Programmable Logic Devices , PLD.) วงจรรวมเฉพาะกิจกลุ่มนี้ ผู้ผลิตได้บรรจุวงจรพื้นฐานประเภทเกทต่าง ๆ เช่น AND OR INVERTER ไว้ในวงจรรวมตัวเดียวกัน ผู้ใช้สามารถออกแบบเชื่อมโยงวงจรเกทนี้เข้าเป็นวงจรเชิงเลขขนาดใหญ่ที่ทำงานตามความต้องการได้ และเมื่อออกแบบเสร็จแล้วก็สามารถผลิตขึ้นใช้ได้เองโดยวิธีการโปรแกรมตัวอุปกรณ์ผ่านเครื่องมือโปรแกรมที่มีระดับราคาไม่สูงมากนักโดยไม่ต้องสั่งให้ผู้ผลิตทำการเจือสารแต่อย่างใด ระยะเวลานับจากการออกแบบจนกระทั่งผลิตขึ้นใช้งานจึงสั้นที่สุดเมื่อเทียบกับวงจรรวมเฉพาะกิจกลุ่มอื่น จึงเหมาะสมที่จะใช้พัฒนาต้นแบบหรือ ผลิตสินค้าที่มีจำนวนขายนับเป็นสิบหรือเป็นร้อยตัวเท่านั้น วงจรรวม PLD แบ่งออกเป็น 3 กลุ่มย่อย ได้แก่

- อุปกรณ์พีเอแอล (Programmable array logic , PAL.) วงจรรวมพีเอแอลแต่ละตัวจะประกอบด้วย วงจรเกทแบบแอน (AND gate) ที่เลือกต่อสายขาอินพุทได้ตามต้องการ กับวงจรเกทแบบออ (OR gate) ที่ต่อสายไว้คงที่แล้ว ดังแสดงในรูปที่ 2.1 ผู้ใช้สามารถเลือกต่อสายอินพุทให้วงจรรวมพีเอแอลตัวนี้ทำงานตามความต้องการได้ จากลักษณะนี้เองทำให้บางคนเรียกวงจรรวมพีเอแอลว่าเป็นวงจรรวมที่มี Fixed OR และ Programmable AND วงจรรวม PAL นี้เริ่มผลิตขึ้นประมาณ ค.ศ.1970 โดยบริษัท MMI ประเทศสหรัฐอเมริกา



รูปที่ 2.1 วงจรรวมพีเอแอล (Programmable Array Logic,PAL)

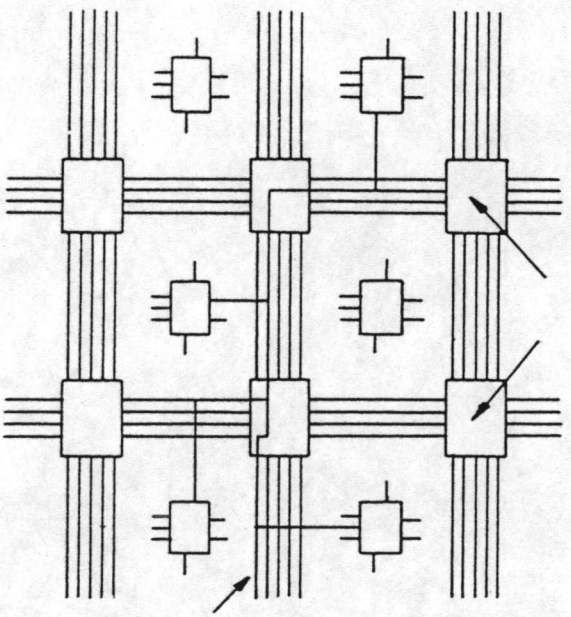
- วงจรรวมพีเอแอล (Programmable logic array ,PLA) วงจรรวมเฉพาะกิจกลุ่มนี้แต่ละตัวจะประกอบด้วยวงจรเกทแบบ AND และ OR ที่ผู้ใช้เลือกต่อสายอินพุทได้ตามต้องการ ดังแสดงในรูปที่ 2.2 บางครั้งเรียกว่าเป็นวงจรรวมที่มี Programmable AND และ OR วงจรรวมพีเอแอลนี้เริ่มผลิตขึ้นประมาณ ค.ศ.1975 โดยบริษัทซิกเนติก (Signetics) ประเทศสหรัฐอเมริกา วงจรรวมพีเอแอลตัวหนึ่งจะทดแทนวงจรมาตรฐานขนาดเล็ก (SSI) ได้ประมาณ 15-20 ตัว



รูปที่ 2.2 วงจรรวมพีแอลเอ (Programmable Logic Array, PLA.)

- เกทอาเรย์ที่สามารถโปรแกรมได้ (Programmable Gate Array ,PGA.)

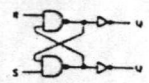
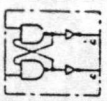
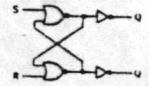
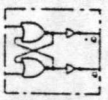
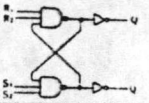
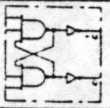
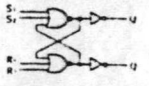
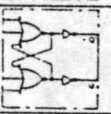
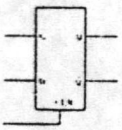
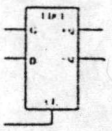
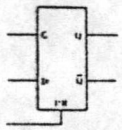
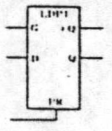
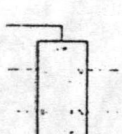
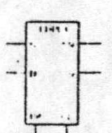
วงจรรวมเฉพาะกิจกลุ่มนี้ เริ่มผลิตขึ้นประมาณปี ค.ศ.1986 โดยบริษัท ไซลิง (Xilinx) ประเทศสหรัฐอเมริกา โดยใช้สถาปัตยกรรมที่เรียกว่า Logic Cell Array (LCA) วงจรรวม LCA นี้ประกอบด้วยหน่วยวงจรพื้นฐานที่ผู้ใช้สามารถกำหนดหน้าที่การทำงานได้ตามต้องการ เรียกว่า Configurable logic block (CLB) และผู้ใช้สามารถเลือกต่อสายเชื่อมโยงระหว่าง CLB แต่ละหน่วยเพื่อให้เป็นวงจรขนาดใหญ่ที่ทำงานตามที่ต้องการได้ ดังแสดงในรูปที่ 2.3 เมื่อออกแบบเรียบร้อยแล้วผู้ใช้สามารถโปรแกรมวงจรรวม LCA นี้ขึ้นใช้งานได้ด้วยตนเอง ไม่จำเป็นต้องส่งไปเจือสารที่โรงงานผู้ผลิตแต่อย่างใด วงจร LCA นี้สามารถใช้กับวงจรเชิงเลขขนาดตั้งแต่ 1000 เกท ขึ้นไปจนกระทั่งถึง 9000 เกท



รูปที่ 2.3 การเชื่อมต่อ CLB ในวงจรรวมเกทอาเรย์ที่โปรแกรมได้

รูปที่ 2.4 ตัวอย่างมาโครเซลของวงจรรวมเกทอาเรย์

LATCHES (with Scan Function)

Macrocell Function / Function Name	Equivalent Circuit	Equivalent Gate Count	Normalized Load Factor	Clamp Level when open	Symbol	Symbol No.	Input Name	Output Name	Delay t_{PLH} (ns) t_{OLN}	Delay t_{PLH} (ns) K_{LN}	Delay t_{PHL} (ns) t_{OHL}	Delay t_{PHL} (ns) K_{HL}
$\overline{RS}$-Latch LRS0		8	1	@ @		A3	$\overline{S}$	+Q	2.7	1.0	–	0.6
							$\overline{R}$		2.5		2.6	
							$\overline{S}$	−Q	2.5	1.0	2.6	0.6
							$\overline{R}$		2.7		–	
RS-Latch LRS3		8	1	# #		A3	S	+Q	2.4	1.0	2.7	0.6
							$\overline{R}$		–		3.3	
							S	−Q	–	1.0	3.3	0.6
							$\overline{R}$		2.4		2.7	
$\overline{R}$2S2-Latch LR2S20		9	1	@ @ @ @		A4	S	+Q	2.7	1.0	–	0.6
							$\overline{R}$		2.6		2.6	
							$\overline{S}$	−Q	2.6	1.0	2.6	0.6
							$\overline{R}$		2.7		–	
R2S2-Latch LR2S23		9	1	# # # #		A4	$\overline{S}$	+Q	2.4	1.0	3.1	0.6
							$\overline{R}$		–		3.7	
							$\overline{S}$	−Q	–	1.0	3.7	0.6
							R		2.4		3.1	
D-Latch LD		5	1 1	@ @		C	G	+Q	3.2	1.2	2.9	0.9
							D		3.2		2.9	
							G	−Q	2.6	1.2	2.9	0.9
							D		2.6		2.9	
D-Latch with CLR LDC1		6	1 1 1	@ @ #		C	G	+Q	3.5	1.2	3.4	0.9
							CL		2.3		2.4	
							D		3.5		3.4	
							G	−Q	3.1	1.2	3.2	0.9
							CL		2.1		2.0	
							D		3.1		3.2	
D-Latch with PRE LDP1		6	1 1 1	@ @ #		C	G	+Q	3.3	1.2	3.2	0.9
							PR		2.4		2.5	
							D		3.3		3.2	
							G	−Q	2.9	1.2	3.0	0.9
							PR		2.2		2.1	
							D		2.9		3.0	
D-Latch with PRE/CLR LDPC3		7	1 1 1 1	@ @ # #		C	G	+Q	3.8	1.2	3.5	0.9
							$\overline{PR}$		2.9		2.8	
							$\overline{CL}$		2.3		2.4	
							D		3.8		3.5	
							G	−Q	3.2	1.2	3.5	0.9
							$\overline{PR}$		2.5		2.6	
							$\overline{CL}$		2.1		2.0	
							D		3.2		3.5	

3.1.2 เกทอาเรย์ (Gate Array) วงจรเฉพาะกิจประเภทนี้ผู้ผลิตจะบรรจุวงจรพื้นฐานประเภทเกทแบบต่าง ๆ ไว้ในวงจรรวมตัวเดียวกัน วงจรเกทบางส่วนจะต่อสายภายในไว้เป็นกลุ่มวงจรเชิงเลขที่ใช้งานกันทั่วไป ได้แก่ วงจรแลช (Latch) วงจรถอดรหัส (Decoder) วงจรรีจิสเตอร์ (Register) เป็นต้น กลุ่มวงจรเชิงเลขที่รวบรวมบรรจุไว้ในวงจรเกทอาเรย์นี้เรียกว่ามาโครเซล(Macrocell) หรือลอจิกเซล (Logic-cell) ดังรูปที่ 2.4 ผู้ใช้มีหน้าที่ออกแบบต่อสายเชื่อมโยงระหว่างมาโครเซลแต่ละตัวเข้าด้วยกันให้เป็นวงจรเชิงเลขขนาดใหญ่ที่ทำงานได้ตามต้องการ แล้วส่งข้อมูลการออกแบบนี้ไปให้ผู้ผลิตทำการเจือสารต่อไป การออกแบบวงจรรวมเกทอาเรย์นี้ผู้ใช้ต้องมีข้อมูลเกี่ยวกับตัววงจรรวมเกทอาเรย์และมาโครเซลที่บรรจุอยู่ภายในวงจรรวมตัวนั้น ซึ่งตามปกติผู้ผลิตจะส่งมาให้โดยไม่คิดค่าใช้จ่ายเนื่องจากวงจรรวมประเภทนี้ต้องเจือสารโดยผู้ผลิตหลังการออกแบบทำให้มีต้นทุนการผลิตสูงคิดเป็นเงินหลายแสนบาทในการผลิตแต่ละครั้ง จึงเหมาะสำหรับการออกแบบเชิงพาณิชย์ที่มีปริมาณผลิตตั้งแต่หนึ่งพันตัวขึ้นไป

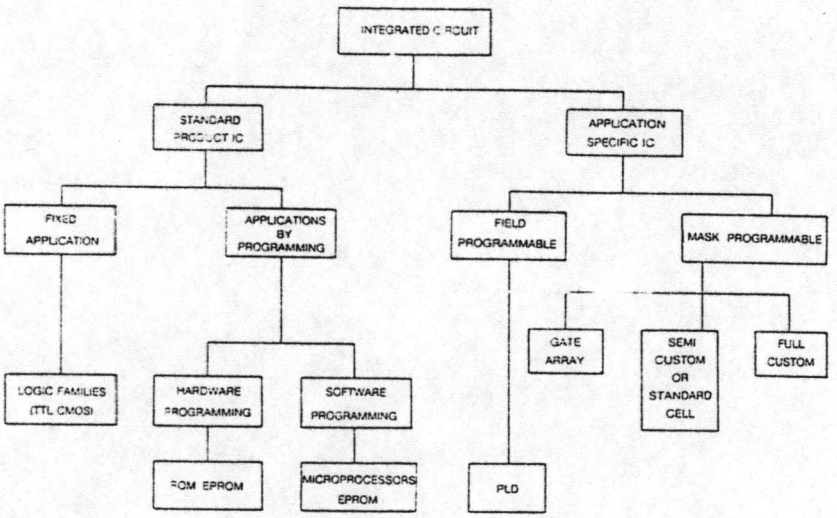
3.1.3 วงจรรวมเซลมาตรฐาน (Standard Cell) วงจรรวมเฉพาะกิจประเภทนี้ ผู้ใช้เป็นผู้เลือกกลุ่มวงจรทำหน้าที่ต่าง ๆ เช่น เกท ฟลิปฟลอป ตัวนับ หน่วยความจำ ไมโครโปรเซสเซอร์ จากแฟ้มข้อมูลคอมพิวเตอร์ที่บรรจุกลุ่มวงจรนี้ไว้ของผู้ผลิต นำมาออกแบบต่อเชื่อมกันให้เป็นวงจรที่ทำงานได้ตามต้องการ โดยใช้คอมพิวเตอร์เป็นเครื่องมือช่วยในการออกแบบ กลุ่มวงจรที่สามารถเลือกนำมาต่อกันได้นี้เรียกว่าเซลมาตรฐาน (Standard cell) เซลมาตรฐานนี้ผู้ผลิตจะทำการออกแบบให้ใช้พื้นที่ซิลิคอนอย่างเป็นประโยชน์สูงสุด และเจือสารทดสอบคุณสมบัติว่าตรงตามที่ออกแบบไว้จริงก่อนแจกจ่ายไปให้กับลูกค้า เซลมาตรฐานส่วนใหญ่จะคล้ายคลึงกับวงจรรวมมาตรฐานที่ใช้กันมากตัวอย่างเช่น วงจรรวมตระกูล 7400 วงจรรวมตระกูล 4000 ดังนั้นแทนที่ผู้ใช้จะเลือกวงจรรวมมาตรฐานหลายตัวมาประกอบลงบนแผงวงจรพิมพ์ ผู้ใช้จะเลือกเซลจากแฟ้มข้อมูลคอมพิวเตอร์ของผู้ผลิต แล้วนำมาออกแบบเชื่อมโยงกันบนแผ่นซิลิคอนโดยมีคอมพิวเตอร์เป็นเครื่องมือช่วยการออกแบบ ในปัจจุบันมีผู้ผลิตหลายรายที่ให้บริการเจือสารวงจรรวมเซลมาตรฐานเช่น NEC, AWA เป็นต้น และมีผู้ผลิตเซลมาตรฐานซึ่งมีหลายโรงงานเจือสารที่รับผลิตวงจรรวมที่ใช้เซลมาตรฐานนั้นได้ได้แก่เซลมาตรฐานของแฮริสตระกูล SC3000 และ SC3500

3.2 <u>การแบ่งประเภทวงจรรวมเฉพาะกิจตามลักษณะการจัดสร้าง</u> บางครั้งเราจะจำแนกประเภทวงจรรวมเฉพาะกิจตามลักษณะการโปรแกรม ได้เป็น 2 ประเภท ได้แก่

- Field Programmable ASIC วงจรรวมเฉพาะกิจกลุ่มนี้ ผู้ใช้สามารถออกแบบและโปรแกรมการทำงานได้ด้วยตนเอง โดยมิต้องใช้บริการเจือสาร ได้แก่กลุ่มของอุปกรณ์ที่สามารถโปรแกรมได้

- Mask Programmable ASIC วงจรรวมเฉพาะกิจกลุ่มนี้ หลังจากผู้ใช้ออกแบบตามความต้องการแล้ว ต้องส่งให้ผู้ผลิตทำการเจือสาร (Fabrication) ตัวอย่างวงจรรวมกลุ่มนี้ได้แก่ วงจรรวมเกทอาเรย์ วงจรรวมเซลมาตรฐาน รวมทั้งวงจรรวมฟูลคัสตอม

รูปที่ 2.5 จะแสดงให้เห็นการจำแนกวงจรรวม มาตรฐานและเฉพาะกิจตามแนวทางนี้ ซึ่งการจำแนกประเภทวงจรรวมนี้จะแตกต่างกันไปตามแนวทางที่ผู้จำแนกยึดเป็นหลัก เช่น ลักษณะการผลิต ลักษณะการติดต่อระหว่างโรงงาน กับผู้ใช้ลักษณะการออกแบบ

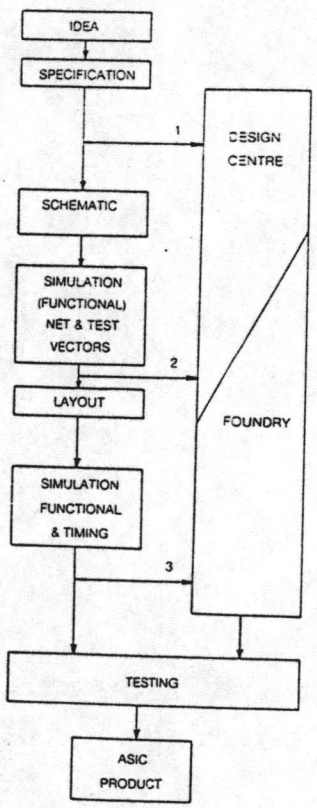


รูปที่ 2.5 การจำแนกวงจรรวมประเภทต่างๆ

4. การใช้คอมพิวเตอร์ช่วยในการออกแบบวงจรรวม ASIC

ซอฟต์แวร์คอมพิวเตอร์ช่วยในการออกแบบวงจรรวมเฉพาะกิจต้องอาศัยคอมพิวเตอร์ที่มีขีดความสามารถในการคำนวณสูงควบคู่ไปกับความสามารถแสดงภาพกราฟฟิคที่มีความละเอียดสูง และมีหน่วยความจำสำรองขนาดใหญ่พอควร ซึ่งได้แก่คอมพิวเตอร์แบบสถานีงานทางวิศวกรรม (Engineering Workstation) ได้แก่ SUN Sparc , HP Apollo, และ IBM RISC6000 ซอฟต์แวร์ออกแบบที่มีชื่อเสียงได้แก่ Mentor Graphic, Daisy, Valid logic อย่างไรก็ตาม ในปัจจุบันมีซอฟต์แวร์ออกแบบเฉพาะกิจหลายตัวที่ทำงานบนเครื่องคอมพิวเตอร์ส่วนบุคคล โดยเฉพาะอย่างยิ่ง ซอฟต์แวร์ออกแบบวงจรรวมอุปกรณ์ที่โปรแกรมได้ ซึ่งนอกจากช่วยในการออกแบบแล้วยังช่วยโปรแกรมอุปกรณ์ให้ทำงานตามต้องการได้อีกด้วย

การออกแบบวงจรรวมเฉพาะกิจโดยใช้คอมพิวเตอร์ ประกอบด้วยขั้นตอนที่สำคัญ 3 ขั้นตอน ดังแสดงในรูปที่ 2.6 ดังนี้ (บวร ปภัสราทรและคณะ, 2533)



รูปที่ 2.6 ขั้นตอนการออกแบบวงจรรวมเฉพาะกิจ

4.1 ป้อนแบบวงจร (Design Entry) ผู้ออกแบบเริ่มต้นด้วยการกำหนดรายละเอียดหน้าที่การทำงานของวงจรรวมที่ตนต้องการ (Functional Specification) แล้วจึงแปลงรายละเอียดนี้ให้อยู่ในลักษณะที่คอมพิวเตอร์เข้าใจได้ ซึ่งอาจจะเป็นภาษาพรรณาฮาร์ดแวร์ (Hardware Description Language หรือ HDL) หรือภาพวงจรไฟฟ้า (Schematic) โดยทั่วไปแล้วจะได้แฟ้มข้อมูลเนทลิส จากการป้อนภาพวงจรไฟฟ้า (Schematic capture) เข้าสู่คอมพิวเตอร์ และความสัมพันธ์ระหว่างอินพุทและเอาต์พุทที่เกิดจากอินพุทนั้นจะสร้างเป็นแฟ้มข้อมูลเพื่อทดสอบ (Test Vector) นำไปใช้งานในขั้นต่อไป

4.2 การจำลองการทำงาน (Simulation) ซอฟต์แวร์ออกแบบวงจรรวมจะเปลี่ยนข้อมูลในแฟ้มข้อมูลเนทลิสให้เป็นแฟ้มข้อมูลที่สามารถจำลองแบบการทำงานได้ การจำลองแบบการทำงานนี้จะใช้ตรวจสอบความถูกต้องในการทำงานของวงจรที่ออกแบบ ตามข้อมูลทดสอบที่ผู้ออกแบบกำหนดไว้ โดยพิจารณาจากตารางเวลา (Timing diagram) และการจำลองความผิดพลาดที่เกิดขึ้น การจำลองแบบการทำงานในขั้นตอนนี้ ผู้ออกแบบจำเป็นต้องมีข้อมูลคุณสมบัติทางไฟฟ้าของวงจรรวมที่คาดว่าจะใช้จากผู้ผลิต จึงจะได้ผลสมบูรณ์

การจำลองผลการทำงานนั้นยังแบ่งเป็นการจำลองการทำงานเฉพาะผลทางลอจิก (Logic Simulation) ซึ่งไม่คิดผลจากเวลาหน่วงของสัญญาณเนื่องจากอุปกรณ์แต่ละตัว และการจำลองโดยคิดเวลาหน่วง (Timing Simulation)

4.3 ออกแบบกายภาพ (Physical Layout) เมื่อผลการจำลองแบบการทำงานเป็นไปตามที่คาดหมายไว้ ขั้นตอนต่อไปจะเป็นการออกแบบวงจรรวมเพื่อการผลิตโดยตรง เป็นการออกแบบส่วนประกอบสำคัญที่เรียกว่า หน้ากาก (Mask) ของวงจรรวม หน้าที่หลักที่ต้องกระทำมี 2 ประการคือวางตำแหน่งกลุ่มวงจรต่าง ๆ ให้เหมาะสม (Placement) และต่อสายเชื่อมโยงกลุ่มวงจรต่าง ๆ เข้าด้วยกัน (Routing) ถ้าซอฟต์แวร์ที่ใช้ในขั้นตอนนี้ ช่วยในการวาดภาพหน้ากากโดยตรงจะเรียกว่าเป็นแบบ Geometry layout แต่ถ้าเป็นการสร้างสัญญลักษณ์แทนส่วนประกอบต่าง ๆ ของวงจรรวมแล้วแปลงสัญญลักษณ์ดังกล่าวให้กลายเป็นภาพหน้ากากอีกต่อหนึ่งจะเรียกว่าเป็นแบบ Symbolic layout ซอฟต์แวร์แบบแรกต้องใช้ผู้ออกแบบที่มีความรู้ด้านวงจรรวมมากกว่าแบบหลังซึ่งวิศวกรคอมพิวเตอร์หรือวิศวกรไฟฟ้าที่พอมีความรู้ด้านวงจรรวมสามารถก็สามารถออกแบบได้ ข้อมูลคอมพิวเตอร์ที่ได้จากขั้นตอนนี้จะอยู่ในรูปแบบมาตรฐานที่ผู้ผลิตยอมรับได้แก่ CIF (CalTech Intermediate Form) หรือ Calma GDS-2 หลังจากการออกแบบ Physical layout แล้ว จะมีการจำลองแบบการทำงานอีกครั้งเพื่อตรวจสอบการทำงาน ก่อนส่งแฟ้มข้อมูลการออกแบบไปทำการเจือสารนำมาใช้งานต่อไป

5. <u>การเจือสารวงจรรวมเฉพาะกิจ</u>

วงจรรวมเฉพาะกิจนั้นเมื่อออกแบบเสร็จแล้ว ต้องส่งให้ผู้ผลิตทำการเจือสารผลิตออกใช้งานต่อไป ซึ่งผู้ผลิตจะคิดค่าบริการที่เรียกว่า Non Return Engineering (NRE) เพิ่มเติมจากค่าใช้จ่ายในการเจือสาร ค่า NRE นี้เป็นค่าจ้างเตรียมการสำหรับการเจือสารวงจรรวมที่ผู้ผลิตออกแบบส่งมาและจะเปลี่ยนแปลงไปตามสภาพความพร้อมในการเจือสารที่ผู้ออกแบบได้ดำเนินการไปแล้ว ตามปกติผู้ออกแบบสามารถส่งวงจรรวมที่ออกแบบมาให้ผู้ผลิตเจือสารได้ 3 ระดับ ดังนี้

- ระดับที่ 1 ผู้ออกแบบเพียงแต่ส่งภาพวงจรที่ออกแบบและสัญญาณสำหรับทดสอบ (Test vector) ให้กับผู้ผลิต โดยอาจอยู่บนแผ่นกระดาษ หรือตัวกลางคอมพิวเตอร์อื่น ๆ ก็ได้ ในลักษณะนี้ผู้ออกแบบเป็นเพียงผู้กำหนดหน้าที่ของวงจรรวมที่ต้องการ ภาระการออกแบบวงจรรวมเกือบทั้งหมดเป็นของผู้ผลิต ค่า NRE ในระดับนี้จึงสูงที่สุด แต่ความเสี่ยงของผู้ใช้น้อยที่สุดเป็นวิธีที่เหมาะสมผู้ใช้ที่ไม่คุ้นเคยกับการออกแบบวงจรรวม

- ระดับที่ 2 ผู้ออกแบบจะป้อนข้อมูลวงจรเข้าในซอฟต์แวร์ออกแบบวงจรรวมที่ผู้ผลิตยอมรับ พร้อมทำการจำลองแบบการทำงานตรวจสอบความถูกต้องในการทำงานจนกระทั่งได้ผลถูกต้องตามที่ออกแบบไว้ ผู้ออกแบบจะส่งแฟ้มข้อมูลวงจรนี้พร้อมผลการจำลองแบบการทำงาน ไปให้ผู้ผลิตทำการเจือสารผลิตขึ้นใช้งาน ในระดับนี้ผู้ออกแบบจะรับผิดชอบออกแบบในระดับวงจร ส่วนผู้ผลิตจะทำหน้าที่ออกแบบระดับซิลิคอน ค่าบริการระดับนี้จะลดลงจาก ระดับแรกประมาณ 30% การส่งไปเจือสารระดับนี้ น่าจะเหมาะสมที่สุดกับประเทศไทยในขณะนี้

- ระดับที่ 3 ผู้ออกแบบจะออกแบบหน้ากากของวงจรรวมโดยตรง ผู้ผลิตเพียงแต่รับข้อมูลที่อยู่ในรูปแบบมาตรฐาน เช่น CIF หรือ GDS-2 ไปทำการสร้างหน้ากากของวงจรรวม แล้วผลิตใช้งานต่อไป ถึงแม้ว่าการส่งไปเจือสารระดับนี้จะเสียค่าบริการต่ำที่สุด แต่ก็มีเพียงผู้ผลิตน้อยรายที่ยอมรับการเจือสารในระดับนี้ และผู้ออกแบบต้องเข้าใจการออกแบบระดับซิลิคอนเป็นอย่างดีอีกด้วย ผู้ผลิตที่ยอมรับการเจือสารในระดับนี้ส่วนหนึ่งจะเป็นบริการเพื่อการศึกษาและวิจัย เช่น โครงการ MPC ของ AWA โครงการ MOSIS โครงการ ES-II ฯลฯ เป็นต้น

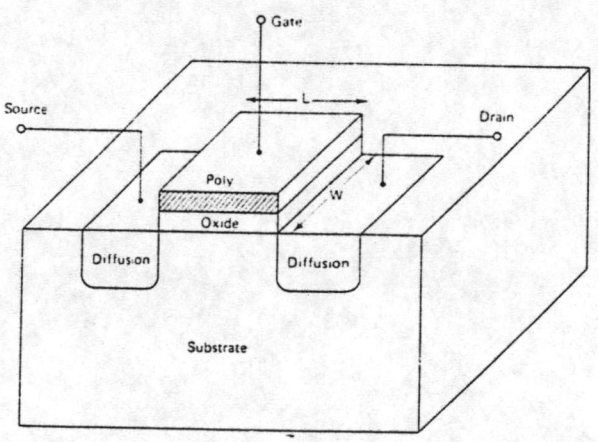
เทคโนโลยีสารกึ่งตัวนำมอส

ในการจัดสร้างวงจรรวมเชิงเลข อุปกรณ์ภายในที่เป็นพื้นฐานที่สุดคือทรานซิสเตอร์ซึ่งเทคโนโลยีของทรานซิสเตอร์ในปัจจุบันที่นำมาจัดสร้างวงจรรวมอาจแบ่งได้เป็น ไบโพลาร์ (Bipolar Transistor) และมอส (Metal Oxide Semiconductor,MOS.) โดยเฉพาะในการจัดสร้างวงจรรวมเฉพาะกิจเชิงเลขนั้นมักจะใช้เทคโนโลยีมอสมากกว่าเนื่องจากส่วนประกอบสำคัญภายในวงจรสามารถใช้เฉพาะมอสทรานซิสเตอร์เท่านั้น

เทคโนโลยีมอสสามารถจัดแบ่งออกเป็น 3 เทคโนโลยีย่อยตามวิธีการในการสร้างอุปกรณ์ของวงจร ได้แก่ พีมอส (pMOS), เอ็นมอส (nMOS) และซีมอส (CMOS) ซึ่งแต่ละเทคโนโลยีล้วนแต่มีข้อดีของตัวเองกล่าวคือ พีมอสเป็นเทคโนโลยีที่ผลิตได้ง่าย เทคโนโลยีเอ็นมอสสามารถใช้สร้างอุปกรณ์ที่ต้องการความเร็วได้ดี ส่วนเทคโนโลยีซีมอสนั้นมีข้อดีที่การประหยัดพลังงานในการทำงาน (A.Mukherjee, 1986)

6. ทรานซิสเตอร์แบบมอส

อุปกรณ์แบบมอส สามารถสร้างขึ้นได้โดยอาศัยชั้นสารที่สำคัญ 2 แบบ คือ ชั้นการแพร่ (diffusion layer), ชั้นโพลีซิลิคอน (polysilicon layer) และชั้นโลหะ (metal layer) ถ้านำชั้นสารเหล่านี้มาประกอบกันบนซับสเตทซิลิคอน ก็จะสามารถสร้างอุปกรณ์ทางไฟฟ้า เช่น ตัวต้านทาน (Resistor), ตัวเก็บประจุ (Capacitor) หรือ ทรานซิสเตอร์ (Transistor) ขึ้นมาได้ สำหรับการสร้างวงจรเชิงเลข (Digital circuit) แล้ว ทรานซิสเตอร์นับเป็นอุปกรณ์ที่สำคัญมาก เพราะเป็นพื้นฐานการสร้างวงจรเชิงเลขทุกชนิด

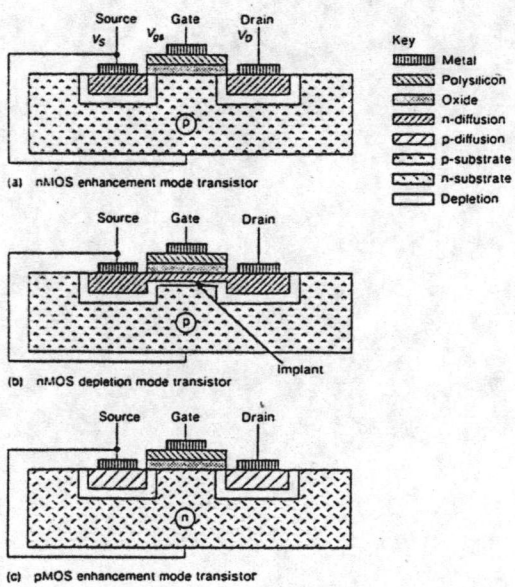


รูปที่ 2.7 โครงสร้างของทรานซิสเตอร์แบบมอส

โครงสร้างของทรานซิสเตอร์แบบมอสจะเป็นดังรูปที่ 2.7 จากรูปจะพบว่าโครงสร้างของทรานซิสเตอร์จะประกอบด้วย ชั้นการแพร่อยู่ 2 ด้าน ของช่องที่เรียกว่าแชนแนล (channel) ชั้นการแพร่ทั้งสองนี้จะเป็น ซอร์ส (source) และเดรน (Drain) ของทรานซิสเตอร์ มีชั้นโพลีซิลิคอนอยู่เหนือแชนแนลระหว่างชั้นการแพร่ทั้งสองโดยมีชั้นของอ๊อกไซด์เป็นฉนวนคั่นอยู่ ชั้นโพลีซิลิคอนนี้จะเป็นเกท (Gate) ของทรานซิสเตอร์

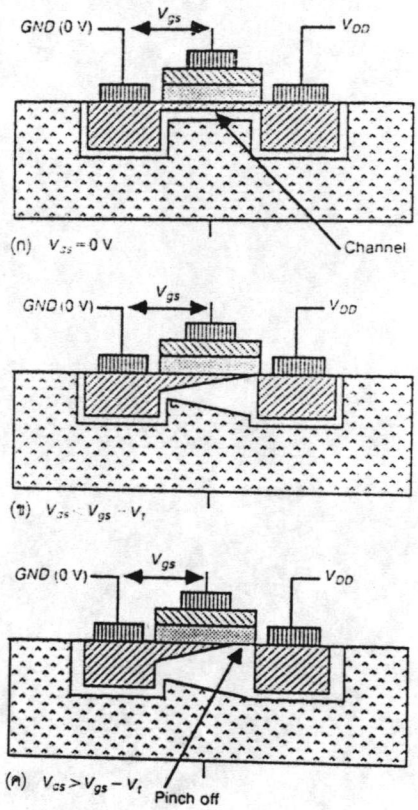
ทรานซิสเตอร์แบบมอสสามารถถูกแบ่งเป็น 2 ชนิด ตามชนิดของสารที่ใช้สร้างชั้นการแพร่และซับสเตทคือ ทรานซิสเตอร์แบบพีมอส (pMOS Transistor) ทรานซิสเตอร์แบบนี้จะใช้ซับสเตทที่เป็นสารชนิดเอ็น และใช้สารเจือชนิดพีในการสร้างชั้นการแพร่ ทรานซิสเตอร์อีกประเภทหนึ่งคือทรานซิสเตอร์ชนิดเอ็นมอส (nMOS Transistor) ซึ่งจะใช้สารชนิดพีเป็นซับสเตท และมีชั้นการแพร่ที่สร้างจากสารเจือชนิดเอ็น ทรานซิสเตอร์ทั้งแบบพีมอสและเอ็นมอสที่มีโครงสร้างแบบนี้เราเรียกว่าทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ (Enhancement mode transistor)

นอกจากนี้ยังมีทรานซิสเตอร์อีกแบบหนึ่งที่ถูกแพร่สารเจือพิเศษ (Impurity) ลงไปในช่อง ว่างระหว่างชั้นการแพร่ของซอร์สและ เดรนเพื่อทำให้เกิดผลในการควบคุมกระแสไฟฟ้าที่ไหลระหว่างซอร์สและเดรนที่แตกต่างออกไป ทรานซิสเตอร์พวกนี้ถูกเรียกว่า ทรานซิสเตอร์แบบดีพลีทชั่น (Depletion mode transistor) ทรานซิสเตอร์ทั้ง 3 ชนิดแสดงอยู่ในรูปที่ 2.8



รูปที่ 2.8 ทรานซิสเตอร์มอสชนิดต่างๆ (V_D = 0V. ซอร์สและเกทต่อ 0 V.)

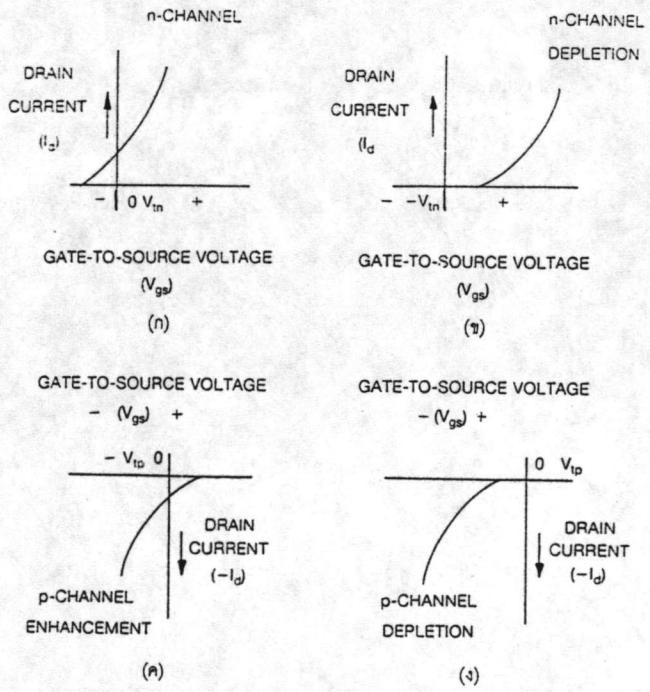
หลักการทำงานของทรานซิสเตอร์แบบมอสจะใช้หลักการของการเหนี่ยวนำประจุ ระหว่างชั้นโพลีซิลิคอนที่เป็นเกทกับช่องแชนแนลระหว่างซอร์สและเดรนเพื่อทำให้เกิดสะพานทางไฟฟ้าเชื่อมระหว่างซอร์สและเดรน ทำให้กระแสไฟฟ้าสามารถไหลผ่านได้ในสภาวะที่ขาซอร์สและเดรนมีแรงดันป้อนอยู่อย่างเหมาะสม ซึ่งจะอธิบายหลักการทำงานของทรานซิสเตอร์แบบมอสนี้เพิ่มเติมโดยขอยกตัวอย่างการทำงานของทรานซิสเตอร์เอ็นมอสแบบเอ็นฮานซ์เมนต์



รูปที่ 2.9 การทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ในเทอมของ V_{ds}PV ($V_{gs} > V_t$)

6.1 <u>การทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์</u> ตัวอย่างนี้จะแสดงทรานซิสเตอร์เอ็นมอสแบบเอ็นฮานซ์เมนต์ ดังแสดงในรูปที่ 2.9 การทำงานของทรานซิสเตอร์แบบมอสนั้น อาศัยหลักการเหนี่ยวนำประจุเช่นเดียวกับหลักการของตัวเก็บประจุ (capacitor) ทำให้เกิดสะพานไฟฟ้าเชื่อมระหว่างซอร์สและเดรน ซึ่งสะพานไฟฟ้านี้จะเกิดขึ้นได้ต่อเมื่อแรงดันที่เกทวัดเทียบกับซอร์ส (V_{gs}) แล้วมีค่าสูงกว่าแรงดันค่าหนึ่งที่เรียกว่า แรงดันเริ่มดัน (Threshold voltage, V_t) เท่านั้นจึงจะมีกระแสไฟฟ้าไหลได้ การอธิบายการทำงานของ

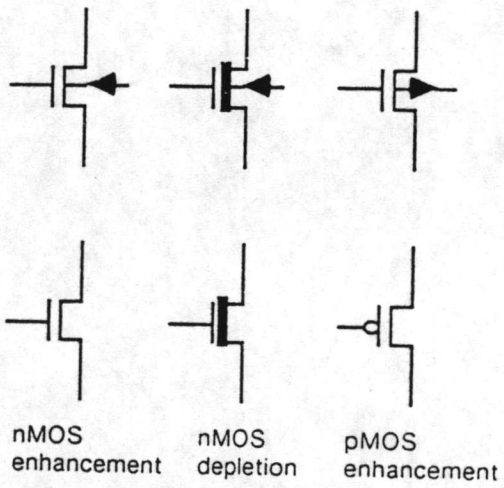
ทรานซิสเตอร์จะอธิบายในแง่ของขนาดแรงดันของเดรน เทียบกับซอร์ส (V_{ds}) กล่าวคือถ้า V_{gs} สูงกว่า V_t แล้ว แต่ V_{ds} มีค่าศูนย์โวลต์จะทำให้มีสะพานไฟฟ้าเชื่อมระหว่างเดรนและซอร์สแต่จะไม่มีกระแสไฟฟ้าไหลผ่านในช่องว่างนั้นเลย ดังแสดงในรูปที่ 2.9 (ก) ส่วนในกรณีที่ $V_{ds} < V_{gs}-V_t$ ในกรณีนี้สนามไฟฟ้าที่เกิดขึ้นในช่องว่างระหว่างเดรนและซอร์สอยู่ในลักษณะที่เพิ่มขึ้นตามค่า V_{ds} ซึ่งจะทำให้เกิดกระแสไหลได้เพิ่มขึ้นด้วย แต่การเพิ่มของกระแสไฟฟ้านี้จะหยุดลงเมื่อ $V_{ds} = V_{gs}-V_t$ ในสภาวะที่กระแสไฟฟ้าเปลี่ยนแปลงตามค่า V_{ds} ได้นี้เราเรียกว่าสภาวะไม่อิ่มตัว (Nonsaturated condition) ซึ่งแสดงในรูปที่ 2.9 (ข) ส่วนกรณีที่ $V_{ds} > V_{gs}-V_t$ จะทำให้เกิดสภาวะอิ่มตัว (Saturated Condition) ในสภาวะนี้ถึงแม้ว่าจะเพิ่ม V_{ds} ขึ้นไปอีกเท่าไรก็ตาม แต่กระแสไฟฟ้าที่ไหลระหว่างเดรนไปยังซอร์สจะคงที่ไม่เพิ่มขึ้นตามอีกต่อไป ในช่องว่างนั้นจะเกิดปรากฏการณ์พินช์ออฟ (Pinched off) ดังแสดงในรูปที่ 2.9 (ค)



รูปที่ 2.10 เปรียบเทียบกราฟระหว่าง V_{gs} กับ I_{ds} ของทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์และดีพลีทชั่น ทั้งเอ็นมอสและพีมอส

6.2 <u>การทำงานของทรานซิสเตอร์แบบดีพลีทชั่น</u> ทรานซิสเตอร์แบบดีพลีทชั่น คือ ทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ที่มีการใส่สารเจือพิเศษ(Impurity) ลงไปในแชนแนลระหว่างเดรนและซอร์ส เพื่อทำให้แรงดันเริ่มต้น (Vt) เปลี่ยนแปลงไปทางลดลงจนเป็นแรงดันด้านลบในกรณีของทรานซิสเตอร์แบบเอ็นมอสซึ่งจะทำให้ที่ Vgs เป็นศูนย์โวลต์ก็จะมีกระแสไฟฟ้าไหลผ่านแชนแนลระหว่างเดรนและซอร์ส กระแสไฟฟ้าค่านี้จะเปลี่ยนแปลงไปตามปริมาณสารเจือที่ใส่ลงไป ปรากฏการณ์นี้จะแตกต่างจากทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ที่ไม่มีกระแสไฟฟ้าไหลในขณะที่ Vgs เป็นศูนย์โวลต์ ความแตกต่างในการทำงานของทรานซิสเตอร์ 2 ชนิดนี้แสดงได้ด้วยกราฟระหว่าง Vgs และ Ids ดังรูปที่ 2.10 (ก) และ 2.10 (ข) ส่วนกรณีของทรานซิสเตอร์พีมอสจะได้ผลในทางตรงข้ามตามกราฟ รูปที่ 2.10 (ค) และ 2.10 (ง)

6.3 <u>สัญญลักษณ์ของทรานซิสเตอร์มอส</u> ทรานซิสเตอร์มอสแต่ละชนิดมีสัญญลักษณ์ได้หลายแบบ ซึ่งแต่ละแบบได้แสดงไว้แล้วดังรูปที่ 2.11



รูปที่ 2.11 สัญญลักษณ์ของทรานซิสเตอร์มอส

7. <u>คุณสมบัติทางไฟฟ้าของทรานซิสเตอร์มอส</u>

การได้เข้าใจถึงคุณสมบัติทางไฟฟ้าของวงจรนั้น นับเป็นประโยชน์สำหรับนักออกแบบวงจรเป็นอย่างยิ่ง เพราะจะทำให้สามารถออกแบบวงจรได้ตามวัตถุประสงค์ที่ต้องการยิ่งขึ้น สำหรับนักออกแบบวงจรรวมเฉพาะกิจหรือวงจรรวมขนาดใหญ่มากก็เช่นเดียวกัน ถึงแม้ว่าจะมีคอมพิวเตอร์ที่มีความสามารถสูงเป็นเครื่องมือช่วยในการออกแบบก็ตาม แต่การได้เข้าถึงคุณสมบัติทางไฟฟ้าของวงจรมอสที่จะทำการออกแบบจะทำให้การออกแบบประสบความสำเร็จยิ่งขึ้น ดังนั้นการจะกล่าวถึงคุณสมบัติทางไฟฟ้าของวงจรมอสจึงเป็นเรื่องที่หลีกเลี่ยงไม่ได้ ตัวอย่างที่จะใช้ในการอธิบายจะเป็นทรานซิสเตอร์แบบเอ็นมอส, วงจรอินเวอร์ทเตอร์ที่ใช้เทคโนโลยีเอ็นมอสและวงจรอินเวอร์ทเตอร์ที่ใช้เทคโนโลยีซีมอส ส่วนวงจรที่ใช้เทคโนโลยีพีมอสนั้นเราก็สามารถหาคุณสมบัติได้ในทำนองเดียวกับวงจรในเทคโนโลยีมอสเพียงแต่กลับขั้วของแรงดัน และทิศทางการไหลของกระแสเท่านั้น

7.1 <u>ค่าแรงดันเริ่มดัน, Vt (Threshold voltage)</u> ค่าแรงดันเริ่มดันนี้เป็นค่าแรงดันของเกทเริ่มที่จะทำให้เกิดมีกระแสไหลในแชลแนลได้ (Ids) ค่าแรงดันเริ่มดันนี้จะมีเปลี่ยนแปลงไปขึ้นอยู่กับ

- สารที่ใช้ทำเกท
- สารที่ใช้ทำฉนวนระหว่างเกทและแชลแนล
- การเจือสารบางอย่างลงในแชลแนล
- ความสกปรกของหน้าสัมผัสระหว่างฉนวนกับซิลิกอน
- แรงดันระหว่างซอร์สและซับสเตท (Vsb)

โดยสรุปแล้วเราอาจจะกำหนดค่าโดยประมาณของแรงดันของทรานซิสเตอร์มอสที่ใช้โพลีซิลิกอนเป็นเกทได้ดังนี้

สำหรับทรานซิสเตอร์เอ็นมอสแบบเอ็นฮานซ์เมนต์:

Vsb = 0 V ; Vt = 0.2 VDD (= + 1 V สำหรับ VDD = + 5 V)

Vsb = 5 V ; Vt = 0.3 VDD (= + 1.5 V สำหรับ VDD = + 5 V)

สำหรับทรานซิสเตอร์พีมอสแบบเอ็นฮานซ์เมนต์จะมีค่าเท่ากันเพียงเปลี่ยนเครื่องหมายเป็นลบเท่านั้น

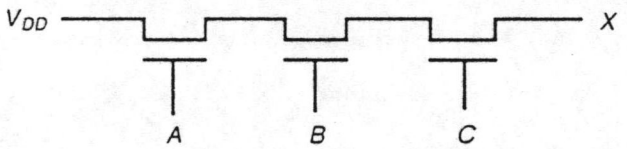
สำหรับทรานซิสเตอร์เอ็นมอสแบบดีพลีทชั่น:

Vsb = 0 V ; Vtd = -0.7 VDD (=-3.5 V สำหรับ VDD =+ 5 V)

Vsb = 5 V ; Vtd = -0.6 VDD (=-3.0 V สำหรับ VDD =+ 5 V)

8. พาสทรานซิสเตอร์ (The pass transistor)

สำหรับทรานซิสเตอร์แบบมอสแล้วการนำทรานซิสเตอร์มาต่อกันในลักษณะอนุกรมดังแสดงในรูปที่ 2-11 นับเป็นเรื่องที่ต้องใช้ความระมัดระวังในเรื่องจำนวนทรานซิสเตอร์ที่ใช้ เนื่องจากในทรานซิสเตอร์แต่ละตัวย่อมมีค่าแรงดันเดรกคร่อมระหว่างเดรนและซอร์สอันเนื่องมาจากความต้านทานของสารที่ใช้ทำ ดังนั้นการนำทรานซิสเตอร์มาต่ออนุกรมกันในลักษณะนี้จะทำให้แรงดันปลายทางลดลงไปตามจำนวนที่ต่ออนุกรม ซึ่งอาจจะทำให้แรงดันปลายทางมีค่าไม่พอที่จะทำให้เกิดการเปลี่ยนแปลงทางลอจิกได้คืออาจมีค่าต่ำกว่าแรงดันเริ่มต้น อนึ่งทรานซิสเตอร์ที่ต่อในลักษณะอนุกรมนี้เราจะเรียกแต่ละตัวว่า พาสทรานซิสเตอร์



$X = A.B.C$ (less V_t)

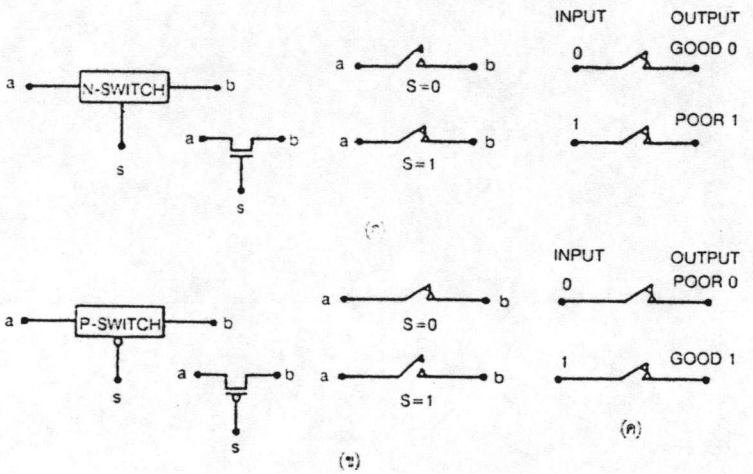
$\bar{X} = ?$

รูปที่ 2.12 พาสทรานซิสเตอร์

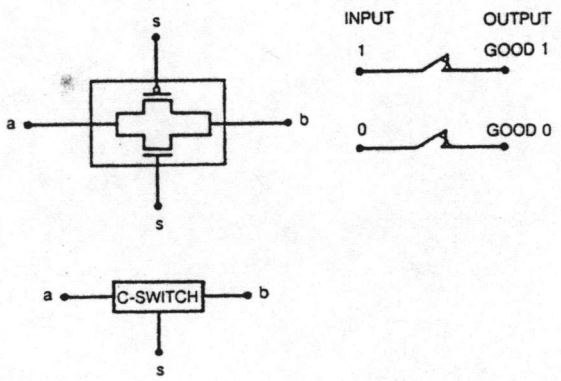
9. การพิจารณาทรานซิสเตอร์แบบมอสในลักษณะของสวิทช์

การทำงานของทรานซิสเตอร์แบบมอสในวงจรเชิงเลขนั้นเราอาจจะพิจารณาได้ในทำนองเดียวกับสวิทช์ กล่าวคือ ถ้าพิจารณาการทำงานของทรานซิสเตอร์ โดยดูจากการไหลของกระแสไฟฟ้าที่ผ่านแชนแนลซึ่งกระแสไฟฟ้านี้จะไหลได้หรือไม่ขึ้นอยู่กับสัญญาณไฟฟ้าที่ป้อนให้กับเกท ถ้าสัญญาณไฟฟ้าที่ป้อนให้เกทมีลักษณะเป็นสัญญาณลอจิกแล้ว การไหลของกระแสไฟฟ้าในแชนแนลก็จะมีอยู่ 2 สภาวะเท่านั้นคือมีกระแสไฟฟ้าไหล และไม่มีกระแสไฟฟ้าไหลตามสภาวะของสัญญาณที่เกทและชนิดของทรานซิสเตอร์ ดังนั้นทรานซิสเตอร์แบบมอสที่ทำงานในลักษณะนี้จึงมีลักษณะคล้ายกับเป็นสวิทช์นั่นเอง

ทรานซิสเตอร์แบบมอสมีอยู่ 2 ชนิด ดังได้กล่าวมาแล้ว เมื่อนำทรานซิสเตอร์ 2 ชนิดนี้มาพิจารณาในลักษณะของสวิทช์จะได้ผลที่แตกต่างกันคือ ทรานซิสเตอร์แบบเอ็นมอสจะทำงานมีกระแสไฟฟ้าไหลผ่านแชนแนลเมื่อเกทมีสัญญาณลอจิกเป็น "1" ส่วนทรานซิสเตอร์แบบพีมอสจะทำงานเมื่อเกทมีสัญญาณลอจิกเป็น "0" ดังรูปที่ 2.13 (ก),(ข) นอกจากนั้นถ้าพิจารณาใช้ทรานซิสเตอร์ทั้ง 2 ชนิด เป็นพาสทรานซิสเตอร์ ก็ได้คุณสมบัติที่แตกต่างกันคือ ทรานซิสเตอร์แบบเอ็นมอสจะให้สัญญาณลอจิก "0" ผ่านได้ดี แต่จะให้สัญญาณลอจิก "1" ผ่านไม่ดีนัก สำหรักทรานซิสเตอร์แบบพีมอสจะให้ผลตรงข้ามกับทรานซิสเตอร์แบบเอ็นมอสดังแสดงในรูปที่ 2.13 (ค)



รูปที่ 2-13 แสดงลักษณะของทรานซิสเตอร์ในแบบของสวิทช์



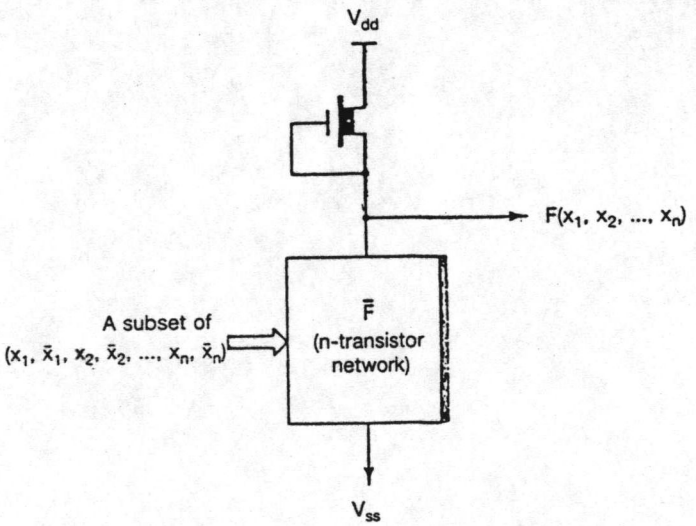
รูปที่ 2-14 คอมพลีเมนทารีสวิทช์

จากคุณสมบัติทางลอจิกของทรานซิสเตอร์ทั้ง 2 ชนิด ในการเป็นพาสทรานซิสเตอร์ซึ่งมีข้อดีคนละด้านกัน จึงสามารถนำมาสร้างเป็นพาสทรานซิสเตอร์แบบใหม่ที่ให้คุณสมบัติที่ดีในการส่งผ่านทั้งลอจิก "0" และ "1" วงจรและสัญญาณของพาสทรานซิสเตอร์นี้แสดงดังรูปที่ 2-14 พาสทรานซิสเตอร์แบบนี้อยู่ในเทคโนโลยีแบบซีมอสเท่านั้น

10. วงจรคอมไบเนชั่นลอจิกของมอส (MOS Combination Logic)

เมื่อพิจารณาการทำงานของทรานซิสเตอร์มอสในลักษณะของสวิทช์ จะเห็นว่าสามารถใช้ทรานซิสเตอร์มอสเหล่านี้ในการสร้างเป็นวงจรคอมไบเนชั่นลอจิกได้ ซึ่งหลักการสร้างก็มีอยู่หลายวิธี แต่จะขออธิบายเพียงวิธีง่าย ๆ ที่เป็นพื้นฐานเพียงวิธีเดียว โดยจะแยกอธิบายในส่วนที่ใช้เทคโนโลยีเอ็นมอส และส่วนที่ใช้เทคโนโลยีซีมอส

10.1 วงจรคอมไบเนชั่นลอจิกของเอ็นมอส (nMOS Combination Logic) โครงสร้างของวงจรคอมไบเนชั่นแบบเอ็นมอสนี้จะประกอบด้วย 2 ส่วนสำคัญ คือ ส่วนแรกจะเป็นทรานซิสเตอร์เอ็นมอสแบบดีพลีทชั่น ซึ่งจะต่ออยู่กับ VDD ทำหน้าที่เป็นเหมือนอุปกรณ์พูลอัพ ส่วนที่สองจะเป็นกลุ่มของทรานซิสเตอร์เอ็นมอสแบบเอ็นฮานซ์เมนต์ ซึ่งต่อกันเป็นวงจรตามลักษณะของสมการลอจิกที่ต้องการ ส่วนนี้จะต่อกับกราวด์และทำหน้าที่เป็นอุปกรณ์พูลดาวน์ ดังรูปที่ 2.15



รูปที่ 2-15 โครงสร้างของวงจรคอมไบเนชั่นแบบเอ็นมอส

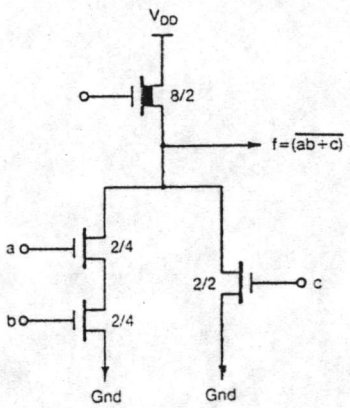
เมื่อพิจารณาจากวงจรรูปที่ 2-15 นั้นจะเห็นว่า ส่วนของทรานซิสเตอร์เอ็นมอสแบบดีพลีทชั่นทำตัวเหมือนเป็นตัวความต้านทานควบคุมการจ่ายกระแสไฟฟ้าให้กับวงจร แต่ไม่ได้มีส่วนเกี่ยวข้องกับการควบคุมลอจิกของเอาต์พุทเลย ดังนั้นการควบคุมลอจิกของเอาต์พุทจึงเป็นหน้าที่ของส่วนที่สองคือ กลุ่มของทรานซิสเตอร์เอ็นมอสแบบเอ็นฮานซ์เมนต์ ซึ่งจะต้องทำงานตามค่าลอจิกของอินพุทที่เข้ามา ถ้าลอจิกของอินพุททำให้กลุ่มวงจรนี้เปิดวงจร (switch off) เอาต์พุทก็จะได้ลอจิก "1" แต่ถ้าลอจิกของอินพุททำให้กลุ่มวงจรนี้ปิดวงจร (switch on) เอาต์พุทก็จะได้ลอจิก "0" แทน ดังนั้นการจะสร้างวงจรคอมไบเนชั่นลอจิกสำหรับวงจรแบบเอ็นมอสในลักษณะนี้ เราจะทำได้โดยการสร้างกลุ่มวงจรของทรานซิสเตอร์แบบเอ็นมอสตามสมการลอจิกที่ต้องการ ซึ่งอธิบายขบวนการสร้างนี้โดยใช้สมการ f = (ab+c) เป็นตัวอย่าง การสร้างวงจรลอจิกตามสมการนี้อาจจะแบ่งเป็นขั้นตอนได้ดังนี้

ขั้นที่ 1 เนื่องจากกลุ่มวงจรนี้เป็นอุปกรณ์พูลดาวน์ ซึ่งจะเป็นตัวกำหนดลอจิก "0" ดังนั้นฟังก์ชั่นของกลุ่มวงจรนี้จะต้องเป็นตรงข้ามกับลักษณะเอาต์พุทที่ต้องการนั่นคือ ต้องหากลุ่มวงจรนี้จาก f ซึ่งจะได้สมการเป็น f = ab+c

ขั้นที่ 2 จะต้องพยายามทำให้ตัวแปรทุกตัวอยู่เป็นอิสระ คือไม่มีการใช้คอมพลีเมนต์ร่วมกัน การแยกตัวแปรให้อิสระนั้นสามารถทำได้โดยใช้ทฤษฎีของเดอมอร์แกน (De Morgan's Theorem) ในกรณีของฟังก์ชั่นนี้ตัวแปรทุกตัวอย่าง เป็นอิสระแล้วจะไม่จำเป็นต้องจัดการ

ขั้นที่ 3 สร้างวงจรตามลักษณะของสมการที่ได้ คือ สำหรับตัวแปรที่ AND กับอยู่ให้ใช้ทรานซิสเตอร์ที่มีอินพุทสัมพันธ์กับตัวแปรนั้นมาต่ออนุกรมกับส่วนตัวแปรที่ OR กับอยู่ให้นำทรานซิสเตอร์ที่มีอินพุทสัมพันธ์กับตัวแปรนั้นมาต่อขนานกัน ทั้งนี้รวมถึงการพิจารณาในลักษณะของการ AND หรือ OR เป็นกลุ่มของตัวแปรด้วย สำหรับลักษณะการต่ออินพุทนั้นในกรณีใช้ทรานซิสเตอร์แบบเอ็นมอสที่ทำงานปิดวงจรเมื่ออินพุทมีลอจิกเป็น "1" อยู่แล้วจึงไม่ต้องเป็นค่าของตัวแปรให้ใช้ค่าเดิมได้ทันที

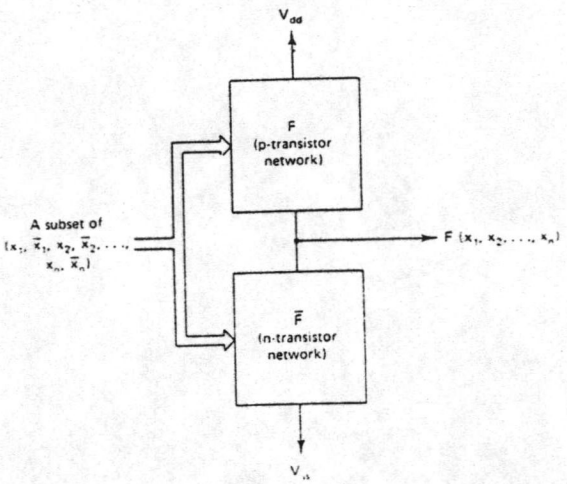
ขั้นที่ 4 นำวงจรที่สร้างได้ไปใช้เป็นอุปกรณ์พูลดาวน์และนำทรานซิสเตอร์เอ็นมอสแบบดีพลีทชั่นมาใช้เป็นอุปกรณ์พูลอัพ เชื่อมต่ออุปกรณ์ทั้งสองจุดที่เชื่อมต่อจะเป็นจุดที่เป็นเอาต์พุท ดังแสดงไว้ในรูปที่ 2-16



รูปที่ 2-16 วงจรของ f= (ab+c)

วงจรที่สร้างขึ้นมานี้ ถ้าพิจารณาตามลักษณะลอจิกจะเห็นว่าสามารถทำงานได้ถูกต้อง แต่ก็ควรจะคิดถึง ลักษณะการสมมาตรของกราฟการเปลี่ยนแปลงทางกระแสไฟตรงของอินพุทและเอาต์พุทด้วย ดังได้กล่าวมาแล้วในหัวข้อก่อนซึ่งการสมมาตรนี้มีผลขึ้นโดยตรงกับอัตราส่วนของ Zp.u./Zp.d. สำหรับวงจรแบบเอ็นมอสจากหลักการเดียวกับอินเวอร์ทเตอร์แบบเอ็นมอสจะต้องมีค่า Zp.u./Zp.d. = 4:1 จึงนับว่าเหมาะสม แต่ในกรณีของฟังก์ชั่นตัวอย่างที่ใช้ทำให้เกิดวงจรที่มีลักษณะแตกต่างจากอินเวอร์ทเตอร์ที่ได้ใช้มา กล่าวคือมีทรานซิสเตอร์ต่อกันมากกว่าหนึ่งตัว และมีอนุกรมกับข้างขนานกันบ้าง ดังนั้นถ้ายังคงให้อัตราส่วนความยาวต่อความกว้างของแชนแนล (L/W) ในทรานซิสเตอร์ ยังเป็นค่าเดียวกับที่ใช้ในอินเวอร์ทเตอร์ที่กล่าวมาแล้ว ก็จะเป็นเหตุทำให้อัตราส่วน Zp.u./Zp.d. นี้เกิดเป็นค่าที่ไม่เหมาะสมขึ้นจึงมีการปรับค่า L/W ของทรานซิสเตอร์แต่ละตัวใหม่ เพื่อให้ได้ค่า Zp.u./Zp.d. = 4:1 จึงจะได้ลักษณะของสัญญาณเอาต์พุทที่มีความสมมาตร รูปที่ 2-19 จะแสดงค่า L/W ของทรานซิสเตอร์ที่ปรับปรุงใหม่เพื่อให้ได้ค่าอัตราส่วน Zp.u./Zp.d. = 4:1 ในทุกเงื่อนไขที่เป็นไปได้

10.2 <u>วงจรคอมไบเนชั่นลอจิกแบบซีมอส (CMOS Combination logic)</u> วงจรคอมไบเนชั่นแบบซีมอสจะใช้กลุ่มของวงจรทรานซิสเตอร์พีมอสแบบเอ็นฮานซ์เมนต์เป็นอุปกรณ์พูลอัพโครงสร้างของวงจรคอมไบเนชั่นแบบซีมอสแสดงดังรูปที่ 2.17



รูปที่ 2.17 โครงสร้างของวงจรคอมไบเนชั่นแบบซีมอส

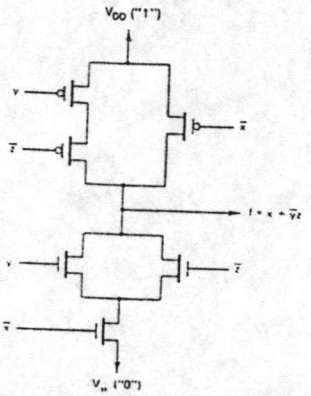
จากรูปที่ 2.17 เมื่ออุปกรณ์พูดอัพเปลี่ยนไปเป็นกลุ่มวงจรของทรานซิสเตอร์พีมอสแล้ว จึงจำเป็นต้องหาลักษณะการจัดวงจรของทรานซิสเตอร์พีมอสที่สัมพันธ์กับฟังก์ชั่นของเอาต์พุท และจะต้องสัมพันธ์กับกลุ่มวงจรของทรานซิสเตอร์เอ็นมอสที่เป็นอุปกรณ์พูดดาวน์ ความสัมพันธ์นี้ก็คือ ทรานซิสเตอร์เอ็นมอสและพีมอสที่ถูกควบคุมด้วยอินพุทตัวเดียวกันจะต้องไม่มีโอกาสปิดวงจรหรือเปิดวงจรพร้อมกันในแต่ละค่าลอจิกของอินพุท การออกแบบให้ได้ความสัมพันธ์ลักษณะนี้สามารถทำได้โดยพิจารณาจากรูปที่ 2.17 กลุ่มของวงจรทรานซิสเตอร์เอ็นมอสเป็นอุปกรณ์พูดดาวน์ซึ่งสามารถโครงสร้างวงจรได้ตามวิธีเดิมที่กล่าวไว้แล้วในวงจรคอมไบเนชั่นลอจิกแบบเอ็นมอส แต่สำหรับกลุ่มวงจรของทรานซิสเตอร์พีมอสซึ่งเป็นอุปกรณ์พูดอัพจะแสดงการหาโครงสร้างของวงจรโดยใช้ฟังก์ชั่น f = z+yz เป็นตัวอย่าง ซึ่งจะมีขั้นตอนการหาดังนี้

ขั้นที่ 1 เนื่องจากกลุ่มวงจรนี้เป็นอุปกรณ์พูดอัพ ซึ่งเป็นตัวกำหนดลอจิก "1" ดังนั้นฟังก์ชั่นของกลุ่มวงจร นี้จึงมีลักษณะเดียวกับฟังก์ชั่นลอจิกของเอาต์พุท ซึ่งจะได้ f = z+yz

ขั้นที่ 2 จะต้องทำให้ตัวแปรทุกตัวแยกอยู่เป็นอิสระ เช่นเดียวกับกรณีของวงจรคอมไบเนชั่นลอจิก แบบเอ็นมอส

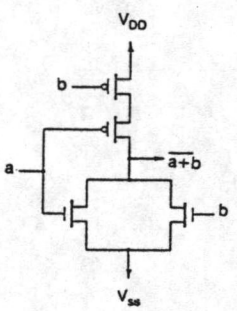
ขั้นที่ 3 สร้างวงจรตามลักษณะของสมการที่ได้ โดยอาศัยหลักการเดิมในวงจรคอมไบเนชั่นลอจิกแบบเอ็นมอส แต่จะต่างกันตรงที่ลักษณะของการต่ออินพุทนี้เพราะว่าอินพุทของทรานซิสเตอร์พีมอสจะปิดวงจรเมื่อมีลอจิกอินพุทเป็น "0" ซึ่งทำให้ขัดแย้งกับหลักการของสมการ Sum of Products ของสมการพูลอัพ เพื่อให้เกิดฟังก์ชั่นที่ถูกต้องจึงต้องใช้คอมพลีเมนต์ของตัวแปรจากฟังก์ชั่นของวงจรที่หาได้มาเป็นสัญญาณอินพุทสำหรับทรานซิสเตอร์ของตัวแปรตัวนั้น

ขั้นที่ 4 นำกลุ่มวงจรทรานซิสเตอร์พีมอสที่สร้างได้มาต่อกับกลุ่มวงจรทรานซิสเตอร์เอ็นมอสที่สร้างตามวงจรคอมไบเนชั่นลอจิกแบบเอ็นมอส โดยที่กลุ่มของวงจรทรานซิสเตอร์พีมอสต่อเป็นอุปกรณ์พูลดาวน์ดังรูปที่ 2.18

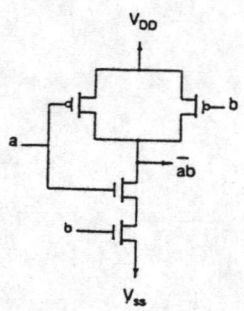


รูปที่ 2.18 วงจรคอมไบเนชั่นลอจิกแบบซีมอส ตามสมการ f = x + yz

สำหรับการพิจารณาค่า Zp.u./Zp.d. ของวงจรคอมไบเนชั่นลอจิกแบบซีมอสนี้ไม่จำเป็นต้องแก้ไขค่า L/W ของทรานซิสเตอร์แต่ละตัวเลยสามารถใช้ค่าที่หาได้จากการวิเคราะห์ของวงจรเวอร์ทเตอร์ในหัวข้อที่ 2.5.4 ได้ทันที ทั้งนี้เพราะลักษณะการสร้างวงจรแบบนี้จะเกิดการสมมตรกับอยู่แล้วระหว่างกลุ่มวงจรทรานซิสเตอร์พีมอสกับกลุ่มวงจรทรานซิสเตอร์เอ็นมอส จึงทำให้ค่าอัตราส่วน Zp.u./Zp.d. ยังคงที่คือมีค่าประมาณ 2.5



รูปที่ 2-19 วงจร CMOS NOR gate



รูปที่ 2-20 วงจร CMOS NAND gate

10.3 วงจรเกทพื้นฐานแบบซีมอส (CMOS Basic Gate)

1. นอร์เกท (NOR gate)

นอร์เกทมีฟังก์ชั่นเป็น f = a+b ดังนี้จะสามารถพิจารณาสร้างวงจรได้เป็น

สำหรับกลุ่มวงจรทรานซิสเตอร์พีมอสจะได้สมการ f = a+b = ab

สำหรับกลุ่มวงจรทรานซิสเตอร์พีมอสจะได้สมการ f = a+b = a+b

จากหลักการข้อที่ 3 และ 4 ก็จะได้วงจรนอร์เกทดังรูปที่ 2.19

2. แนนด์เกท (NAND gate)

แนนด์เกทมีฟังก์ชั่น f = ab ดังนั้นจะพิจารณาสร้างวงจรได้เป็น

สำหรับกลุ่มวงจรทรานซิสเตอร์พีมอสจะได้สมการ f = ab = a+b

สำหรับกลุ่มวงจรทรานซิสเตอร์พีมอสจะได้สมการ f = ab = ab

จากหลักการข้อที่ 3 และ 4 ก็จะได้วงจรแนนด์เกทดังรูปที่ 2.20

11. กฎการออกแบบ (Design Rules)

ในอดีตการออกแบบวงจรรวม สามารถทำได้เฉพาะในโรงงานเจือสาร (Fabrication House) เท่านั้น เนื่องจากนักออกแบบจะต้องเป็นผู้เข้าใจขั้นตอนหรือกรรมวิธีการผลิตวงจรผลิตวงจรรวมของโรงงานอย่างละเอียด อย่างไรก็ตามนักออกแบบก็ยังคงมีความยากลำบากในการออกแบบวงจรรวมมากเพราะเครื่องมือที่ช่วยในการออกแบบยังไม่ดีพอ จนกระทั่งวิวัฒนาการด้านคอมพิวเตอร์และซอฟต์แวร์ได้เจริญก้าวหน้าขึ้นมา จึงได้มีการพัฒนาเครื่องมือสำหรับการออกแบบวงจรที่มีประสิทธภาพขึ้น ทำให้นักออกแบบวงจรรวมสามารถทำงานได้ง่ายขึ้น และออกแบบวงจรรวมที่มีขนาดใหญ่ขึ้นจนถึงระดับของวงจรรวมขนาดใหญ่มาก (VLSI) แต่อย่างไรก็ตามนักออกแบบยังคงจำเป็นต้องมีความเข้าใจในกรรมวิธีในการผลิตวงจรรวมอยู่นั่นเอง เพื่อให้นักออกแบบวงจรรวมสามารถทำงานออกแบบได้ง่ายขึ้นประกอบกับความต้องการนักออกแบบวงจรรวมจำนวนมาก จึงได้มีความพยายามที่จะแยกขั้นตอนการออกแบบจากโรงงานเจือสารโดยอาศัยคอมพิวเตอร์และซอฟต์แวร์ที่มีความสามารถสูงมาใช้เป็นเครื่องมือช่วยในการออกแบบ แต่ยังคงส่งไปผลิตในโรงงานเจือสารได้เหมือนกับช่างภาพที่สามารถใช้กล้องถ่ายรูปเป็นเครื่องมือบันทึกภาพที่ต้องการลงบนฟิล์มแล้วส่งฟิล์มนั้นไปผ่านขบวนการล้างฟิล์มของบริษัทที่ให้บริการจนได้ออกมาเป็นรูปภาพจะเห็นว่าในกรณีของช่างภาพนั้น ถ้าต้องการรูปที่ก็ต้องมีข้อตกลงกับบริษัทที่ให้บริการล้างฟิล์ม ข้อตกลงที่ว่านี้ก็คือ การตั้งความไวแสงให้เหมาะกับฟิล์มที่ใช้ การตั้งความกว้างของหน้ากล้องและความเร็วของชัตเตอร์ให้เหมาะสมกับสภาวะแสง ในทำนองเดียวกันเมื่อแยกขั้นตอนการออกแบบ

วงจรรวมออกจากโรงงานเจือสารแล้ว ก็จำเป็นต้องมีข้อตกลงหรือกฎเกณฑ์ระหว่างนักออกแบบและโรงงานเจือสารเพื่อให้ได้วงจรรวมที่ผลิตออกมาแล้วสามารถทำงานได้จริงกฎเกณฑ์นี้เรียกว่ากฎการออกแบบ (Design Rules)

11.1 ความสำคัญของกฎการออกแบบ ในกระบวนการการผลิตวงจรรวมนั้นมีขั้นตอนอยู่มากมาย ตั้งแต่การทำหน้ากาก (Mask) การทำขบวนการโฟโตริซิสต์ (Photoresist) การเจือสารเข้าไปในแต่ละชั้นสาร ฯลฯ เป็นต้น ในแต่ละขั้นตอนนั้นมักจะมีความผิดพลาดเกิดขึ้นคือ หน้ากากแต่ละชุดมีการเหลื่อมเกิดขึ้นที่ขอบของภาพ เมื่อนำวางซ้อนกัน ขอบของภาพที่ได้จากขบวนการโฟโตริซิสเกินเลยออกไป หรือในขั้นตอนการเจือกสารที่ใช้ในการเจือได้แพร่เลยออกจากขอบเขตที่กำหนดไว้ ปัญหาเหล่านี้อาจทำให้วงจรรวมเกิดการลัดวงจรหรือเสียหายจนทำงานไม่ได้ ดังนั้นเพื่อให้สามารถรับประกันได้ว่าวงจรรวมที่ผลิตขึ้นจะมีคุณสมบัติทางไฟฟ้า เช่น ค่าความต้านทาน ค่าความจุไฟฟ้า ถูกต้องตามที่ต้องการ จึงต้องมีการกำหนดขนาดมาตรฐาน (Feature size) ของแต่ละส่วนของวงจรรวมนั้นเป็นกฎเกณฑ์การออกแบบ เพื่อให้เกิดความแน่ใจว่าจะไม่มีปัญหาดังที่กล่าวมาแล้ว

เนื่องจากเทคโนโลยีของขบวนการผลิตวงจรรวมได้พัฒนาไปอย่างรวดเร็วมาก ทำให้สามารถผลิตวงจรรวมที่มีขนาดเล็กลงเรื่อย ๆ ดังนั้นขนาดมาตรฐานที่กำหนดไว้ในหน่วยวัดระยะทางจริงจึงต้องเปลี่ยนแปลงตามไปด้วย สร้างความยุ่งยากให้กับนักออกแบบวงจรรวมที่ต้องคอยเปลี่ยนกฎการออกแบบในเครื่องมือช่วยออกแบบที่ใช้อยู่เสมอ จนกระทั่งได้มีนักออกแบบกลุ่มหนึ่งได้คิดหาวิธีในการกำหนดกฎการออกแบบให้อยู่ในรูปของหน่วยวัดระยะทางอิสระที่สามารถอ้างอิงถึงหน่วยวัดระยะทางจริงได้ และสามารถลดขนาดลง (scale down) ตามเทคโนโลยีที่เปลี่ยนแปลงไปได้ด้วย โดยไม่มีผลกระทบถึงกฎการออกแบบเลย นักออกแบบที่ได้เสนอกฎการออกแบบในลักษณะนี้คือ คาร์เวอร์ หมีด (Carver Mead) และลินน์ คอนเวย์ (Lynn Conway) ได้เสนอไว้เมื่อปี ค.ศ.1980 (C.Mead,L.Conway,1980) เป็นกฎการออกแบบสำหรับเทคโนโลยีแบบเอ็นมอส กฎการออกแบบนี้เป็นที่นิยมใช้กันอย่างแพร่หลาย และในภายหลังก็ได้มีผู้คิดสร้างกฎการออกแบบในทำนองเดียวกันสำหรับเทคโนโลยีแบบซีมอส

11.2 กฎการออกแบบของ Mead-Conway หน่วยวัดระยะทางอิสระในกฎการออกแบบของ Mead-Conway คือค่าแลมดา λ ค่าแลมดานี้เป็นค่าที่ประมาณจากค่าผิดพลาดทางตำแหน่งที่มากที่สุดที่อาจเกิดขึ้นได้จากการใช้หน้ากาก (Mask)ในขั้นตอนการผลิตวงจรรวม ถ้าใช้หน้ากากอีกชุดหนึ่งร่วมกันก็ทำให้ความผิดพลาดทางตำแหน่งมากขึ้น แต่จะไม่เกิน 2λ ดังนั้นระยะห่าง 2λ จึงถือเป็นระยะมาตรฐานสำหรับการกำหนดระยะ

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

ห่างระหว่างอุปกรณ์บนวงจรรวม สำหรับค่า λ นั้นจะขึ้นกับความสามารถของเทคโนโลยีการผลิตวงจรรวมในขณะนั้น เช่นเมื่อปี ค.ศ. 1983 ค่า มีค่าประมาณ 2 ไมครอน (ไมโครเมตร) แต่ปัจจุบันมีค่าน้อยกว่า 1 ไมครอน และยังคงมีการพัฒนาให้เล็กลงเรื่อยๆ

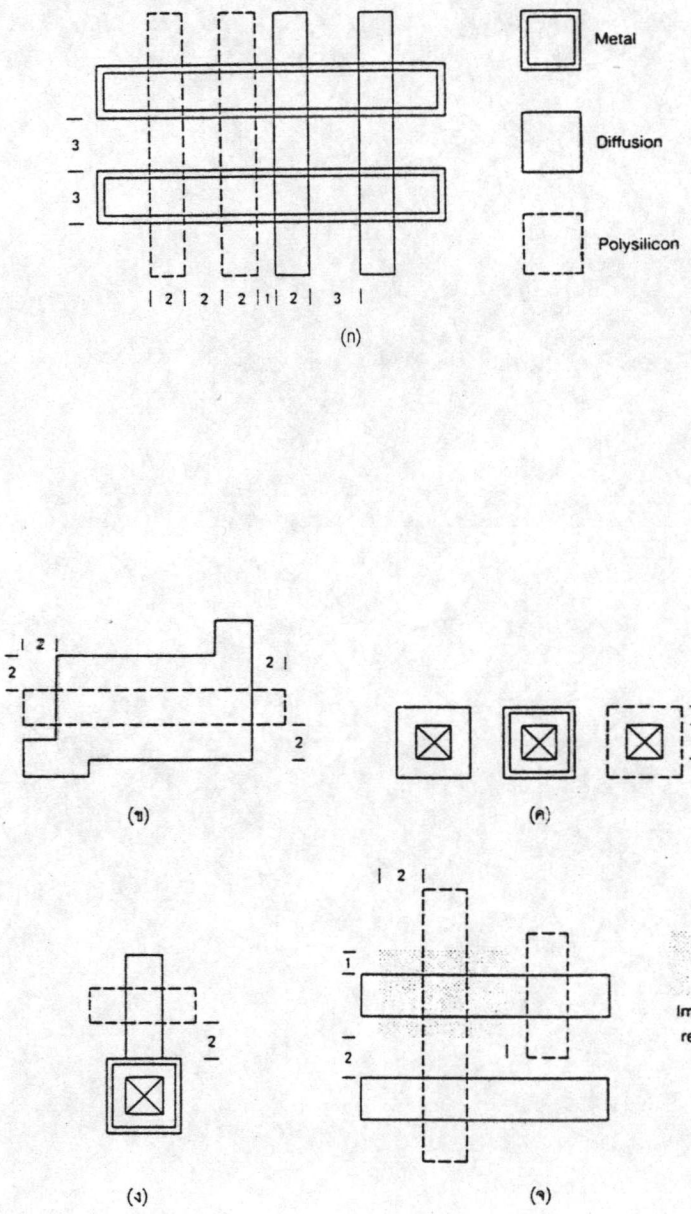
กฎการออกแบบของ Mead-Conway ได้กำหนดกฎสำคัญไว้ 4 ข้อ คือ ขนาดความกว้าง (width), ระยะห่าง (separation), ความยาวของส่วนเกิน (extensions) และความกว้างของส่วนคาบเกี่ยว (overlap) ซึ่งกฎทั้ง 4 ข้อนี้จะกำหนดค่าที่น้อยที่สุดที่ยอมรับได้ โดยจะขึ้นอยู่กับว่าเป็นชนิดของชั้นสาร (Layers) แบบใดด้วย

11.3 <u>ชั้นสารในเทคโนโลยีเอ็นมอสและกฎการออกแบบสำหรับเทคโนโลยีเอ็นมอส</u> ชั้นสารที่สำคัญในวงจรรวมมีอยู่ 3 ชนิดคือ ชั้นสารโลหะ (Metal) ชั้นสารการแพร่ (Diffusion) และชั้นสารโพลีซิลิกอน (Polysilicon) โดยปกติแล้วในการออกแบบนั้น ชั้นสารเหล่านี้จะมีสีประจำตัวคือ ชั้นสารโลหะจะใช้สีฟ้า ชั้นสารการแพร่จะใช้สีเขียวและชั้นสารโพลีซิลิกอนจะใช้สีแดง นอกจากชั้นสารสำคัญทั้งสามแล้วในเทคโนโลยีเอ็นมอสยังมีชั้นสารอีกชนิดหนึ่งคือชั้นสารอิมแพลนต์ (Implant region) ซึ่งจะใช้สีเหลืองแทนในการออกแบบ สำหรับการออกแบบสร้างทรานซิสเตอร์ในเทคโนโลยีมอสนี้จะเกิดจาก การใช้ชั้นสารโพลีซิลิกอนลากตัดขวางกับชั้นสารการแพร่ ก็จะเกิดเป็นทรานซิสเตอร์มอสแบบเอ็นฮานซ์เมนต์ขึ้น โดยมีชั้นสารโพลีซิลิกอนเป็นเกท และมีชั้นสารการแพร่ที่อยู่ 2 ด้านของชั้นสารโพลีซิลิกอนเป็นซอร์สและเดรนของทรานซิสเตอร์ แต่ถ้าต้องการทรานซิสเตอร์มอสแบบดีพลีทชั้นสามารถทำได้โดยใช้ชั้นสารอิมแพลนต์ใส่ไปครอบคลุมจุดตัดระหว่างชั้นสารการแพร่และชั้นสารโพลีซิลิกอนของทรานซิสเตอร์ นอกจากนี้อุปกรณ์ที่ใช้ในการออกแบบที่สำคัญอีกตัวหนึ่งคือตัวเชื่อมต่อ (Contact Cut) ซึ่งจะใช้สัญญลักษณ์สี่เหลี่ยมมีสีดำตรงกลางล้อมรอบด้วยสีของชั้นสารอื่นที่จะระบุว่าเป็นตัวเชื่อมต่อสำหรับชั้นสารนั้น

รูปที่ 2.21 ได้แสดงรายละเอียดของกฎเกณฑ์การออกแบบสำหรับเทคโนโลยีแบบเอ็นมอสโดยใช้สัญลักษณ์แทนชั้นสารและอุปกรณ์ต่าง ๆ สำหรับรายละเอียดเพิ่มเติมที่เป็นภาพสีและตารางสรุปได้แสดงไว้ในภาคผนวก กฎการออกแบบของ Mead-Conway ซึ่งมีรายละเอียดดังนี้

ทุกชั้นสารจะต้องมีความกว้างอย่างน้อย 2λ ยกเว้นชั้นสารโลหะที่ต้องมีความกว้าง 3 λ สำหรับระยะห่างนั้นชั้นสารโพลีซิลิกอนต้องห่างกันอย่างน้อย 2λ สำหรับระยะห่างระหว่างชั้นโลหะกับชั้น

โลหะ และชั้นการแพร่กับชั้นการแพร่ ต้องห่างกันอย่างน้อย 3λ กฎเกี่ยวกับความกว้างและระยะห่างแสดงดัง รูปที่ 2.21 (ก)



รูปที่ 2.21 กฎการออกแบบสำหรับเทคโนโลยีเอ็นมอส

I14274804

การสร้างทรานซิสเตอร์จะต้องเกิดจากการวางชั้นโพลีซิกอนที่มีขนาด 2λ ตัดกับชั้นการแพร่ที่มีขนาด 2λ และชั้นโพลีซิลิกอนนี้จะต้องมีส่วนเกินเลยออกจากชั้นการแพร่เป็นระยะทาง 2λ ทั้งนี้เพื่อป้องกันไม่ให้เกิดการลัดวงจรระหว่างซอร์สและเดรน ในทำนองเดียวกัน เพื่อให้มั่นใจได้ว่าซอร์สและเดรนสามารถให้กระแสไฟฟ้าไหลผ่านได้เพียงพอ จึงให้ชั้นการแพร่ที่เป็นซอร์สและเดรนมีส่วนเกินจากชั้นโพลีซิลิกอนอีก 2λ ดังรูปที่ 2.21 (ข)

สำหรับตัวเชื่อมต่อ จะเป็นสี่เหลี่ยมจัตุรัสที่มีขนาดยาวด้านละ 2λ และจะต้องมีส่วนของชั้นสารที่จะแสดงถึงชนิดของตัวเชื่อมต่อนั้น (ชั้นสารโลหะ, ชั้นสารการแพร่ หรือชั้นสารโพลีซิลิกอน) ล้อมรอบอยู่อีกเป็นระยะห่าง 1λ ดังรูปที่ 2.21 (ค) กรณีที่มีชั้นสารโพลีซิลิกอนอยู่ใกล้นั้น ชั้นสารโพลีซิลิกอนจะต้องอยู่ห่างจากตัวเชื่อมต่อ 2λ รูปที่ 2.21 (จ) จะแสดงเกี่ยวกับชั้นสารอิมแพลนต์ของทรานซิสเตอร์แบบดีพลีทชั่น ชั้นสารอิมแพลนต์นี้จะต้องมีส่วนเกินจากชั้นโพลีซิลิกอนที่เป็นเกทออกไปอย่างน้อย 1λ และมีส่วนเกินออกไปจากชั้นสารการแพร่ที่เป็นเดรนและซอร์สอีกอย่างน้อย 2λ ถ้ามีทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์อยู่ในตำแหน่งใกล้เคียง โดยที่ทรานซิสเตอร์ทั้งสองตัวใช้เกทร่วมกัน แล้วชั้นสารการแพร่ของทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์จะต้องอยู่ห่างออกไปจากชั้นสารอิมแพลนต์ เป็นระยะทาง 2λ แต่ถ้าทรานซิสเตอร์ทั้งสองใช้ชั้นสารการแพร่ร่วมกัน คือเป็นซอร์สของตัวหนึ่งและเป็นเดรนให้กับอีกตัวหนึ่งแล้ว เกทของทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์จะต้องอยู่ห่างจากชั้นสารอิมแพลนต์เป็นระยะทาง 1λ

11.3 ชั้นสารและกฎการออกแบบสำหรับเทคโนโลยีซีมอส

กฎการออกแบบสำหรับเทคโนโลยีซีมอส ได้เริ่มมีการพัฒนาหลังจากที่มีกฎการออกแบบของ Mead-Conway สำหรับเทคโนโลยีเอ็นมอสแล้ว ในเทคโนโลยีแบบซีมอสนั้นมีกรรมวิธีการผลิตได้หลายวิธี คือ แบบวิธีใช้เอ็นเวลล์ (CMOS n-well process) แบบวิธีใช้พีเวลล์ (CMOS p-well) และแบบวิธีทวินทับ (CMOS twin-tub process) ซึ่งเป็นแบบที่ใช้ทั้งเอ็นเวลล์และพีเวลล์คู่กัน ซึ่งแต่ละวิธีก็จะมีกฎการออกแบบที่แตกต่างกันบ้าง ในที่นี้จะขอใช้กฎการออกแบบสำหรับเทคโนโลยีซีมอสที่กำหนดโดย Jet Propulsion Laboratory ซึ่งใช้กับเทคโนโลยีซีมอสแบบพีเวลล์

ในกฎการออกแบบชุดนี้ จะใช้กฎการออกแบบของ Mead-Conway เป็นหลัก สำหรับชั้นสารโพลีซิลิคอน ชั้นสารโลหะ และตัวเชื่อมต่อ ส่วนชั้นสารการแพร่นั้นจะถูกเรียกใหม่ว่าเป็นทินอ็อกไซด์

(Thin oxide) ใช้สีเขียวหรือสัญญลักษณ์ดังรูป 2.22 แทนทินอ็อกไซด์นี้ยังคงใช้กฎการออกแบบเหมือนกับเป็นชั้นสารการแพร่ในเทคโนโลยีเอ็นมอส

การสร้างทรานซิสเตอร์ในเทคโนโลยีนี้จะเกิดขึ้นจากการใช้ชั้นสารโพลีซิกอนตัดกับชั้นทิน-อ็อกไซด์ ซึ่งจะมีทรานซิสเตอร์อยู่ 2 ชนิด ในเทคโนโลยีนี้ขึ้นอยู่กับตำแหน่งที่อยู่เมื่อเทียบกับพีเวลล์ ซึ่งจะมีสีน้ำตาล หรือใช้สัญญลักษณ์ดังรูปที่ 2.22 แทน และยังต้องเทียบกับตำแหน่งของ P+ ซึ่งจะใช้สีส้มหรือสีสัญญลักษณ์ ดังรูปที่ 2.22 กล่าวคือ ทรานซิสเตอร์แบบพีมอสจะต้องสร้างขึ้นภายใน P+ นอกพีเวลล์และทรานซิสเตอร์แบบเอ็นมอสจะต้องสร้างขึ้นภายในพีเวลล์เท่านั้น ดังนั้นจึงมีกฎการออกแบบสำหรับ พีเวลล์, P+ และทินอ็อกไซด์เพิ่มขึ้นดังนี้ กฎของพีเวลล์ กับทินอ็อกไซด์ (รูปที่ 2.22 (ก)) ทินอ็อกไซด์ที่อยู่ในพีเวลล์จะต้องอยู่ห่างจากของพีเวลล์เป็นระยะทาง 3λ สำหรับทินอ็อกไซด์ที่อยู่นอกพีเวลล์จะต้องอยู่ห่างจากของพีเวลล์เป็นระยะทาง 5λ และขนาดความกว้างของพีเวลล์ต้องไม่น้อยกว่า 4λ ส่วนระยะห่างระหว่างพีเวลล์ 2 ตัว ต้องห่างกันอย่างน้อย 2λ

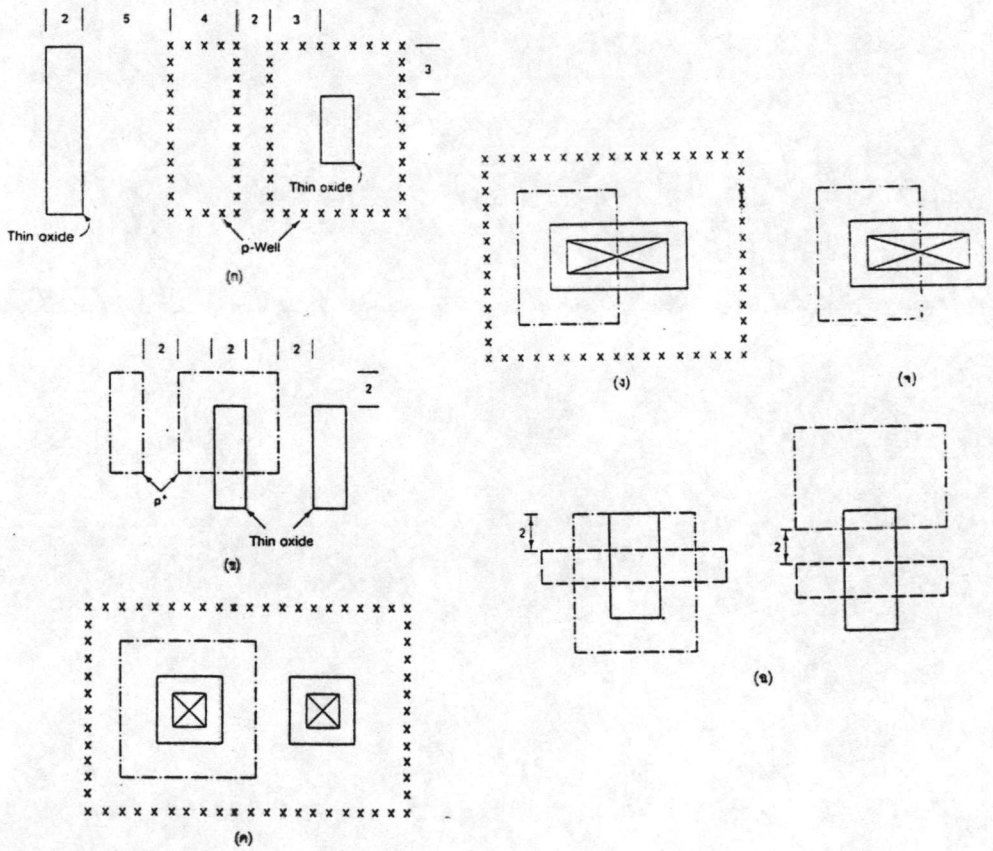
กฎของ P+ ถึงทินอ็อกไซด์ (รูปที่ 2.22 (ข)) P+ กับทินอ็อกไซด์ต้องอยู่ห่างกัน 2λ ทินอ็อกไซด์ที่พาดทับขอบของ P+ จะมีส่วนของทินอ็อกไซด์เหลืออยู่ภายใน P+ ซึ่งส่วนนี้จะต้องอยู่ห่างขอบด้านอื่นๆ ของ P+ เป็นระยะทาง 2λ ส่วนความกว้างของ P+ ก็ต้องมีขนาด 2λ และระยะห่างระหว่าง P+ 2 ตัว ก็ต้องเป็น 2λ ด้วย

กฎของตัวเชื่อมต่อ (รูปที่ 2.22 (ค)) ตัวเชื่อมต่อในเทคโนโลยีซีมอส จะมีตัวเชื่อมต่อสำหรับชั้นโลหะกับชั้นโพลีซิลิกอน และตัวเชื่อมต่อสำหรับชั้นโลหะกับทินอ็อกไซด์ ตามรูปที่ 2.22 (ค) รูปทางซ้ายจะเป็นการใช้ตัวเชื่อมต่อในลักษณะพิเศษ คือใช้เชื่อมพีเวลล์เข้ากับ Vss หรือกราวด์ โครงสร้างของตัวเชื่อมต่อแบบนี้จะประกอบด้วยตัวเชื่อมต่อสำหรับชั้นโลหะกับทินอ็อกไซด์ล้อมรอบด้วย P+ เป็นระยะห่าง 2λ และจะต้องอยู่ในพีเวลล์ซึ่งขอบของพีเวลล์จะต้องอยู่ห่างจากตัวเชื่อมต่อ 3λ สำหรับการต่อระหว่างทินอ็อกไซด์กับชั้นโลหะในแบบปกติ จะเป็นดังรูปที่ 2.22 (ค) รูปทางขวา ในกรณีที่ทินอ็อกไซด์จะต้องมีส่วนเกินออกมาจาก P+ จะต้องใช้ตัวเชื่อมต่อแบบแยก (Split contact) ดังรูปที่ 2.22 (ง) และ 2.22 (จ) ตัวเชื่อมต่อแบบนี้จะมีขนาด $4x8$ λประกอบด้วยชั้นโลหะกับทินอ็อกไซด์ ตัวเชื่อมต่อแบบแยกยังใช้ในการเชื่อมซอร์สของทรานซิสเตอร์กับแหล่งจ่ายไฟหรือกราวด์ โดยผ่านซับสเตท

กฎของ P^+ กับเกท (รูปที่ 2.22 (ฉ) P^+ จะต้องล้อมรอบแชนแนลของทรานซิสเตอร์แบบพีมอสอยู่ในระยะห่าง 2λ ทุกด้านจากแชนแนล ในกรณีที่มีทรานซิสเตอร์แบบเอ็นมอสอยู่ใกล้กับ P^+ เกทของทรานซิสเตอร์จะต้องอยู่ห่างเป็นระยะทางอย่างน้อย 2λ

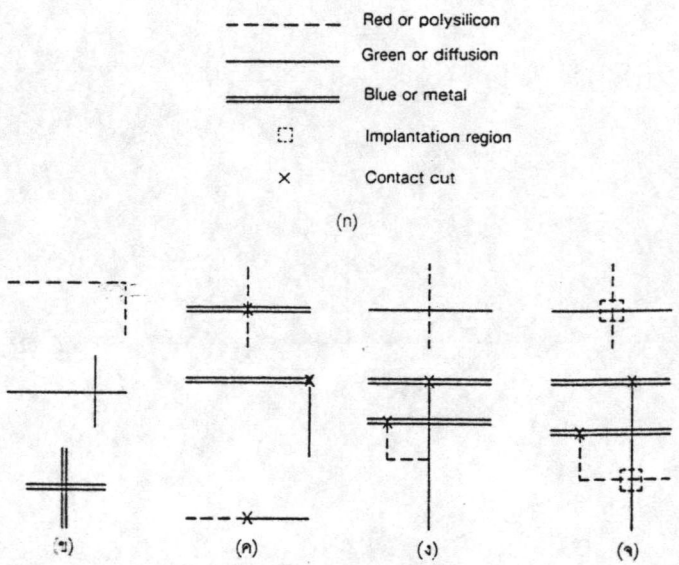
กฎการแยกของ P^+ กับพีเวลล์ P^+ และพีเวลล์ จะต้องอยู่ห่างกันไม่น้อยกว่า 2λ

รูปที่ 2.22 กฎการออกแบบสำหรับเทคโนโลยีแบบซีมอส



12. แผนภาพแบบเส้น (Stick diagram)

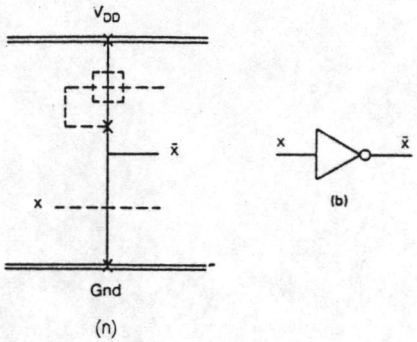
ในการออกแบบหน้ากาก (Mask) ของวงจรรวมนั้น การใช้แผนภาพแบบกราฟฟิกที่เป็นสีหรือสัญญลักษณ์อาจจะไม่เหมาะสมหรือสะดวกในการใช้ร่างวงจรต้นแบบขึ้นมา ดังนั้นจึงได้มีการสร้างแผนภาพแบบเส้นขึ้นมาเพื่อใช้ในการร่างวงจรต้นแบบ ซึ่งจะทำให้สะดวกรวดเร็วขึ้น แผนภาพแบบเส้นนี้อาจจะมีได้ 2 ลักษณะ ใช้เส้นที่มีสีแตกต่างกัน หรือใช้สัญญลักษณ์แบบเส้นที่เขียนง่ายแทนเฉพาะชั้นสารที่สำคัญเท่านั้น ดังรูปที่ 2.23 (ก)



รูปที่ 2-23 แผนภาพแบบเส้นและสัญญลักษณ์

รูปที่ 2.23 (ข) แสดงถึงชั้นสานชนิดเดียวกันต่อเชื่อมกันหรือตัดกัน
รูปที่ 2.23 (ค) แสดงถึงชั้นสารต่างชนิดกันต่อเชื่อมกัน โดยใช้ตัวเชื่อมต่อ (Contact cuts)
รูปที่ 2.23 (ง) แสดงถึงการสร้างทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์
รูปที่ 2.23 (จ) แสดงถึงการสร้างทรานซิสเตอร์แบบดีพลีทชั่น

การนำเอาแผนภาพแบบเส้นไปใช้ในการร่างวงจรต้นแบบนั้น แสดงดังวงจรของเอ็นมอสอินเวอร์ทเตอร์ ดังรูปที่ 2.24

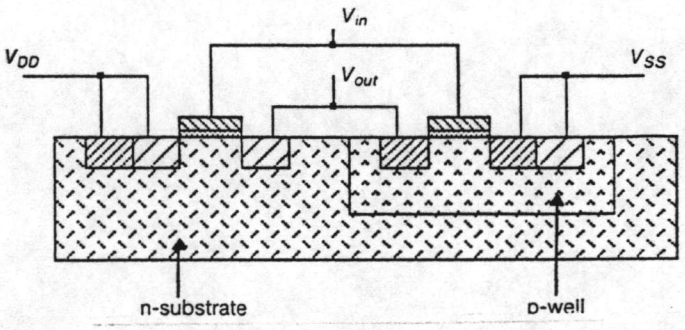


รูปที่ 2.24 แผนภาพแบบเส้นแสดงวงจรของเอ็นมอสอินเวอร์ทเตอร์

13. <u>เทคโนโลยีการเจือสารสำหรับวงจรรวมแบบซีมอส</u>

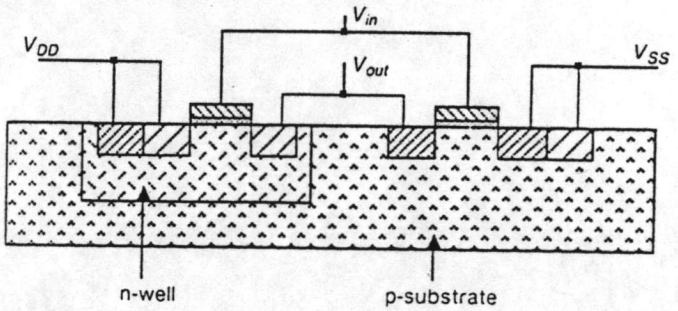
การสร้างวงจรรวมแบบซีมอส ถ้ามองจากในด้านการออกแบบวงจรจะเห็นว่าสร้างขึ้นจากการใช้ทรานซิสเตอร์แบบเอ็นมอส และทรานซิสเตอร์แบบพีมอส มาทำงานร่วมกัน แต่ในขั้นตอนของการผลิตหรือเจือสารนั้นจะสามารถทำได้ 3 วิธี (A.Mukherjee, 1986) คือ

13.1 <u>เทคโนโลยีพีเวลล์ (The p-well peocess)</u> ในเทคโนโลยีนี้จะใช้ซับสเตทเป็นสารชนิดเอ็น และจะมีการสร้างหลุมที่เป็นสารชนิดพีขึ้นที่ เรียกว่า พีเวลล์ แล้วจะสร้างทรานซิสเตอร์แบบพีมอสอยู่ภายนอกพีเวลล์ โดยมีทรานซิสเตอร์แบบเอ็นมอสอยู่ภายพีเวลล์ ดังรูปที่ 2.29 อนึ่งเพื่อทำให้ซับสเตททั้งสอง (ซับสเตทชนิดเอ็นและพีเวลล์) แยกจากกันทางไฟฟ้า จึงมีการใส่ชั้นการแพร่ชนิดเดียวกับซับสเตทลงไปโดยให้ต่อเชื่อมเข้ากับ VDD และ VSS ดังรูปที่ 2.25



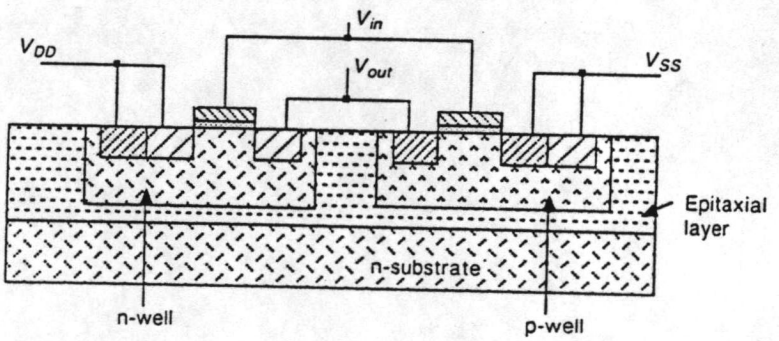
รูปที่ 2.25 เทคโนโลยีพีเวลล์

13.2 <u>เทคโนโลยีเอ็นเวลล์ (The n-well process)</u> เทคโนโลยีนี้จะตรงข้ามกับการใช้พีเวลล์ คือ จะใช้ซับสเตทหลักเป็นสารชนิดพี และจะมีการสร้างหลุมที่เป็นสารชนิดเอ็นขึ้น เรียกว่า เอ็นเวลล์ แล้วจะสร้างทรานซิสเตอร์แบบพีมอสอยู่ภายในเอ็นเวลล์ และสร้างทรานซิสเตอร์แบบพีมอสอยู่นอกเวลล์ ดังรูปที่ 2.26



รูปที่ 2.26 เทคโนโลยีเอ็นเวลล์

13.3 <u>เทคโนโลยีทวินทับ (The Twin-tub process)</u> เทคโนโลยีทวินทับนี้จะใช้ทั้งพีเวลล์ และเอ็นเวลล์ร่วมกัน โดยสร้างทรานซิสเตอร์แบบเอ็นมอสลงในพีเวลล์ และสร้างทรานซิสเตอร์แบบพีมอสลงในเอ็นเวลล์ ดังรูปที่ 2.27



รูปที่ 2.27 เทคโนโลยีทวินทับ