บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันเทคโนโลยีด้านวงจรรวมความจุสูงมากได้รับการพัฒนาก้าวหน้าขึ้นทำให้สามารถสร้างวงจรแบบสมวารให้ทำงานเร็วขึ้นโดยใช้ความถี่ของสัญญาณนาฬิกาสูงขึ้น แต่พบว่า ค่าความหน่วงสายมีอิทธิพลมากขึ้น [1] ทำให้เกิดการแกว่งของสัญญาณนาฬิกา (Clock Skew) เป็นผลให้ไม่สามารถกระจายสัญญาณความถี่สูงไปทั่วระบบซึ่งเป็นข้อจำกัดในการออกแบบ

ทางเลือกหนึ่งในการออกแบบวงจรเพื่อให้ได้ประโยชน์จากเทคโนโลยีดังกล่าว [1-4] คือ การออกแบบวงจรแบบอสมวารซึ่งมีข้อดีคือการออกแบบไม่ต้องมีการปรับแต่งสัญญาณนาฬิกาเชื่อมต่อทำให้สามารถแบ่งวงจรเป็นส่วนจำเพาะอิสระ (Independent Module) เพื่อออกแบบให้วงจรมีความทนต่อการแปรปรวนของสัญญาณ ทั้งยังได้วงจรที่ทำงานเร็วและใช้พลังงานน้อย แต่เมื่อไม่มีสัญญาณนาฬิกาวงจรจะตอบสนองต่อทุกการเปลี่ยนระดับสัญญาณที่เกิดขึ้น ดังนั้นการออกแบบจำเป็นต้องให้วงจรมีความสามารถในการตรวจสอบการสิ้นสุดทุกการเปลี่ยนระดับสัญญาณที่เกิดขึ้นภายในวงจร (Stability) เพื่อป้องกันไม่ให้เกิดการทำงานที่ผิดพลาด เช่น การเกิดฮาซาร์ด (Hazard) ในวงจร เป็นต้น

วิธีหนึ่งในการออกแบบวงจรเชิงผสมแบบอสมวารเพื่อให้มีคุณสมบัติไม่เกิดฮาซาร์ด [5] จะทำการแบ่งวงจรเชิงผสมเป็นสองส่วน คือ ส่วนวงจรที่ทำงานฟังก์ชันตรรกะเรียกว่าส่วนวงจรรางคู่ (Dual-rail Circuit) และส่วนวงจรที่ตรวจสอบการเปลี่ยนแปลงระดับสัญญาณภายในทั้งวงจรเรียกว่าส่วนวงจรตอบรับ (Acknowledgement Circuit) โดยทั้งสองส่วนนี้จะทำงานประสานกันเป็นการทำงานรางคู่แบบสองขั้นชนิดกลับสู่ศูนย์ (2-rail 2-phase (return-to-zero) operation) เพื่อเชื่อมต่อผลลัพธ์ที่ได้ของทั้งสองส่วนให้เป็นเอาต์พุตของวงจรเชิงผสม ทั้งนี้แนวทางการออกแบบวงจรขึ้นอยู่กับการกำหนดแบบจำลองความหน่วง (Delay Model) [3,4] และแบบจำลองการทำงานสิ่งแวดล้อม (Environment Operation Model) [3]

แบบจำลองความหน่วง คือ ข้อกำหนดความหน่วงระหว่างการออกแบบวงจรระดับเกตและการออกแบบวงจรระดับเลย์เอาท์ ในกลุ่มแบบจำลองความหน่วงชนิดมีขอบเขต (Bounded Delay Model) [1] และแบบจำลองความหน่วงแบบไม่ขึ้นต่ออัตราเร็ว (Speed Independent :SI) [6] การออกแบบวงจรระดับเกตสามารถกำหนดค่าความหน่วงเกตและค่าความหน่วงสายที่เหมาะสมเพื่อให้ได้วงจรขนาดเล็กที่สามารถทำงานได้เร็ว แต่ในระดับเลย์เอาท์ภาระในการออกแบบอยู่ที่การสร้างวงจรให้ต้องมีค่าความหน่วงเกตและค่าความหน่วงสายตามที่กำหนด ซึ่งหมายถึง วงจรสามารถทนต่อความแปรปรวนความหน่วง (Delay Variation) ได้ต่ำ และพบว่าบางครั้งไม่สามารถสร้างวงจรระดับเลย์เอาท์ให้มีค่าความหน่วงที่กำหนดได้

ในทางตรงกันข้าม ในกลุ่มแบบจำลองความหน่วงชนิดไม่มีขอบเขต (Unbounded Delay Model) ซึ่งประกอบด้วยแบบจำลองความหน่วงแบบไม่ไวต่อความหน่วง (Delay-Insensitive :DI) [7] แบบจำลองความหน่วงแบบไม่ไวต่อความหน่วงชนิดเสมือน (Quasi-Delay-Insensitive :QDI) [8] และแบบจำลองความหน่วงแบบไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ (Scalable-Delay-Insensitive :SDI) [9-11] ภาระในการออกแบบอยู่ที่การสร้างวงจรระดับเกตให้ทำงานถูกต้องโดยไม่ขึ้นกับค่าความหน่วงเกตและค่าความหน่วงสาย ซึ่งเทียบได้กับการออกแบบให้วงจรสามารถทนต่อความแปรปรวนความหน่วงได้สูง

ในการออกแบบให้วงจรทนต่อความแปรปรวนความหน่วงได้สูง พบว่า การออกแบบวงจรที่ไม่ไวต่อความหน่วงมีข้อจำกัดที่การออกแบบสามารถใช้ได้เพียงเกตผกผัน (Inverter gate) และอุปกรณ์ชนิดซี (C-Element) [6,12] เท่านั้น จึงไม่สามารถออกแบบวงจรเชิงผสมได้ แต่สำหรับการออกแบบวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดเสมือน พบว่า การออกแบบส่วนวงจรตอบรับต้องใช้อุปกรณ์ชนิดซีซึ่งมีขนาดใหญ่และใช้เวลาในการทำงานมาก จึงเป็นผลให้ส่วนวงจรตอบรับที่ได้มีขนาดประมาณเป็นสองเท่าของส่วนวงจรรางคู่ และเมื่อส่วนวงจรรางคู่มีขนาดใหญ่จะทำให้ไม่สามารถสร้างวงจรระดับเลย์เอาท์เพื่อใช้งานได้ ดังนั้นการออกแบบส่วนวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีจึงเป็นปัญหาที่สำคัญในการลดขนาดวงจร

แบบจำลองความหน่วงแบบไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ คือ แบบจำลองความหน่วงที่พัฒนาจากการวัดความเชื่อถือได้เชิงเวลา (Timing Reliability) [13]

กล่าวคือ การออกแบบวงจรจะมีการวิเคราะห์ความสัมพันธ์ระหว่างค่าความหน่วงประมาณของการออกแบบวงจรระดับเกตและค่าความหน่วงจริงของการออกแบบวงจรระดับเลย์เอาท์เพื่อคำนวณอัตราส่วนความแปรปรวนความหน่วงสูงสุด (Maximum Delay Variation Ratio :K) และออกแบบวงจรระดับเกตให้มีลำดับการเปลี่ยนระดับสัญญาณถูกต้องและทนต่อความแปรปรวนความหน่วง ดังนั้นจึงเป็นผลให้วงจรที่ได้สามารถทนต่อความแปรปรวนความหน่วงได้ตามสภาพความจริง คือ ไม่ต่ำเกินไปเช่นวงจรที่ออกแบบบนกลุ่มแบบจำลองความหน่วงชนิดมีขอบเขตและวงจรที่ไม่ขึ้นต่ออัตราเร็ว และไม่สูงเกินไปเช่นวงจรที่ไม่ไวต่อความหน่วงและวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน นอกจากนี้ แบบจำลองความหน่วงนี้ยังได้ใช้ในการออกแบบไมโครโพรเซสเซอร์ TITAC-2 [9,10] โดยได้กำหนดให้อัตราส่วนความแปรปรวนความหน่วงสูงสุดในการออกแบบมีค่าเท่ากับ 2.00

จากการวิเคราะห์ความแปรปรวนความหน่วงซึ่งเป็นข้อได้เปรียบของการออกแบบวงจรที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ดังกล่าว พบว่ามีความเป็นไปได้ที่จะออกแบบส่วนวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีเพื่อให้วงจรเชิงผสมแบบอสมวารที่ได้มีขนาดเล็กลงและทำงานได้เร็วขึ้น ดังนั้น งานวิจัยนี้จึงเสนอแนวทางการออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีบนแบบจำลองความหน่วงแบบไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้เพื่อให้วงจรที่ได้สามารถทำงานได้อย่างถูกต้องและทนต่อความแปรปรวนความหน่วงที่อัตราส่วนความแปรปรวนความหน่วงสูงสุดที่กำหนด

1.2 วัตถุประสงค์

1. เสนอวิธีออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้เพื่อให้มีความสามารถในการทนต่อความแปรปรวนความหน่วงที่อัตราส่วนความแปรปรวนความหน่วงสูงสุดที่ต้องการ
2. เสนอแนวทางการวิเคราะห์ลักษณะการส่งผ่านระดับสัญญาณและการวิเคราะห์ความแปรปรวนความหน่วงเพื่อการออกแบบส่วนวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
3. เสนอวิธีวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดเสมือน

4. เสนอวิธีการจำลองการทำงานเพื่อทดสอบความถูกต้องในการทำงานและวัดประสิทธิภาพการทำงานของวงจรที่ออกแบบ

1.3 ขอบเขต

1. สร้างส่วนวงจรตอบรับสำหรับส่วนวงจรรางคู่ที่มีการออกแบบโดยใช้ตรรกะรางคู่ที่ไร้ตัวผกผัน (Inverter-free 2-rail logic implementation) [5,12] และการออกแบบโดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ (Reduced-Ordered-Binary Decision Diagram (ROBDD) implementation) [14-16]
2. การประมาณค่าความหน่วงและการสร้างวงจรจะวิเคราะห์ในระดับเกตเท่านั้น
3. พัฒนาโปรแกรมต้นแบบสำหรับการจำลองการทำงานเพื่อทดสอบวงจรเชิงผสมที่ออกแบบ
4. เปรียบเทียบประสิทธิภาพของวงจรเชิงผสมที่ออกแบบกับวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดเสมือนซึ่งมีส่วนวงจรรางคู่เหมือนกัน

1.4 ขั้นตอนดำเนินการวิจัย

1. ศึกษาและวิเคราะห์ข้อกำหนดของแบบจำลองความหน่วงแบบต่าง ๆ สำหรับการออกแบบวงจรเชิงผสมแบบอสมวาร
2. เสนอแนวทางการประมาณค่าความหน่วงของการเปลี่ยนระดับสัญญาณภายในส่วนวงจรรางคู่
3. เสนอวิธีการออกแบบส่วนวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
4. เสนอวิธีวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดเสมือน
5. เสนอวิธีการจำลองการทำงานเพื่อทดสอบความถูกต้องในการทำงานของวงจร
6. พัฒนาขั้นตอนวิธีและโปรแกรมต้นแบบสำหรับสังเคราะห์วงจรระดับเกตโดยใช้ภาษาซีจากวิธีการที่ได้เสนอ
7. พัฒนาโปรแกรมต้นแบบโดยใช้ภาษาซีเพื่อจำลองการทำงานของวงจรที่ออกแบบและวัดค่าใช้จ่ายวงจร (Hardware Cost)

8. เปรียบเทียบประสิทธิภาพของวงจรที่ออกแบบได้กับวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน
9. สรุปผลการวิจัย ประเมินผล และเสนอวิทยานิพนธ์

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. แนวทางในการวิเคราะห์ลักษณะการทำงานของวงจรเพื่อการประมาณค่าความหน่วงของการเปลี่ยนระดับสัญญาณ
2. แนวทางการออกแบบส่วนวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีเพื่อลดขนาดวงจรเชิงผสมแบบอสมวาร
3. วิธีการออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ให้สามารถทนต่อความแปรปรวนความหน่วงที่อัตราส่วนความแปรปรวนความหน่วงสูงสุดที่ต้องการ
4. วิธีการวัดอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดเสมือน
5. วิธีจำลองการทำงานเพื่อทดสอบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้และวิธีวัดค่าใช้จ่ายวงจรเพื่อเปรียบเทียบประสิทธิภาพของวงจร
6. โปรแกรมสำหรับสังเคราะห์และจำลองการทำงานของวงจร
7. ทราบถึงความเป็นไปได้และการพัฒนาแนวคิดการออกแบบวงจรที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ในอนาคต

1.6 โครงสร้างของวิทยานิพนธ์

เนื้อหาของวิทยานิพนธ์ฉบับนี้แบ่งเป็น 8 บทดังนี้ บทที่ 1 เป็นบทนำ บทที่ 2 สรุปแนวคิดและทฤษฎีที่เกี่ยวข้อง บทที่ 3 เสนอวิธีการออกแบบวงจรเชิงผสมที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ให้สามารถทนต่อความแปรปรวนความหน่วงที่อัตราส่วนความแปรปรวนความหน่วงสูงสุดที่กำหนด บทที่ 4 เสนอแนวทางการวิเคราะห์ความแปรปรวนความหน่วงเพื่อคำนวณอัตราส่วนความแปรปรวนความหน่วงสูงสุดของวงจรที่ไม่ไวต่อความหน่วงชนิดเสมือน บทที่ 5 เสนอวิธีการจำลองการทำงานของวงจรเพื่อทดสอบความถูกต้องในการทำงานและวัด

ประสิทธิภาพของวงจร บทที่ 6 เสนอการทดลอง บทที่ 7 เสนอการวิเคราะห์ผลของการกำหนดอัตราส่วนความแปรปรวนความหน่วงสูงสุดที่มีต่อการออกแบบวงจรที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ โดยเปรียบเทียบกับกลุ่มแบบจำลองความหน่วงชนิดไม่มีขอบเขตและแบบจำลองการทำงานสิ่งแวดล้อมแบบต่าง ๆ และท้ายสุดบทที่ 8 เป็นการสรุปวิทยานิพนธ์และข้อเสนอแนะ

1.7 ผลงานที่ตีพิมพ์จากงานวิจัย

ส่วนหนึ่งของวิทยานิพนธ์นี้ได้ตีพิมพ์เป็นบทความทางวิชาการ ในหัวข้อ "A synthesis of acknowledgement network of Scalable-Delay-Insensitive (SDI) asynchronous combinational circuits" โดย Raschada Nootjarat และ Arthit Thongtak ในงานประชุมวิชาการ "The third Annual National Symposium on Computational Science and Engineering (ANSCSE'99)" ซึ่งจัดโดยสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (NSTDA) ณ. คณะวิทยาศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในวันที่ 24-26 มีนาคม พ.ศ. 2542

ส่วนหนึ่งของวิทยานิพนธ์นี้ได้ตีพิมพ์เป็นบทความทางวิชาการ ในหัวข้อ "A delay approximation of dual-rail network for Scalable-Delay-Insensitive asynchronous combinational circuits" โดย Raschada Nootjarat และ Arthit Thongtak ในงานประชุมวิชาการ "The National Computer Science and Engineering Conference (NCSEC'99)" ซึ่งจัดโดยคณะวิทยาศาสตร์และเทคโนโลยี มหาวิทยาลัยอัสสัมชัน ณ. โรงแรมแลนด์มาร์ค ถนนสุขุมวิท ในวันที่ 16-17 ธันวาคม พ.ศ. 2542