บทที่ 5

ผลการทดลองและสรุป

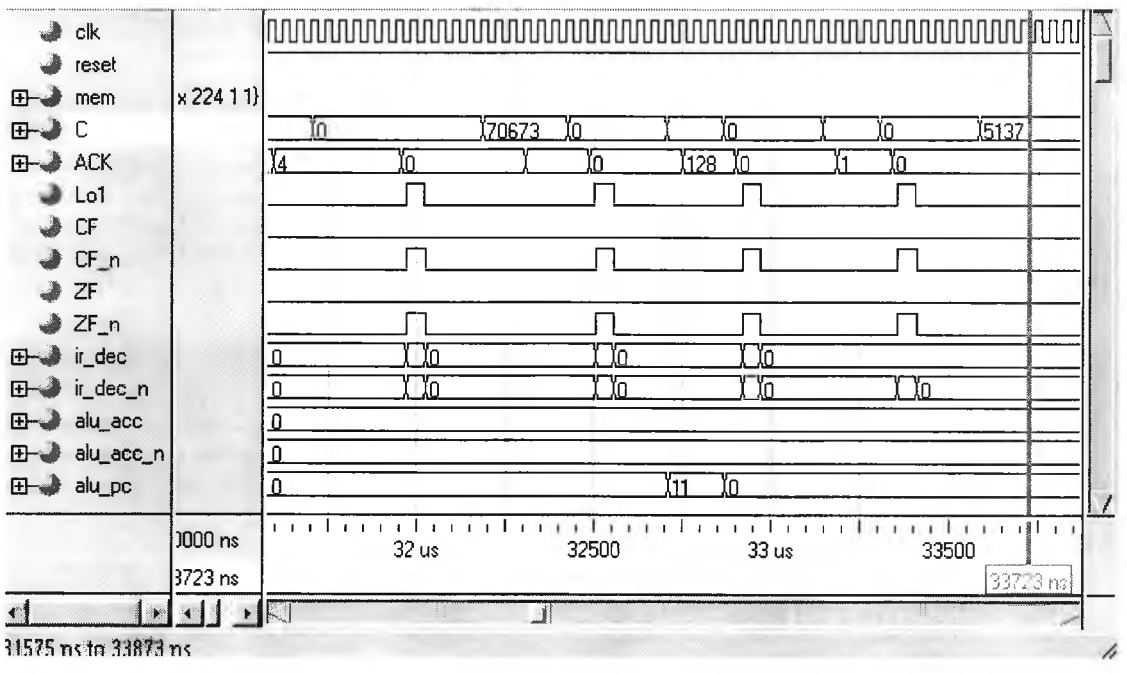
เมื่อได้ออกแบบไมโครโพรเซสเซอร์เสร็จสิ้นแล้วก็นำมาทดสอบด้วยโปรแกรมทดสอบที่เตรียมไว้ตามภาคผนวก ช ทั้งหมดมีอยู่ 10 โปรแกรมทดสอบ การทดสอบ 8 โปรแกรมแรกเป็นการทดสอบความถูกต้องของการทำงานในแต่ละคำสั่ง ส่วนอีก 2 โปรแกรมที่เหลือเป็นโปรแกรมที่ใช้งานจริงโดยทั่วไป คือ โปรแกรมที่ 9 เป็นการหาค่าผลรวมของเลขจำนวนนับตั้งแต่ 1 ถึง N ในโปรแกรมได้กำหนดให้หาค่าผลรวมตั้งแต่ 1 ถึง 9 สามารถเปลี่ยนค่า N ที่ต้องการหาได้โดยการเปลี่ยนค่าในบรรทัดแรกของโปรแกรม ส่วนโปรแกรมที่ 10 เป็นโปรแกรมหาค่าเลขยกกำลังที่อยู่ในรูปของ X^Y สามารถเปลี่ยนค่า X และ Y ได้ด้วยการเปลี่ยนค่าในโปรแกรมเช่นกัน ในที่นี้กำหนดให้หาค่าของ 5^3

5.1 ผลการทดลอง

ในวงจรมีอุปกรณ์บางส่วนที่ต้องใช้สัญญาณนาฬิกาจากภายนอก ทั้งนี้เนื่องจากเป็นเพราะอุปกรณ์เหล่านี้เป็นอุปกรณ์ที่ใช้งานกับวงจรสมวารแต่นำมาดัดแปลงให้ใช้งานกับวงจรอสมวาร อุปกรณ์ดังกล่าวคือ

1. Control Storage
2. ส่วนหน่วงการทำงาน (Delay)
3. ROM
4. RAM

จากโปรแกรมชุดเดียวกันได้ทำการทดลองด้วยสภาพแวดล้อมเดียวกัน ต่างกันเพียงโมเดลที่ใช้ในการออกแบบเท่านั้น โดยทำการทดสอบทั้งโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนและชนิดปรับมาตราส่วนได้ ในการทดสอบการทำงานได้ใช้สัญญาณนาฬิกาที่มีความถี่ 25 MHz กดรีเซ็ตนาน 200 ns ในขณะจะเริ่มทำงาน ความหน่วงของแต่ละเกตกำหนดให้เป็น 2 ns ไม่มีการกำหนดความหน่วงของสายโดยถือเสมือนว่าได้รวมเข้าไว้ด้วยกันกับความหน่วงเกตแล้ว ตัวอย่างการจำลองแบบการทำงานจริงเป็นดังรูปที่ 5.1



รูปที่ 5.1 ตัวอย่างการจำลองแบบการทำงาน

จากการทดลองจำลองแบบการทำงานแล้วปรากฏว่า ไมโครโพรเซสเซอร์ตัวนี้สามารถทำงานได้อย่างถูกต้องทุกโปรแกรม และโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้มีสมรรถนะดีกว่าเมื่อคิดเฉลี่ยจากทั้ง 10 โปรแกรมทดสอบแล้วถึงประมาณ 25.17 เปอร์เซ็นต์ ซึ่งผลที่ได้เป็นดังตารางที่ 5.1

โปรแกรมที่	เวลาที่ใช้ใน QDI (ns)	เวลาที่ใช้ใน SDI (ns)	สมรรถนะที่ดีขึ้น (เปอร์เซ็นต์)
1	41265	31265	24.23
2	63665	48585	23.69
3	58985	44025	25.36
4	86945	65505	24.66
5	99545	73585	26.08
6	88465	66625	24.69
7	133345	99145	25.65
8	82465	61265	25.71
9	475025	353225	25.64
10	657945	487065	25.97

ตารางที่ 5.1 เวลาที่ใช้ในการทำงานของแต่ละโปรแกรม

การออกแบบไมโครโพรเซสเซอร์ในครั้งนี้ใช้จำนวนเกตไปไม่ใช่น้อย แล้วก็ทำให้ทราบถึงความสิ้นเปลืองในการออกแบบในแต่ละโมเดลอีกด้วย ผลเป็นดังตารางที่ 5.2 ผลที่ได้แสดงให้เห็นว่าโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้นั้น นอกจากจะมีสมรรถนะที่เหนือกว่าโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนแล้ว ยังมีความสิ้นเปลืองน้อยกว่ามากทีเดียว

วงจร	จำนวนเกตที่ใช้			
	QDI	SDI	จำนวนที่ลดลง	เปอร์เซ็นต์ของจำนวนที่ลดลง
ALU	1277	782	495	38.76
Data Path	3926	2762	1164	29.65
Control Unit	618	482	136	22.00
CPU	4544	3244	1300	28.61

ตารางที่ 5.2 จำนวนเกตที่ใช้ไปในการออกแบบ

จากตารางที่ 5.2 ในส่วน ALU นั้นที่ใช้จำนวนเกตลดลงก็เนื่องมาจากได้ตัดการตรวจสอบสัญญาณที่เกินความจำเป็นจากโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนออกไป แล้วออกแบบเป็นโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ ซึ่งการเปลี่ยนแปลงที่เกิดขึ้นคือเปลี่ยนจากการต้องสร้างสัญญาณตรวจสอบในแต่ละบิตมาเป็นสร้างสัญญาณตรวจสอบทีเดียวทุกบิตแทน อีกทั้งในรีจิสเตอร์ชั่วคราวก็มีการตรวจสอบน้อยลงด้วย ในส่วนเส้นทางข้อมูลจำนวนเกตที่ลดลงเนื่องจากเพราะ ALU แล้วก็รีจิสเตอร์ต่างๆ รวมถึง Shifter ด้วย ในส่วนควบคุมมีการใช้งานรีจิสเตอร์อยู่ด้วย จึงทำให้ใช้จำนวนเกตลดลง

5.2 สรุปผล

จากผลการทดลองแสดงให้เห็นชัดเจนว่าการออกแบบวงจรอสมวารด้วยโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้เป็นทางเลือกที่ดีกว่าโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนมาก เพราะนอกจากจะให้สมรรถนะดีขึ้นมากแล้วยังสามารถลดความสิ้นเปลืองของจำนวนเกตที่ใช้ในการออกแบบได้มากอีกด้วย สมรรถนะที่เพิ่มขึ้นมานี้สัมพันธ์โดยตรงกับจำนวนเกตที่ลดลงด้วย ทั้งนี้เพราะโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้นั้นตัดเอาวงจรตรวจสอบบางส่วนออกไป ถ้าหากว่าการตัดเอาออกไปนั้นยังอยู่ในเงื่อนไขตามทฤษฎี ทำให้วงจรไม่เสียเวลาตรวจสอบในส่วนที่น่าจะต้องทำงานได้ถูกต้องอยู่แล้ว ตรวจสอบเพียงส่วนที่จำเป็นเท่านั้น ในบางครั้งอาจต้องเพิ่มเติมวงจรบางส่วนหลังจากการตัดเอาวงจรบางส่วนออก แต่อย่างไรก็ตามผลที่ได้โดยรวมก็ยังเป็นวงจรที่ไม่ต้องตรวจสอบสิ่งที่เกินความจำเป็นอยู่ดี ทำให้ได้วงจรที่ใช้เกตลดลงและทำงานเร็วขึ้น

โมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้มีความน่าสนใจมาก เพราะเมื่อดูผลจากสมรรถนะที่ได้กับจำนวนเกตแล้ว พบว่าการลดการตรวจสอบในวงจรตอบรับลงให้เหลือเท่าที่จำเป็นมีนัยสำคัญในการออกแบบมาก โมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้นั้นให้สมรรถนะที่ดีและมีความสิ้นเปลืองน้อย มีความทนต่อความแปรปรวนความหน่วงในระดับที่ยอมรับได้ และยังลดความยุ่งยากในการออกแบบวงจรตอบรับลงไปได้บางส่วน สามารถเป็นอีกหนึ่งทางเลือกที่ดีให้กับการออกแบบวงจรอสมวารได้

5.3 ข้อเสนอแนะและแนวทางในการวิจัยต่อ

ไมโครโพรเซสเซอร์ตัวนี้มีเพียงชุดคำสั่งพื้นฐานเท่านั้น มีการใช้งาน Flag เพียง 2 ตัวเท่านั้น คือ Zero Flag และ Carry Flag อีกทั้งยังเป็นไมโครโพรเซสเซอร์ขนาดเพียง 8 บิต การอ้างอิงหน่วยความจำทำได้เพียง 256 ไบต์เท่านั้น ทำให้การใช้งานมีความจำกัดมาก ดังนั้นจึงยังสามารถนำไปพัฒนาต่อได้อีกมาก แนวทางที่จะวิจัยต่อไปได้นำเสนอไว้ดังนี้

1. เพิ่มการตอบรับสัญญาณให้มากกว่า 1 เส้น เพราะไมโครโพรเซสเซอร์ในขณะนี้สามารถตอบรับสัญญาณได้เพียง 1 เส้นเท่านั้น หากสามารถตอบรับสัญญาณได้มากกว่า 1 เส้นจะสามารถเพิ่มสมรรถนะการทำงานได้อีก
2. เพิ่ม Flag เพื่อให้สามารถเพิ่มชุดคำสั่งได้มากขึ้น เช่น เพิ่ม SF (Sign Flag) เพื่อให้สามารถเพิ่มคำสั่ง Jump เมื่อมีค่ามากกว่าหรือน้อยกว่าได้
3. เปลี่ยนการออกแบบจากไมโครโพรเซสเซอร์ 8 บิตให้เป็นขนาดที่มากขึ้น เช่น 16 บิต หรือ 32 บิต
4. เพิ่มเติมหน่วยประมวลผลเลขทศนิยม
5. เพิ่มเติมการใช้งานแบบไปป์ไลน์
6. เพิ่มเติมการใช้งานแบบซุปเปอร์สเกลลาร์ (Superscalar)
7. เพิ่มเติมการใช้งานอินเทอร์รัพท์ (Interrupt)

ไมโครโพรเซสเซอร์ตัวนี้เป็นเพียงต้นแบบเท่านั้น งานวิจัยที่จะมีต่อไปยังเป็นไปได้อีกมาก เพราะคุณสมบัติต่างๆ ที่มีในไมโครโพรเซสเซอร์ปัจจุบันมีมากมายที่อาจสามารถทำเพิ่มเติมขึ้นมาได้ แต่ถ้าจะนำไปสู่การใช้งานจริงได้ก็จำเป็นต้องทำให้ไมโครโพรเซสเซอร์แบบอสมวารมีสมรรถนะดีกว่าแบบสมวารเสียก่อน ไม่เช่นนั้นแม้จะออกแบบให้สามารถทำงานทุกอย่างที่ไมโครโพรเซสเซอร์แบบสมวารทำได้ก็ตาม แต่ถ้ายังมีสมรรถนะต่ำกว่านอกจากจะไม่คุ้มค่าแล้วยังเป็นการสิ้นเปลืองเวลาและทรัพยากรในการวิจัยอีกด้วย