การออกแบบวงจรรวมขนาดใหญ่มากของหน่วยโหลด/สโตร์สำหรับตัวประมวลผลแบบริสก์

นางสาว ไปรมาศ เตชัสหงส์

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2541
ISBN 974-639-541-6
ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

I 1529442X

A VLSI DESIGN OF A LOAD / STORE UNIT FOR A RISC PROCESSOR

Miss Primas Taechashong

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering in Computer Engineering

Department of Computer Engineering

Graduate School

Chulalongkorn University

Academic Year 1998

ISBN 974-639-541-6

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรวมขนาดใหญ่มากของหน่วยโหลด / สโตร์สำหรับตัวประมวลผลแบบริสก์
โดย	นางสาว ไปรมาศ เตชัสหงส์
ภาควิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีบัณฑิตวิทยาลัย
(ศาตราจารย์ นายแพทย์ ศุภวัฒน์ ชุติวงศ์)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(อาจารย์ ดร. สีบสกุล พิภพมงคล)

..... อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ ดร. ประภาส จงสถิตย์วัฒนา)

..... กรรมการ
(อาจารย์ ดร. ณัฐวุฒิ หนูไพโรจน์)

..... กรรมการ
(รองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ไปรมาศ เตชัสหงส์: การออกแบบวงจรรวมขนาดใหญ่มากของหน่วยโหลด/สโตร์สำหรับตัวประมวลผลแบบริสก์
(A VLSI DESIGN OF A LOAD / STORE UNIT FOR A RISC PROCESSOR)
อ.ที่ปรึกษา : ผศ.ดร. ประภาส จงสถิตย์วัฒนา, 99 หน้า. ISBN 974-639-541-6

งานวิจัยนี้เป็นการออกแบบวงจรรวมขนาดใหญ่มากของหน่วยโหลด/สโตร์ในหน่วยประมวลผลแบบริสก์ หน่วยดังกล่าวถูกใช้ในการประมวลผลคำสั่งที่ติดต่อกับหน่วยความจำ วงจรรวมนี้ได้ถูกออกแบบโดยใช้ภาษา Verilog ซึ่งเป็นภาษาที่ใช้ในการอธิบายการทำงานของระบบดิจิทัล ด้วยภาษาดังกล่าวผู้วิจัยสามารถจำลองการทำงานและตรวจสอบความถูกต้องของวงจรที่ได้จำลองไว้

จุดมุ่งหมายของงานวิจัยนี้ เพื่อหาค่าพารามิเตอร์ที่เหมาะสมที่จะช่วยเพิ่มสมรรถนะของหน่วยโหลด/สโตร์ โดยได้ทำการวัดค่าสมรรถนะการทำงานของวงจรเมื่อมีการปรับพารามิเตอร์ ผลที่ได้พบว่า แคชขนาดใหญ่ขึ้นทำให้ค่า Load Miss Ratio ต่ำลง, การจัดกลุ่มของแคชแบบ 2-Way Set Associative ทำให้สมรรถนะดีกว่าแบบ Direct-Map ที่ขนาดแคชเท่ากัน, สำหรับโหมดการเขียนแบบ Write Through ให้ผลของค่า Load Miss Ratio ใกล้เคียงกับการใช้โหมดการเขียนแบบ Write Back, ขนาดของบัฟเฟอร์ในหน่วย SHC (Store Hit Control) ซึ่งทำให้จำนวน "STALL" pipeline ต่ำที่สุดคือ 2 words, ขนาดของ FIFO ในหน่วย SMC (Store Miss Control) ที่เหมาะสมที่สุดคือ 4 doublewords และการทำงานเป็น Non-Blocking Load ช่วยลดจำนวนการเกิด "STALL" pipeline ได้ถึง 30%

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา .....วิศวกรรมคอมพิวเตอร์..... ลายมือชื่อนิสิต ไปรมาศ เตชัสหงส์

สาขาวิชา .....วิศวกรรมคอมพิวเตอร์..... ลายมือชื่ออาจารย์ที่ปรึกษา ประภาส จงสถิตย์วัฒนา

ปีการศึกษา .....2541..... ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

หน้าบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

3971081121 : MAJOR COMPUTER ENGINEERING
KEY WORD: LOAD STORE UNIT / CACHE / MISS RATIO / NON-BLOCKING LOAD / STALL PIPELINE
PRIMAS TAECHASHONG : A VLSI DESIGN OF A LOAD / STORE UNIT FOR A RISC PROCESSOR
THESIS ADVISOR : PRABHAS CHONGSTITVATANA, Ph. D. 99 pp. ISBN 974-639-541-6

This research presents a VLSI (Very Large Scale Integrated circuit) design of a Load/Store unit for a RISC processor. That unit is used to execute data movement instructions. This circuit is designed using Verilog which is a language for describing digital systems. With this language, the functionality of the circuit can be simulated and verified for its correctness.

The purpose of this research is to find the suitable parameters which will increase the performance of the Load/Store Unit. The performance of the circuit is measured under various parameters. The results are as follows: Increasing the cache size reduces the load miss ratio, the cache organization as 2-way set associative has higher performance than as direct-map of the same size, concerning the writting mode, write through has similar load miss ratio to write back mode, the size of buffer in SHC (Store Hit Control) unit which yield the minimum number of stall in the pipeline is 2 words, the optimum size of FIFO in SMC (Store Miss Control) unit is 4 doublewords. Finally, the operation as Non-blocking load reduces the number of stall in the pipeline 30%.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต ไพรมาส เตชัสนันท์

สาขาวิชา วิศวกรรมคอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา ปร.ทส จงสถิตย์วัฒนา

ปีการศึกษา 2541 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปได้ด้วยดี ด้วยความช่วยเหลือของ ผู้ช่วยศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งท่านได้ให้คำแนะนำและคำปรึกษาในการทำวิทยานิพนธ์ฉบับนี้ และขอกราบขอบพระคุณ อาจารย์ ดร. แคน บุญญานิตย์ อาจารย์ที่ปรึกษาวิยานิพนธ์ร่วม ผู้ซึ่งให้คำแนะนำและแนวคิดที่สำคัญในการวิจัยตลอดช่วงเริ่มทำวิทยานิพนธ์ จนกระทั่งท่านไปทำงานที่สหรัฐอเมริกา และขอขอบพระคุณ อาจารย์ ดร. ณัฐวุฒิ หนูไพโรจน์ ที่ให้คำแนะนำสำหรับการคำนวณผลการวัดสมรรถนะของวงจร LSU ที่ออกแบบ

ขอขอบคุณ นางสาว นวพร วรรณวิมลศรี ที่ช่วยให้คำแนะนำในการเขียนโปรแกรมภาษา Verilog รวมทั้งการสังเคราะห์วงจร และอาจารย์ ชัชวาล วงศ์ศิริประเสริฐ ซึ่งที่ช่วยแก้ปัญหาในส่วนของโปรแกรมภาษา C รวมทั้งให้คำปรึกษาในการทำรายงานวิทยานิพนธ์ และขอขอบคุณ นาย วรเศรษฐ สุวรรณิก ซึ่งช่วยให้คำปรึกษาและช่วยแก้ไขวิทยานิพนธ์ฉบับแรก

ขอขอบคุณ นายสาธิต สุทธิธรรม ที่ให้ความช่วยเหลือดูแลเครื่องคอมพิวเตอร์ที่ใช้ในการทดสอบวัดสมรรถนะของผลการวิจัยนี้ด้วยดีมาตลอด และขอบคุณ นาย วิเชียร สิริแสงทักษิณ ที่ให้คำปรึกษาในส่วนของการออกแบบและใช้ซอฟต์แวร์ Veriwell บนระบบปฏิบัติการ Linux และขอขอบคุณพี่ตั๋ม ที่ให้ความกรุณาในการยืมเครื่อง Siligon Graphic สำหรับการสร้าง Benchmark และขอขอบคุณเพื่อนๆ ทุกคนที่เป็นกำลังใจที่ดีมาโดยตลอด

ขอขอบพระคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ หรือ สวทช. ที่ให้การสนับสนุนทุนอุดหนุนการวิจัยในการทำวิทยานิพนธ์ครั้งนี้

และสุดท้ายนี้ผู้วิจัยขอกราบขอบพระคุณ คุณพ่อและคุณแม่ ผู้ซึ่งเป็นผู้ให้กำเนิดและให้โอกาสลูกคนนี้ได้มีโอกาสศึกษาต่อในระดับปริญญามหาบัณฑิต อีกทั้งคอยสนับสนุนในด้านการเงินเป็นอย่างดี

ไปรมาศ เตชัสหงส์

กันยายน 2541

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญ ..... ช

สารบัญตาราง ..... ญ

สารบัญภาพ ..... ฏ

บทที่

1. บทนำ 1

1.1 ความสำคัญและความเป็นมาของปัญหา 1

1.2 วัตถุประสงค์ 2

1.3 ขอบเขตของการวิจัย 2

1.4 ขั้นตอนการทำวิจัย 2

1.5 ประโยชน์ที่คาดว่าจะได้รับ 3

1.6 งานวิจัยที่เกี่ยวข้อง 3

1.7 ลำดับขั้นตอนในการนำเสนองานวิจัย 4

1.8 ผลงานที่ตีพิมพ์จากงานวิจัย 4

2. หลักการทำงานของ LSU 5

2.1 การออกแบบไมโครโพรเซสเซอร์ 5

2.2 หน้าที่ของ LSU 6

2.2.1 Pipeline Stage Unit 7

2.2.2 Load Miss Control (LMC) Unit 8

2.2.3 Store Hit Control (SHC) Unit 9

2.2.4 Store Miss Control (SMC) Unit 9

2.3 Instruction Scheduler Unit (ISU) 11

2.4 Biu Interface Unit (BIU) 13

2.5 D-Cache Tag / Data RAM 13

2.5.1 D-Cache state 14

2.5.2 Cache Lines Update 15

2.6 CP0 Unit 15

2.7 สรุป 16

สารบัญ (ต่อ)

หน้า

3. การออกแบบไมโครโพรเซสเซอร์ 18
   3.1 หน่วยประมวลผลภายในไมโครโพรเซสเซอร์ 18
      3.1.1 IFU (Instruction Fetch Unit) 19
      3.1.2 ISU (Instruction Schduler Unit) 20
      3.1.3 GPR (General Purpose Registers) 21
      3.1.4 SCBD (Scoreboard) 22
      3.1.5 BIU (Bus Interface Unit) 24
      3.1.6 CP0 (Coprocessor 0) 26
      3.1.7 MEM (memory) 26
      3.1.8 WBB (Write Back Buffer) 27
      3.1.9 D-Cache Tag 28
      3.1.10 D-Cache Data 28
      3.1.11 TEST 29
      3.1.12 LSU (Load / Store Unit) 30
   3.2 การทำงานของไมโครโพรเซสเซอร์ 30
   3.3 สรุป 33

4. การออกแบบ Load / Store Unit 34
   4.1 หน่วยประมวลผลย่อยภายใน Load / Store Unit (LSU) 34
      4.1.1 PC (Pipeline Control) Unit 35
      4.1.2 LMC (Load Miss Control) Unit 37
      4.1.3 SHC (Store Hit Control) Unit 39
      4.1.4 SMC (Store Miss Control) Unit 41
      4.1.5 DCCtrl (D-Cache Controller) Unit 42
      4.1.6 AccessBIU (Access Bus Interface Unit) Unit 43
      4.1.7 Delay Unit 44
      4.1.8 Stall Unit 45
      4.1.9 RANDOM Unit 46
   4.2 สรุป 46

สารบัญ (ต่อ)

หน้า

5. วิธีการตรวจสอบการทดลอง 47
   5.1 วิธีตรวจสอบการทำงานของวงจร LSU 47
      5.1.1 วิธีตรวจสอบการทำงานของวงจร LSU 47
      5.1.2 กำหนดหน่วยความจำเริ่มต้นที่ใช้ในการทดสอบ 50
      5.1.3 ผลการทดสอบความถูกต้องของการทำงานของวงจร 51
   5.2 วิธีการที่ใช้ในการสร้าง Trace 52
   5.3 การลดขนาด Trace 53
   5.4 วิธีการเอา Trace ไปใช้ 54
   5.5 สรุป 54

6. ผลการทดลอง 55
   6.1 Benchmark ที่ใช้ในการทดลอง 55
   6.2 ผลการวัด load miss ratio 56
   6.3 ผลการวัดสมรรถนะของ non-blocking load ในหน่วย LMC 57
   6.4 ผลการวัดสมรรถนะของหน่วย SHC หลังการเพิ่มบัฟเฟอร์ 62
   6.5 ผลการวัดสมรรถนะของหน่วย SMC หลังการเพิ่มขนาด FIFO 64
   6.6 ขนาดของวงจร 64
   6.7 สรุป 68

7. สรุปและข้อเสนอแนะ 69
   7.1 สรุปผลการวิจัย 69
   7.2 ข้อบกพร่อง 70
   7.3 ข้อเสนอแนะ 72

รายการอ้างอิง 73

ภาคผนวก

   ภาคผนวก ก 74
   ภาคผนวก ข 77
   ภาคผนวก ค 79

ประวัติผู้เขียน 98

สารบัญตาราง

ตารางที่		หน้า
2.1	แสดง state ของแคชในแต่ละบรรทัด	14
2.2	แสดงการเลือกเซ็ตในการถูกแทนที่	16
2.3	ขนาดของ Data Cache ที่กำหนดได้ในงานวิจัยนี้	16
5.1	วิธี RANDOM คำสั่งที่ใช้ในการทดสอบความถูกต้องของการทำงาน	51
6.1	แสดงข้อมูลของ Benchmark ที่ใช้ในงานวิจัยนี้	55
6.2	ขนาดวงจรของหน่วยประมวลผลใน LSU	67
6.3	ขนาดของวงจรหน่วย SHC ที่ขนาดบัฟเฟอร์เป็น 1, 2, 4 และ 8	67
6.4	ขนาดของวงจรหน่วย SMC ที่ FIFO เป็น 2, 4 และ 8 word และ doubleword	67
7.1	Access and cycle time	70
7.2	ความเร็วในการติดต่อกับหน่วยความจำ	72
ก.1	แสดงการทำงานของคำสั่ง load	75
ก.2	แสดงการทำงานของคำสั่ง store	76

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

รูปที่		หน้า
2.1	Micorprocessor Block Diagram ของนาย คาร์ลคิม สุวรรณมงคลและคณะ	5
2.2	LSU Block Diagram	6
2.3	แสดงรูปแบบของคำสั่งที่ใช้ใน LSU	7
2.4	รูปแบบการจัดเก็บข้อมูลของ SHB	9
2.5	รูปแบบการจัดเก็บข้อมูลของ FIFO แบบ word	9
2.6	รูปแบบการจัดเก็บข้อมูลของ FIFO แบบ doubleword	10
2.7	ผลของการเก็บข้อมูลลง FIFO ชนิด word	10
2.8	ผลของการเก็บข้อมูลลง FIFO ชนิด doubleword	10
2.9	แสดงตัวอย่างการเกิด Data Hazard	11
2.10	การทำงานของ pipeline เมื่อเกิดเหตุการณ์ SLIP	12
2.11	การทำงานของ pipeline เมื่อเกิดเหตุการณ์ STALL	12
2.12	แสดงรูปแบบการเก็บข้อมูลของ D-Cache Tag	13
2.13	แสดงรูปแบบการเก็บข้อมูลของ D-Cache Data	14
2.14	D-Cache write-back mode state diagram	15
2.15	D-Cache write-through mode state diagram	15
3.1	block diagram ของไมโครโพรเซสเซอร์ที่ออกแบบ	18
3.2	สัญญาณที่ติดต่อกับ IFU	19
3.3	แสดงบัฟเฟอร์ที่ใช้เก็บคำสั่งภายใน IFU	20
3.4	สัญญาณที่ติดต่อกับ GPR	22
3.5	แสดงตัวอย่างการเกิด Data Hazard	22
3.6	สัญญาณที่ติดต่อกับหน่วย SCBD	23
3.7	แสดงตัวอย่างการเกิด Data Hazard ขณะทดสอบ	23
3.8	state machine ภายในหน่วย BIU	24
3.9	สัญญาณที่ติดต่อกับหน่วย BIU	25
3.10	สัญญาณที่ติดต่อกับหน่วย CP0	26
3.11	สัญญาณที่ติดต่อกับหน่วย MEM	27
3.12	บัฟเฟอร์ภายในหน่วย WBB	27
3.13	สัญญาณที่ติดต่อกับ D-Cache Tag	28
3.14	แสดงการออกแบบแคชในหน่วย D-Cache Data	29

สารบัญภาพ (ต่อ)

รูปที่ หน้า

3.15 สัญญาณที่ติดต่อกับ D-Cache Data 29
3.16 ขั้นตอนการประมวลผลของไมโครโพรเซสเซอร์ที่ออกแบบ..... 31
4.1 block diagram ของ Load / Store Unit..... 34
4.2 pipeline stage ของหน่วย LSU 35
4.3 Load Miss Control Unit State Diagram 37
4.4 สัญญาณที่ติดต่อกับหน่วย LMC..... 39
4.5 Store Hit Control Unit State Diagram..... 40
4.6 สัญญาณที่ติดต่อกับหน่วย SHC..... 41
4.7 Store Miss Control Unit State Diagram 41
4.8 สัญญาณที่ติดต่อกับหน่วย SMC..... 42
4.9 สัญญาณที่ติดต่อกับหน่วย AccessBIU..... 43
4.10 สัญญาณที่ติดต่อกับหน่วย Delay 44
4.11 สัญญาณที่ติดต่อกับหน่วย RANDOM..... 45
5.1 Flowchart การทำงานของวงจร LSU ในภาษาซี..... 49
6.1 ผลการวัดค่า load miss ratio เมื่อมีการจัดแคชเป็นแบบ direct-map โดยขนาดของแคชเปลี่ยนแปลงจาก 1K , 2K 4K และ 8Kbytes (Write Back และ Write Through) 57
6.2 ผลการวัดค่า load miss ratio เมื่อใช้โหมดการเขียนเป็น Write Back และมีการจัดแคชเป็นแบบ 2-way set associative โดยขนาดของแคชเปลี่ยนแปลงจาก 2K , 4K , 8K และ 16Kbytes..... 59
6.3 ผลการวัดค่า load miss ratio เมื่อใช้โหมดการเขียนเป็น Write Through และมีการจัดแคชเป็นแบบ 2-way set associative โดยขนาดของแคชเปลี่ยนแปลงจาก 2K , 4K , 8K และ 16Kbytes..... 59
6.4 ผลของการลดการเกิด "STALL" pipeline เมื่อใช้ non-blocking load (ในส่วน LMC) ที่โหมดการเขียนเป็นแบบ Write Back และการจัดแคชเป็นแบบ Direct-map ตามขนาดของแคชที่เปลี่ยนไป 60
6.5 ผลของการลดการเกิด "STALL" pipeline เมื่อใช้ non-blocking load (ในส่วน LMC) ที่โหมดการเขียนเป็นแบบ WriteThrough และการจัดแคชเป็นแบบ Direct-map ตามขนาดของแคชที่เปลี่ยนไป 60
6.6 ผลของการลดการเกิด "STALL" pipeline เมื่อใช้ non-blocking load (ในส่วน LMC) ที่โหมดการเขียนเป็นแบบ Write Back และการจัดแคชเป็นแบบ 2-way set associative 61

สารบัญภาพ (ต่อ)

รูปที่ หน้า

6.7 ผลของการลดการเกิด "STALL" pipeline เมื่อใช้ non-blocking load (ในส่วน LMC) ที่โหมดการเขียนเป็นแบบ Write Through และการจัดแคชเป็นแบบ 2-way set associative 61

6.8 ผลการวัดสมรถนะของการเพิ่มบัฟเฟอร์ในหน่วย SHC (Store Hit Control) โดยแกน Y แสดงค่า stallSHC และแกน X เป็นขนาดบัฟเฟอร์ที่ใช้ในหน่วย SHC (a) gzip , (b) gunzip , (c) diff , (d) cc , (e) compress , (f) uncompress..... 63

6.9 ผลการวัดสมรถนะของการเพิ่มขนาด FIFO ในหน่วย SMC (Store Miss Control) โดยแกน Y แสดงค่า stallSMC และแกน X เป็นขนาด FIFO ที่ใช้ในหน่วย SMC (a) gzip , (b) gunzip , (c) diff , (d) cc , (e) compress , (f) uncompress..... 65

6.10 ผลการวัดค่า store miss ratio เมื่อใช้โหมดการเขียนเป็น Write Back และมีการจัดแคชเป็นแบบ direct-map โดยขนาดของแคชเปลี่ยนแปลงจาก 1K , 2K , 4K และ 8 Kbytes..... 66

6.11 ผลการวัดค่า store miss ratio เมื่อใช้โหมดการเขียนเป็น Write Back และมีการจัดแคชเป็นแบบ 2-way set associative โดยขนาดของแคชเปลี่ยนแปลงจาก 2K , 4K , 8K และ 16Kbytes..... 66

ก.1 frame format ของคำสั่ง ADD 74

ก.2 frame format ของคำสั่ง load..... 74

ก.3 frame format ของคำสั่ง store..... 76

ข.1 การทำงานของโปรแกรมที่ใช้สร้าง Trace 78

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย