

การพัฒนาเครื่องทดสอบการสื่อสารแบบโอเอฟดีเอ็มผ่านสายส่งกำลัง



นายสรวิทย์ เดชจรัสโยธิน

สถาบันวิทยบริการ  
วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า  
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย  
ปีการศึกษา 2550  
ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

DEVELOPMENT OF AN OFDM POWER LINE COMMUNICATION TESTER



Mr. Sarawut Dechjarusyothin

A Thesis Submitted in Partial Fulfillment of the Requirements  
for the Degree of Master of Engineering Program in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2007

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์

การพัฒนาเครื่องทดสอบการสื่อสารแบบไอเอฟดีเอ็มผ่านสายส่งกำลัง

โดย

นาย สราวุฒิ เดชจรัสโยธิน

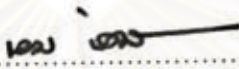
สาขาวิชา

วิศวกรรมไฟฟ้า

อาจารย์ที่ปรึกษา

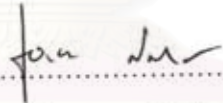
รองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้  
เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาโทมหาบัณฑิต

  
..... คณบดีคณะวิศวกรรมศาสตร์  
(รองศาสตราจารย์ ดร. บุญสม เลิศหิรัญวงศ์)

คณะกรรมการสอบวิทยานิพนธ์

  
..... ประธานกรรมการ  
(ผู้ช่วยศาสตราจารย์ ดร. วันเฉลิม ไพรา)

  
..... อาจารย์ที่ปรึกษา  
(รองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี)

  
..... กรรมการ  
(รองศาสตราจารย์ ดร. ลัญฉกร วุฒิสัทติกุลกิจ)

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

สรวาตุมิ เดชจรัสโยธิน : การพัฒนาเครื่องทดสอบการสื่อสารแบบโอเอฟดีเอ็มผ่านสายส่งกำลัง.  
(DEVELOPMENT OF AN OFDM POWER LINE COMMUNICATION TESTER) อาจารย์ที่  
ปรึกษา : รศ. ดร. เอกชัย ลีลาวัศม์, 68 หน้า.

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบเครื่องมือรับส่งสัญญาณความถี่สูงผ่านสายส่งกำลัง  
โครงสร้างหลักภายในประกอบด้วยบอร์ดติดต่อกับสายส่งกำลังและบอร์ดประมวลผลสัญญาณดิจิทัล  
โดยบอร์ดติดต่อกับสายส่งกำลังใช้แสงในการแยกสัญญาณไฟฟ้า 220 โวลต์ ความถี่ 50 เฮิรตซ์ และ  
กรองผ่านสัญญาณขนาดเล็กช่วงความถี่ 1-400 กิโลเฮิรตซ์ บอร์ดประมวลผลสัญญาณใช้ชิป  
ประมวลผล TMS320F2812 ชนิด 32 บิต ทำงานที่ความเร็ว 150 เมกะเฮิรตซ์ โดยมีอุปกรณ์รอบข้าง  
ประกอบด้วยวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (ADC) ความละเอียด 12 บิต และ  
วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (DAC) ความละเอียด 12 บิต หน่วยความจำ  
ขนาด 64K x16 บิต และพอร์ตการเชื่อมต่อแบบ USB ทั้งวงจร DAC และ ADC ทำงานด้วยอัตราการใช้  
สุ่ม 960000 ครั้งต่อวินาที วงจร DAC ใช้ในการสร้างสัญญาณความถี่สูงซึ่งสามารถเลือกได้เช่น สร้าง  
สัญญาณกวาดความถี่และสร้างสัญญาณโอเอฟดีเอ็ม และสัญญาณที่เข้าสู่เครื่องจะถูกสุ่มวัดค่าด้วย  
วงจร ADC ซึ่งข้อมูลที่ได้จะถูกวิเคราะห์เพื่อหาผลตอบสนองทางความถี่, ความถี่ของสัญญาณรบกวน  
และข้อมูลจากสัญญาณโอเอฟดีเอ็ม เครื่องมือวัดสามารถติดต่อกับเครื่องคอมพิวเตอร์ส่วนบุคคลผ่าน  
พอร์ต USB และใช้โปรแกรมแมทแลปจัดการในขั้นตอนการวัด

## สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่อนิสิต.....ศิวาตุมิ เดชจรัสโยธิน.....  
สาขาวิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่ออาจารย์ที่ปรึกษา.....เอกชัย ลีลาวัศม์.....  
ปีการศึกษา.....2550.....

## 4870507221 : MAJOR ELECTRICAL ENGINEERING

KEY WORD: POWER LINE COMMUNICATION / OFDM / TESTER

SARAWUT DECHJARUSYOTHIN : DEVELOPMENT OF AN OFDM POWER LINE  
COMMUNICATION TESTER THESIS ADVISOR : ASSOC PROF. EKACHAI  
LEELARASMEE, Ph.D., 68 pp.

An instrument for transceiving high frequency (HF) signals through AC power lines is described. Its internal structure consists mainly of a line interface board and a digital signal processing (DSP) board. The line interface board uses optical device for isolating 50 Hz 220 line voltage and filter for coupling 1-400 KHz small signals. The DSP board is based on the TMS320F2812 32bit microcontroller chip operating at 150 MHz clock. Its peripheral devices include a 12 bit analog to digital converter (ADC), a 12 bit digital to analog converter (DAC), 64K x16 bit memory and a universal serial bus (USB) port. Both DAC and ADC operate at 96 Ksamples per second. The DAC is used for generating HF signals of selectable structures such as frequency sweeping and orthogonal frequency division multiplexing (OFDM). Incoming signal is sampled by the ADC. Sampled data will be analyzed to yield various type of information such as channel frequency response, noise spectrum and OFDM data. This instrument can communicate with a personal computer (PC) through its USB port. Matlab software is developed to ease the testing procedures.

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

Department...Electrical Engineering... Student's signature.....*สรวิทย์ เดชจรัสโยthin*.....

Field of study...Electrical Engineering... Advisor's signature.....*Ekachai Leelarasmee*.....

Academic year .....2007.....

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างยิ่งของ รองศาสตราจารย์ ดร.เอกชัย ลีลาวัศม์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ของข้าพเจ้า ซึ่งได้ให้คำแนะนำและให้การสนับสนุนการวิจัยเป็นอย่างดีตลอดมา รองศาสตราจารย์ ดร.ลัญจกร วุฒิสัทธาธิกุลกิจ ซึ่งได้ให้คำแนะนำเรื่องวิธีการสื่อสารแบบโอเพนดีเอ็ม ผู้ช่วยศาสตราจารย์ ดร.วันเฉลิม ไปรา ดร.สุรีย์ พุ่มรินทร์ และอ.บุญช่วย ทวีพยมณฑัย ที่ให้คำแนะนำแก่ข้าพเจ้ามาโดยตลอด

ขอขอบคุณจุฬาลงกรณ์มหาวิทยาลัยที่ให้ความรู้และประสบการณ์ดีๆ ทั้งด้านวิชาการ ด้านสังคมและอื่นๆแก่ข้าพเจ้า

ขอกราบขอบพระคุณ บิดา-มารดา คุณลุง คุณป้า คุณน้า อย่างสูงที่เลี้ยงดูให้การสนับสนุนในด้านการเงินและกำลังใจ ขอขอบคุณพี่สาว ที่ให้ความช่วยเหลือต่างๆ มาตลอด

ขอขอบคุณพี่ๆ เพื่อนๆ น้องๆ ในห้องปฏิบัติการวิจัยการออกแบบและประยุกต์วงจรรวม ทุกคน และพี่ๆ เพื่อนๆ น้องๆ ชาวชมรมโรบอททุกคน สำหรับความช่วยเหลือ คำแนะนำและความรู้สึกดีๆที่มีให้มาโดยตลอด

สุดท้ายนี้ขอขอบคุณสิ่งเล็กๆที่เรียกว่าจินตนาการ ที่ยังคงมีอยู่ตลอดมาและหวังว่าจะคงอยู่ตลอดไป

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	ง
บทคัดย่อภาษาอังกฤษ .....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ.....	ช
สารบัญภาพ.....	ญ
สารบัญตาราง.....	ต
บทที่ 1 บทนำ.....	1
1.1.    ความเป็นมาและความสำคัญของปัญหา.....	1
1.2.    วัตถุประสงค์ของการวิจัย.....	4
1.3.    ขอบเขตของการวิจัย .....	5
1.4.    ประโยชน์ที่คาดว่าจะได้รับ.....	5
1.5.    วิธีดำเนินการวิจัย .....	5
1.6.    ลำดับขั้นตอนในการเสนอผลการวิจัย.....	6
บทที่ 2 หลักการและทฤษฎีที่เกี่ยวข้อง .....	7
2.1.    แนวคิดและทฤษฎี.....	7
2.2.    หลักการของไอเอฟดีเอ็ม .....	7
2.3.    การมอดูเลตสัญญาณด้วยเทคนิคไอเอฟดีเอ็มในระบบ PLC .....	8
2.4.    การเพิ่มประสิทธิภาพในการรับส่งข้อมูลแบบไอเอฟดีเอ็ม.....	12
2.5.    การวัดผลตอบสนองทางความถี่ในสายส่งกำลัง .....	15
2.6.    การทดสอบอัตราการผิดพลาดบิต (Bit Error Rate).....	16
บทที่ 3 หลักการออกแบบเครื่องทดสอบ .....	17

3.1.	รายละเอียดโครงสร้างโดยรวมของเครื่องทดสอบ .....	17
3.2.	รายละเอียดโครงสร้างของบอร์ด line couple interface .....	18
3.2.1.	โครงสร้างภายในของ HCPL-800J ของ Agilent Technologies .....	19
3.2.2.	ส่วนวงจรป้องกันภาคแรงดันสูง .....	20
3.2.3.	ส่วนวงจรสร้างแรงดันไฟเลี้ยงของภาคแรงดันสูง .....	20
3.2.4.	ส่วนวงจรกรองผ่านต่ำของภาคส่ง .....	21
3.2.5.	ส่วนวงจรกรองผ่านช่วงของภาครับ .....	21
3.2.6.	ส่วนวงจรปรับระดับแรงดันของภาครับ .....	22
3.3.	รายละเอียดโครงสร้างของบอร์ดประมวลผลหลัก .....	22
3.3.1.	ส่วนประมวลผลภาคดิจิทัล .....	23
3.3.1.	ส่วนวงจร ADC สำหรับภาครับ .....	25
3.3.2.	ส่วนวงจร DAC สำหรับภาคส่ง [13] .....	26
3.3.3.	ส่วนติดต่อกับคอมพิวเตอร์ผ่านพอร์ต USB .....	27
บทที่ 4	โครงสร้างโปรแกรมบนบอร์ด DSPและบนคอมพิวเตอร์ .....	28
4.1.	โปรแกรมบนบอร์ด DSP .....	28
4.1.1.	โปรแกรมสำหรับส่งสัญญาณ .....	28
4.1.2.	โปรแกรมรับสัญญาณ .....	33
4.2.	โปรแกรมบนคอมพิวเตอร์ .....	38
4.2.1.	โปรแกรมสำหรับควบคุมการส่งสัญญาณ .....	38
4.2.2.	โปรแกรมสำหรับควบคุมการรับสัญญาณ .....	40
บทที่ 5	ผลการทดลองและการทำงานของเครื่องวัด .....	44
5.1.	การวัดสัญญาณรบกวนของสายไฟ .....	45
5.1.1.	ผลการทดสอบในสภาวะของสายส่งกำลังขณะที่ไม่มีโหลด .....	45



5.1.2.	ผลการทดสอบในสภาวะของสายส่งกำลังขณะที่มีการใช้งานปกติ.....	46
5.1.3.	ผลการทดสอบในสภาวะของสายส่งกำลังขณะที่มีโหลดอุปกรณ์พิเศษ.....	47
5.2.	การทดสอบผลตอบแทนของทางความถี่ในช่วง 1-400 กิโลเฮิรตซ์.....	49
5.3.	การทดลองส่งและรับสัญญาณที่มอดูเลตด้วยวิธีโอเอฟดีเอ็มแบบต่างๆ.....	51
5.3.1.	ผลที่ได้จากการส่งสัญญาณโอเอฟดีเอ็มบนสายส่งในสภาวะปกติ.....	52
5.3.2.	ผลที่ได้จากการส่งสัญญาณโอเอฟดีเอ็มขณะที่มีการต่อโหลด.....	53
5.3.3.	ผลการส่งสัญญาณโอเอฟดีเอ็มในขณะที่ถูกรบกวนจากสัญญาณภายนอก.....	54
บทที่ 6	ข้อสรุปและข้อเสนอแนะ.....	60
6.1.	ข้อสรุป.....	60
6.2.	ข้อเสนอแนะ.....	60
	รายการอ้างอิง.....	62
	ภาคผนวก.....	64
	ภาคผนวก ก รูปวงจรซึ่งออกแบบสำหรับงานวิจัยนี้.....	65
	ประวัติผู้เขียนวิทยานิพนธ์.....	68

## สารบัญภาพ

	หน้า
รูปที่ 1-1 ภาพแสดงโครงสร้างการเชื่อมต่อเครือข่ายด้วยระบบ PLC.....	2
รูปที่ 1-2 สัญญาณรบกวนซึ่งเกิดจากอุปกรณ์ปรับความสว่างหลอดไฟ.....	2
รูปที่ 1-3 สัญญาณรบกวนที่เกิดจากวงจรแปลงผันกำลัง .....	3
รูปที่ 1-4 สัญญาณรบกวนที่เกิดจากอุปกรณ์สื่อสารประเภทอินเตอร์คอม .....	3
รูปที่ 1-5 สัญญาณรบกวนที่เกิดจากอุปกรณ์ที่เป็นมอเตอร์ไฟฟ้า .....	4
รูปที่ 2-1 การทำงานของระบบสื่อสารเชิงเลข.....	7
รูปที่ 2-2 วิธีมอดูเลตสัญญาณในระบบ PLC โดยใช้เทคนิคโอเอฟดีเอ็ม.....	9
รูปที่ 2-3 ข้อมูลเชิงเลขที่ถูกแบ่งเป็นกลุ่มย่อย .....	9
รูปที่ 2-4 แสดงการแปลงข้อมูลเป็นสัญลักษณ์.....	10
รูปที่ 2-5 กลุ่มสัญลักษณ์ข้อมูล.....	11
รูปที่ 2-6 ข้อมูลสัญลักษณ์ถูกแปลงเป็นสัญญาณทางเวลา.....	11
รูปที่ 2-7 ข้อมูลทางเวลาถูกแปลงกลับไปอยู่ในรูปของสัญลักษณ์.....	12
รูปที่ 2-8 สัญญาณทางเวลาในแต่ละเฟรม.....	13
รูปที่ 2-9 แสดงการเพิ่มเฟรมการ์ดที่หัวละท้ายของสัญญาณในแต่ละเฟรม .....	13
รูปที่ 2-10 โครงสร้างสัญญาณที่ถูกส่งออกไป .....	13
รูปที่ 2-11 ผลการหาค่าความสัมพันธ์ร่วมของสัญญาณซิงโครไนส์.....	14
รูปที่ 2-12 แสดงการจัดเรียงข้อมูลเพื่อให้ได้ผลลัพธ์ในรูปแบบจำนวนจริงเพียงอย่างเดียว.....	14
รูปที่ 2-13 การทดสอบผลตอบสนองทางความถี่ .....	15
รูปที่ 2-14 ผลที่ได้จากการวัดผลตอบสนองทางความถี่.....	15
รูปที่ 2-15 วิธีการวัดอัตราผิดพลาดบิท.....	16

รูปที่ 3-1 ระบบการทำงานของเครื่อง Power Line Tester .....	17
รูปที่ 3-2 แผนภาพแสดงรายละเอียดของเครื่อง Power Line Tester .....	18
รูปที่ 3-3 โครงสร้างโดยรวมของบอร์ด line couple interface .....	18
รูปที่ 3-4 แสดงโครงสร้างภายในของ HCPL-800J ที่มี Optical Coupling Isolator .....	19
รูปที่ 3-5 วงจรป้องกันภาคแรงดันสูง .....	20
รูปที่ 3-6 วงจรสร้างแรงดันไฟเลี้ยงภาคแรงดันสูง .....	21
รูปที่ 3-7 วงจรกรองผ่านต่ำของภาคส่ง .....	21
รูปที่ 3-8 วงจรกรองผ่านช่วงของภาครับ .....	22
รูปที่ 3-9 วงจรปรับระดับแรงดันของภาครับ .....	22
รูปที่ 3-10 โครงสร้างรวมของบอร์ดหลัก .....	23
รูปที่ 3-11 โครงสร้างภายในของ DSP TMS320F2812 .....	24
รูปที่ 3-12 แสดงการรับส่งข้อมูลภายในชิป .....	24
รูปที่ 3-13 การทำงานของวงจร ADC .....	26
รูปที่ 3-14 การทำงานของ DAC .....	27
รูปที่ 3-15 โครงสร้างการทำงานของ USB to UART .....	27
รูปที่ 4-1 โครงสร้างโปรแกรมส่งสัญญาณ .....	29
รูปที่ 4-2 แผนผังการทำงานของโปรแกรม .....	30
รูปที่ 4-3 แผนผังการทำงานของโปรแกรมในแต่ละโหมด .....	30
รูปที่ 4-4 การทำงานของ SCIA Rx FIFO interrupt .....	31
รูปที่ 4-5 วิธีการสร้างสัญญาณความถี่กวาดในโปรแกรมส่งสัญญาณ .....	32
รูปที่ 4-6 โครงสร้างโปรแกรมบนบอร์ดรับสัญญาณ .....	34
รูปที่ 4-7 แผนผังการทำงานของโปรแกรมบนบอร์ดรับสัญญาณ .....	35

รูปที่ 4-8	แผนผังการเลือกโหมดการทำงาน.....	36
รูปที่ 4-9	แผนผังการทำงานในแต่ละโหมดของโปรแกรมรับสัญญาณ.....	36
รูปที่ 4-10	แผนผังการทำงานใน interrupt function .....	37
รูปที่ 4-11	การทำงานของ SCIA Tx FIFO interrupt.....	37
รูปที่ 4-12	ส่วนแสดงผลที่ติดต่อกับผู้ใช้ (GUI).....	39
รูปที่ 4-13	โครงสร้างการทำงานของโปรแกรมที่ใช้ควบคุมการส่งสัญญาณ.....	39
รูปที่ 4-14	แผนผังการทำงานของโปรแกรมควบคุมบอร์ดส่งสัญญาณ.....	40
รูปที่ 4-15	ส่วนแสดงผลที่ติดต่อกับผู้ใช้ (GUI).....	41
รูปที่ 4-16	โครงสร้างการทำงานของโปรแกรมที่ใช้กับบอร์ดรับสัญญาณ.....	42
รูปที่ 4-17	แผนผังการทำงานของโปรแกรมควบคุมบอร์ดรับสัญญาณ.....	43
รูปที่ 5-1	เครื่องทดสอบที่สร้างขึ้น .....	44
รูปที่ 5-2	การวัดสัญญาณรบกวนในสายส่งกำลัง.....	45
รูปที่ 5-3	ผลการวัดสัญญาณรบกวนพื้นฐานในสถานะไม่มีโหลด .....	46
รูปที่ 5-4	ผลการวัดสัญญาณรบกวนในสายส่งในสถานะปกติ .....	46
รูปที่ 5-5	สัญญาณรบกวนประเภทสวิตซ์ชิง.....	47
รูปที่ 5-6	สัญญาณรบกวนประเภทมอเตอร์ไฟฟ้า.....	48
รูปที่ 5-7	สัญญาณรบกวนจากเครื่องดูดฝุ่น.....	48
รูปที่ 5-8	การทดสอบผลตอบแทนของความถี่.....	49
รูปที่ 5-9	สัญญาณกวาดที่ถูกสร้างขึ้นและวัดได้จากสโคป.....	49
รูปที่ 5-10	สัญญาณที่สร้างขึ้นและวัดได้จากเครื่องวัด.....	49
รูปที่ 5-11	ผลการวัดผลตอบแทนของความถี่ของสายส่งกำลัง .....	50
รูปที่ 5-12	มุมเฟสของสัญญาณที่รับได้โดยแยกสีตามช่วงความถี่ .....	51

รูปที่ 5-13 สัญญาณโอเอฟดีเอ็มที่รับได้เฉพาะเฟรมแรก.....	52
รูปที่ 5-14 ข้อมูลที่ส่งและรับได้จากการส่งในสภาวะปกติ .....	52
รูปที่ 5-15 สัญญาณโอเอฟดีเอ็มที่รับได้ในเฟรมที่ 2 ของการส่งครั้งที่ 2 .....	53
รูปที่ 5-16 ข้อมูลที่ส่งและรับได้จากการส่งด้วยเทคนิคเอฟดีเอ็มครั้งที่ 2.....	53
รูปที่ 5-17 สัญญาณโอเอฟดีเอ็มและสเปกตรัมของคลื่นพาหะย่อย .....	54
รูปที่ 5-18 สัญญาณโอเอฟดีเอ็มรวมกับสัญญาณรบกวนจากเครื่องดูดฝุ่น .....	55
รูปที่ 5-19 ข้อมูลซึ่งรับได้จากการทดสอบขณะมีสัญญาณรบกวนในสายส่ง.....	56
รูปที่ 5-20 ผลของข้อมูลซึ่งรับได้ในรูปของมัมเฟส .....	56
รูปที่ 5-21 สัญญาณโอเอฟดีเอ็มและสัญญาณรบกวนซึ่งอยู่ใกล้ภาครับ .....	57
รูปที่ 5-22 ข้อมูลซึ่งรับได้จากการทดสอบขณะมีสัญญาณรบกวนใกล้ภาครับ .....	57
รูปที่ 5-23 ข้อมูลที่รับได้ในรูปของมัมเฟส .....	58

## สารบัญตาราง

หน้า

ตาราง 1 ตารางเปรียบเทียบผลการรับส่งข้อมูลแบบโอเอฟดีเอ็มด้วยวิธีมอดูเลตแบบต่างๆ.....59



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# บทที่ 1

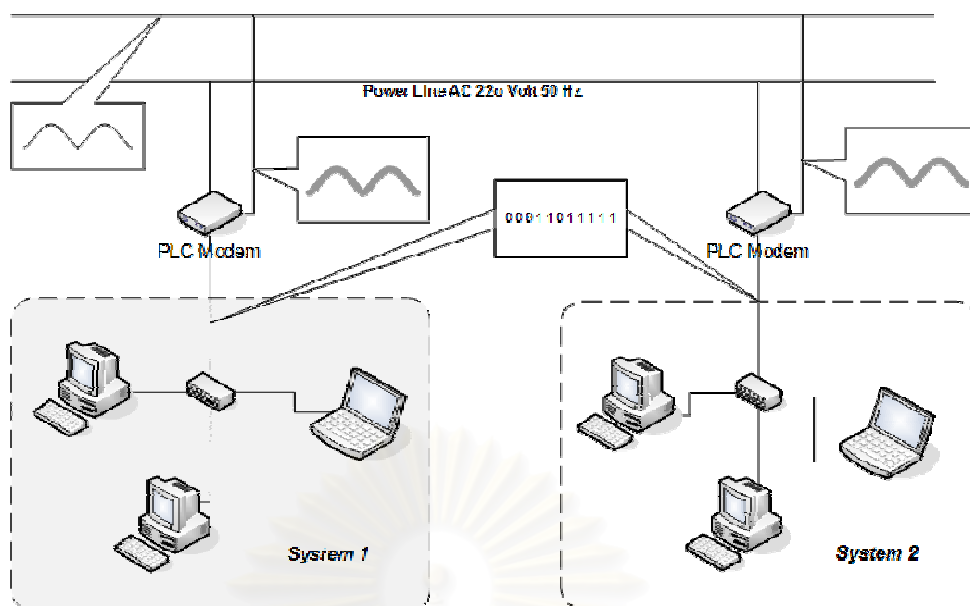
## บทนำ

### 1.1. ความเป็นมาและความสำคัญของปัญหา

การสื่อสารรับส่งข้อมูลผ่านทางสายส่งกำลังที่เรียกว่า Power Line Communication (PLC) เกิดขึ้นจากแนวคิดที่ต้องการใช้ประโยชน์จากสายส่งกำลังที่มีอยู่ให้เกิดประโยชน์สูงสุด ซึ่งนอกจากจะใช้เป็นตัวกลางในการส่งผ่านกระแสไฟฟ้าไปยังปลายทางแล้ว ยังสามารถใช้เป็นตัวกลางในการรับส่งข้อมูลระหว่างกันได้อีก การสื่อสารชนิดนี้เริ่มมีใช้กันตั้งแต่ประมาณปี ค.ศ. 1950 ต่อมาเมื่อมีการใช้งานมากขึ้นจึงมีการสร้างมาตรฐานสำหรับอุปกรณ์ที่ใช้กับการสื่อสารด้วยวิธีนี้ไว้ดังนี้

- HomePlug 1.0 [1] เป็นมาตรฐานสำหรับอุปกรณ์ที่ใช้เชื่อมต่อเครือข่ายภายในบ้าน มีความเร็วในการรับส่งข้อมูล 14 เมกกะบิตต่อวินาที
- HomePlug AV [1] เป็นมาตรฐานที่ใช้กับโทรทัศน์ความคมชัดสูง (high-Definition television, HDTV) ซึ่งสามารถรับส่งข้อมูลได้สูงกว่า 100 เมกกะบิตต่อวินาที
- HomePlug BPL [1] เป็นมาตรฐานที่ใช้ในการเชื่อมต่อเครือข่ายภายนอกเข้าสู่บ้าน
- HomePlug CC [1] เป็นมาตรฐานที่ใช้กับงานที่ไม่ต้องการความเร็วในการรับส่งข้อมูลสูงและมีต้นทุนต่ำเช่น ระบบบ้านอัตโนมัติ ระบบรักษาความปลอดภัยในบ้าน

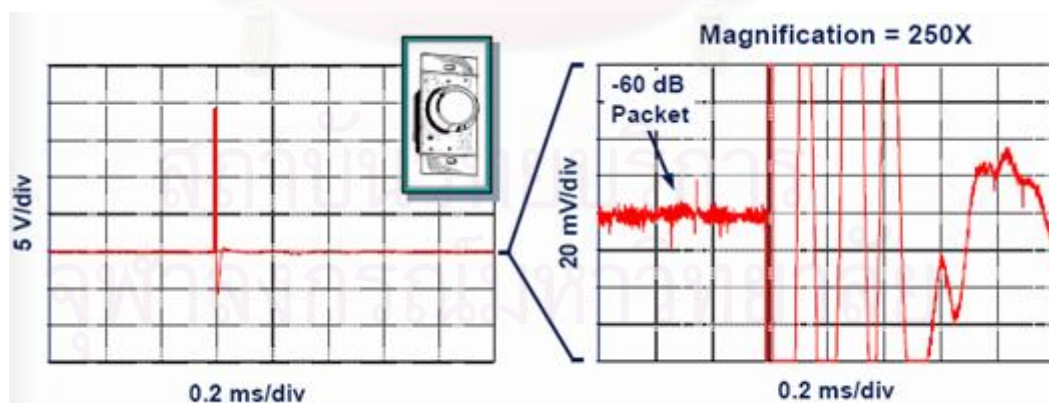
เนื่องจากจุดเด่นที่ใช้สายส่งกำลังเป็นตัวกลางในการรับส่งข้อมูล ทำให้การติดตั้งระบบไม่จำเป็นต้องเดินสายไฟฟ้าเพิ่มเติมและไม่จำเป็นต้องหาแหล่งจ่ายพลังงานภายนอกเพิ่มเติมอีกด้วย เพราะสามารถดึงพลังงานจากสายส่งกำลังมาใช้ได้ทันที ดังแสดงใน รูปที่ 1-1 เราสามารถสร้างกลุ่มเครือข่ายระบบคอมพิวเตอร์ขึ้นภายในอาคารโดยอาศัยระบบเครือข่ายพื้นฐานเช่น LAN: Local Area Network ซึ่งมีอยู่แล้วเฉพาะภายในห้องหนึ่งหรือภายในชั้นของอาคารนั้น และเพิ่มส่วนของระบบ PLC เพื่อเชื่อมต่อระบบเครือข่ายภายในห้องนั้นกับระบบเครือข่ายของห้องอื่น โดยผ่านระบบไฟฟ้าที่มีอยู่แล้วได้หรือจะเชื่อมต่อกับระบบเครือข่ายของชั้นที่อยู่ติดกันได้



รูปที่ 1-1 ภาพแสดงโครงสร้างการเชื่อมต่อเครือข่ายด้วยระบบ PLC

ด้วยเหตุนี้ PLC จึงเป็นทางเลือกของการสื่อสารรับส่งข้อมูลที่น่าสนใจทางหนึ่ง แต่ระบบ PLC ก็มีจุดอ่อนที่ข้อจำกัดด้านเสถียรภาพ เนื่องจาก PLC นั้นใช้สายส่งกำลังเป็นตัวกลางในการรับส่งข้อมูล ดังนั้นจึงสามารถถูกรบกวนได้ง่ายจากสัญญาณอื่นๆที่อยู่ในสายส่งกำลังนั้น ตัวอย่างของสัญญาณรบกวนมีดังนี้

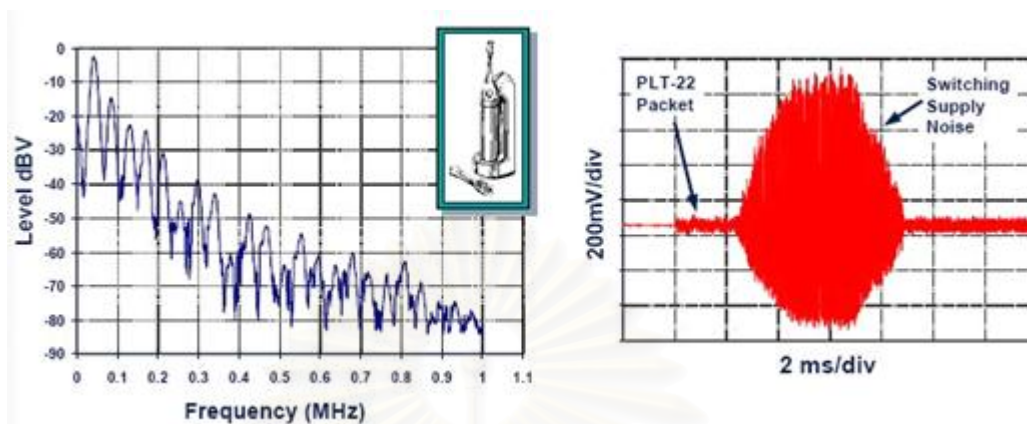
- สัญญาณรบกวนจากอุปกรณ์ปรับความสว่างหลอดไฟ (light dimmer noise) [2] ซึ่งมีลักษณะของสัญญาณรบกวนเป็นพัลส์ขนาดใหญ่ดังรูปที่ 1-2 ซึ่งจะส่งผลให้ไม่สามารถอ่านข้อมูลในช่วงนั้นได้



รูปที่ 1-2 สัญญาณรบกวนซึ่งเกิดจากอุปกรณ์ปรับความสว่างหลอดไฟ

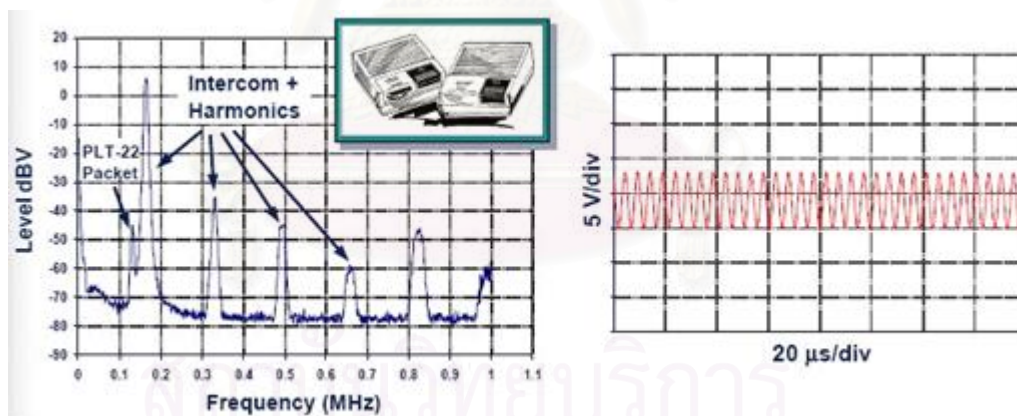


- สัญญาณรบกวนที่มาจากวงจรแปลงผันกำลัง (switching power supply noise) [2] ซึ่งมีลักษณะเป็นสัญญาณความถี่สูงประมาณ 20 กิโลเฮิรซ์จนถึงมากกว่า 1 เมกกะเฮิรซ์ ดังรูปที่ 1-3



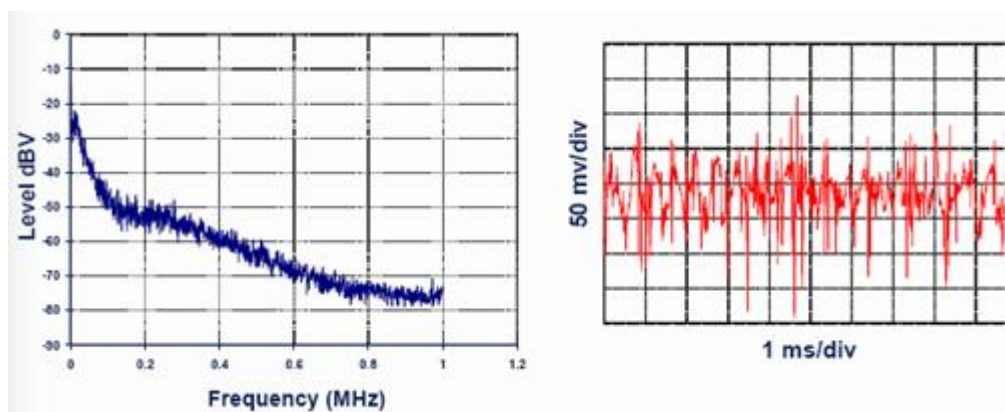
รูปที่ 1-3 สัญญาณรบกวนที่เกิดจากวงจรแปลงผันกำลัง

- สัญญาณรบกวนจากอุปกรณ์สื่อสารประเภทอินเตอร์คอม (intercom noise) [2] ซึ่งสัญญาณรบกวนจะประกอบด้วยความถี่หลักและความถี่มูลฐานอันดับต้นๆ ดังรูปที่ 1-4



รูปที่ 1-4 สัญญาณรบกวนที่เกิดจากอุปกรณ์สื่อสารประเภทอินเตอร์คอม

- สัญญาณรบกวนจากอุปกรณ์ที่เป็นมอเตอร์ไฟฟ้า[2] ลักษณะสัญญาณจะเป็นพัลส์กระจายตัวอยู่ในช่วงความถี่ระดับกิโลเฮิรซ์ ดังรูปที่ 1-5



รูปที่ 1-5 สัญญาณรบกวนที่เกิดจากอุปกรณ์ที่เป็นมอเตอร์ไฟฟ้า

นอกจากสัญญาณรบกวนข้างต้นนี้แล้ว ยังมีผลจากความไม่แน่นอนของโครงสร้างของสายส่งกำลัง เนื่องจากการเปิดปิดหรือต่อพ่วงสายไฟฟ้าซึ่งเกิดขึ้นอยู่ตลอดเวลา สิ่งเหล่านี้จะส่งผลกระทบต่อโดยตรงกับระบบการรับส่งข้อมูลในสายส่งกำลัง

เนื่องจากระบบ PLC อาศัยการมอดูเลตสัญญาณความถี่สูงเข้าไปในสายส่งกำลังดังนั้น อาจทำให้เกิดสัญญาณรบกวนซึ่งมีผลต่อเครื่องมือแพทย์หรือเครื่องมือสื่อสารที่ใช้คลื่นความถี่ใกล้เคียงกัน จึงจำเป็นต้องมีมาตรฐานด้านความปลอดภัยจากความถี่ที่ใช้ส่ง แต่ในปัจจุบันยังไม่มีมาตรฐานที่เป็นกลางของทุกประเทศ ดังนั้นแต่ละประเทศจึงมีมาตรฐานด้านความถี่ที่ใช้แตกต่างกันไปได้แก่

- ประเทศอเมริกาจะใช้มาตรฐาน FCC [4] ซึ่งมีความถี่อยู่ในช่วง 100-450 กิโลเฮิรซ์
- ในประเทศยุโรปจะใช้มาตรฐาน CENELEC [3] โดยจะแบ่งย่านความถี่ออกเป็น 4 ย่านด้วยกันได้แก่ CENELEC A (9-95 กิโลเฮิรซ์), CENELEC B (95-125 กิโลเฮิรซ์), CENELEC C (125-140 กิโลเฮิรซ์), CENELEC D (140-148.5 กิโลเฮิรซ์)

ดังนั้นจึงจำเป็นต้องมีเครื่องมือที่ใช้ในการวัดและทดสอบสภาพของสายส่งกำลังในบริเวณที่เราจะทำการติดตั้งระบบ PLC เข้าไป เพื่อช่วยให้เราสามารถออกแบบระบบ PLC ให้เหมาะสมกับสภาพของสายส่งในบริเวณที่เราจะทำการติดตั้ง เพื่อให้ระบบ PLC สามารถใช้พลังงานได้จริงและมีเสถียรภาพที่ดี

## 1.2. วัตถุประสงค์ของการวิจัย

1. ออกแบบเครื่องมือที่ใช้ในการวัดและตรวจสอบสายส่งกำลังที่ใช้กับระบบ PLC
2. ออกแบบและทดสอบระบบ PLC ที่ใช้วิธีการแก้ปัญหาสัญญาณรบกวนโดยใช้เทคนิค OFDM

### 1.3. ขอบเขตของการวิจัย

1. สามารถวัดสัญญาณรบกวนในสายส่งได้ มีช่วงความถี่ไม่เกิน 400 กิโลเฮิร์ตซ์
2. สามารถทดสอบสายส่งกำลังโดยใช้ความถี่ในช่วง 1 – 400 กิโลเฮิร์ตซ์ ได้
3. สามารถวัดและรายงานผลการทดสอบผลตอบสนองของทางความถี่ได้ โดยส่งผลไปยังเครื่องคอมพิวเตอร์
4. ใช้เทคนิคโอเอฟดีเอ็มในการส่งข้อมูล
5. สามารถทำการทดสอบอัตราผิดพลาดบิทได้

### 1.4. ประโยชน์ที่คาดว่าจะได้รับ

1. ได้เครื่องมือที่ใช้ในการวัดและทดสอบสายส่งกำลัง
2. ได้รับความรู้เกี่ยวกับวิธีการสื่อสารผ่านทางสายส่งกำลังรวมทั้งปัญหาที่พบและวิธีการแก้ปัญหาเหล่านั้น
3. เรียนรู้วิธีการทำงานของเครื่องมือวัดและทดสอบประสิทธิภาพของสายที่ใช้ในระบบ PLC
4. เรียนรู้วิธีการออกแบบสร้างเครื่องมือวัดและข้อกำหนดต่างๆ
5. ได้รับความรู้เกี่ยวกับการใช้เทคนิค OFDM ในการส่งข้อมูล

### 1.5. วิธีดำเนินการวิจัย

1. ศึกษาวิธีการที่ใช้ในการรับส่งข้อมูลในระบบ PLC
2. ศึกษาปัญหาที่พบในระบบ PLC รวมทั้งวิธีการแก้ไขปัญหาเหล่านั้น
3. ศึกษาเครื่องมือที่ใช้ทดสอบสายส่งกำลังที่ใช้กับระบบ PLC
4. ออกแบบและทดสอบเครื่องมือที่ใช้ทดสอบสายส่งกำลังที่ใช้กับระบบ PLC
5. ศึกษาวิธีการส่งข้อมูลที่ใช้เทคนิคโอเอฟดีเอ็ม
6. ทดสอบการรับข้อมูลและดูผลที่ด้จากอัตราผิดพลาดบิท

## 1.6. ลำดับขั้นตอนในการเสนอผลการวิจัย

วิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 6 บท ดังต่อไปนี้ บทที่ 1 เป็นบทนำซึ่งกล่าวถึงที่มาและความสำคัญของปัญหา วัตถุประสงค์ ขอบเขต รวมทั้งประโยชน์ที่คาดว่าจะได้รับและวิธีดำเนินงานวิจัย บทที่ 2 จะกล่าวถึงหลักการและทฤษฎีที่เกี่ยวข้องกับการวิจัย เช่น วิธีมอดูเลตสัญญาณในระบบการสื่อสารผ่านสายส่งกำลัง วิธีเพิ่มประสิทธิภาพในการรับส่งข้อมูลสำหรับการสื่อสารแบบโอเอฟดีเอ็ม วิธีวัดผลตอบสนองทางความถี่ในสายส่งกำลัง วิธีทดสอบอัตราการผลิตบิต ส่วนในบทที่ 3 จะกล่าวถึงวิธีออกแบบและโครงสร้างฮาร์ดแวร์ในส่วนต่างๆของเครื่อง ส่วนการทำงานของเครื่องและโปรแกรมในส่วนตัวเครื่องและบนเครื่องคอมพิวเตอร์จะกล่าวถึงในบทที่ 4 และผลการทำงานของเครื่องและผลทดสอบจะแสดงไว้ในบทที่ 5 ส่วนบทสุดท้ายจะกล่าวถึงข้อสรุปและข้อเสนอแนะจากการทำงานวิจัยนี้



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

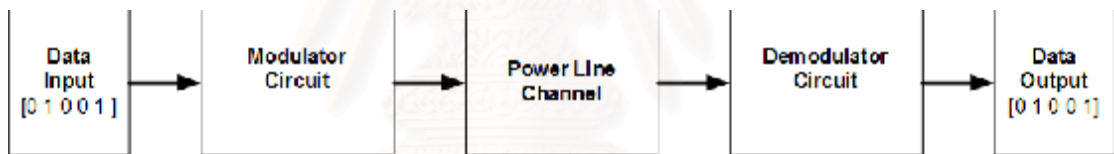
## บทที่ 2

### หลักการและทฤษฎีที่เกี่ยวข้อง

#### 2.1. แนวคิดและทฤษฎี

ระบบสื่อสารแบบเชิงเลข (digital communication system) จะประกอบด้วยบล็อกการทำงานพื้นฐานดังรูปที่ 2-1 โดยข้อมูลที่เป็นดิจิทัลจะถูกส่งไปยังวงจรมอดูเลเตอร์ (Modulator circuit) เพื่อมอดูเลตสัญญาณพาหะ (Carrier) ที่เหมาะสมกับช่องสัญญาณที่จะส่งสัญญาณเข้าไป การมอดูเลตสัญญาณพาหะมีอยู่หลายวิธีได้แก่ การปรับขนาด (ASK: amplitude shift keying) การปรับความถี่ (FSK: frequency shift keying) และการปรับเฟส (PSK: phase shift keying) [5] และการใช้เทคนิคโอเอฟดีเอ็ม เป็นต้น วิธีการมอดูเลตแต่ละวิธีจะมีข้อดีและข้อเสียแตกต่างกันไป

หลังจากผ่านวงจรมอดูเลเตอร์แล้วสัญญาณพาหะจะเดินทางผ่านช่องสัญญาณและเข้าสู่วงจรมอดูเลเตอร์ที่ภาครับ เพื่อแยกข้อมูลออกจากสัญญาณพาหะ



รูปที่ 2-1 การทำงานของระบบสื่อสารเชิงเลข

#### 2.2. หลักการของโอเอฟดีเอ็ม

โอเอฟดีเอ็มเป็นเทคนิคการส่งข้อมูลโดยอาศัยการส่งความถี่พาหะย่อย (sub-carrier) หลายความถี่พร้อมกัน ซึ่งความถี่พาหะย่อยที่เลือกใช้นั้นจะมีคุณสมบัติเฉพาะคือตั้งฉากซึ่งกันและกัน (orthogonal) ดัง ทำให้ไม่เกิดการรบกวนกันระหว่างความถี่พาหะย่อยที่เลือกใช้ วิธีการสร้างสัญญาณนั้นสามารถทำได้ง่ายด้วยวิธีการแปลงฟูริเยร์แบบเร็ว (Fast Fourier Transform) คลื่นพาหะย่อยแต่ละความถี่จะถูกมอดูเลตด้วยวิธีพื้นฐานเช่น QPSK, QAM ด้วยความเร็วไม่สูงทำให้ได้คุณภาพของสัญญาณที่ดีในขณะที่ยังคงสามารถส่งข้อมูลด้วยอัตราข้อมูลสูงเช่นเดิม และมีความต้านทานต่อสัญญาณรบกวนในช่องสัญญาณได้สูง อีกทั้งการปรับแก้สัญญาณ (Equalize) ที่ภาครับสามารถทำได้ง่ายเช่นเดียวกับการส่งข้อมูลแบบพาหะเดี่ยว (Single-carrier) ด้วยความเร็วต่ำ นอกจากนั้นการ์ดเฟรม (Guard frame) ของโอเอฟดีเอ็มยังมีส่วนช่วยในการลดผล

ของการแทรกสอดระหว่างสัญญาณ (ISI: Inter Symbol Interference) เทคนิคโอเอฟดีเอ็มนั้น มีข้อจำกัดอยู่ที่ความถี่ของภาครับและภาคส่งจะต้องมีความแม่นยำสูง และถูกรบกวนได้ง่ายจากปรากฏการณ์การเลื่อนความถี่ (Doppler) และเนื่องจากเป็นสัญญาณที่มีค่ากำลังงานสูงสุดต่อกำลังงานเฉลี่ย (PAPR: peak to average power ratio) สูงทำให้ภาคส่งต้องใช้กำลังในการส่งสูง และสิ้นเปลืองกำลังงาน เทคนิคโอเอฟดีเอ็มนั้นถูกนำมาใช้ในการส่งข้อมูลในปัจจุบันอย่างแพร่หลายทั้ง การสื่อสารแบบไร้สายเช่น อินเทอร์เน็ตไร้สาย การสื่อสารผ่านสายเช่น อินเทอร์เน็ตความเร็วสูง (ADSL: Asymmetric Digital Subscriber Line) และการสื่อสารผ่านสายส่งกำลัง (PLC: Power Line Communication) เป็นต้น

การตั้งฉากซึ่งกันและกันของสัญญาณสามารถพิสูจน์ได้จากการนำสัญญาณนั้นมาหาค่าความสัมพันธ์ร่วม (Correlation) ดังสมการด้านล่างซึ่งสัญญาณจะตั้งฉากกันเมื่อค่าความสัมพันธ์ร่วมที่ได้มีค่าเท่ากับ 0

$$r_{xy} = \frac{\sum_{n=1}^N (x_n - \bar{x}) \times (y_n - \bar{y})}{(N - 1) s_x s_y}$$

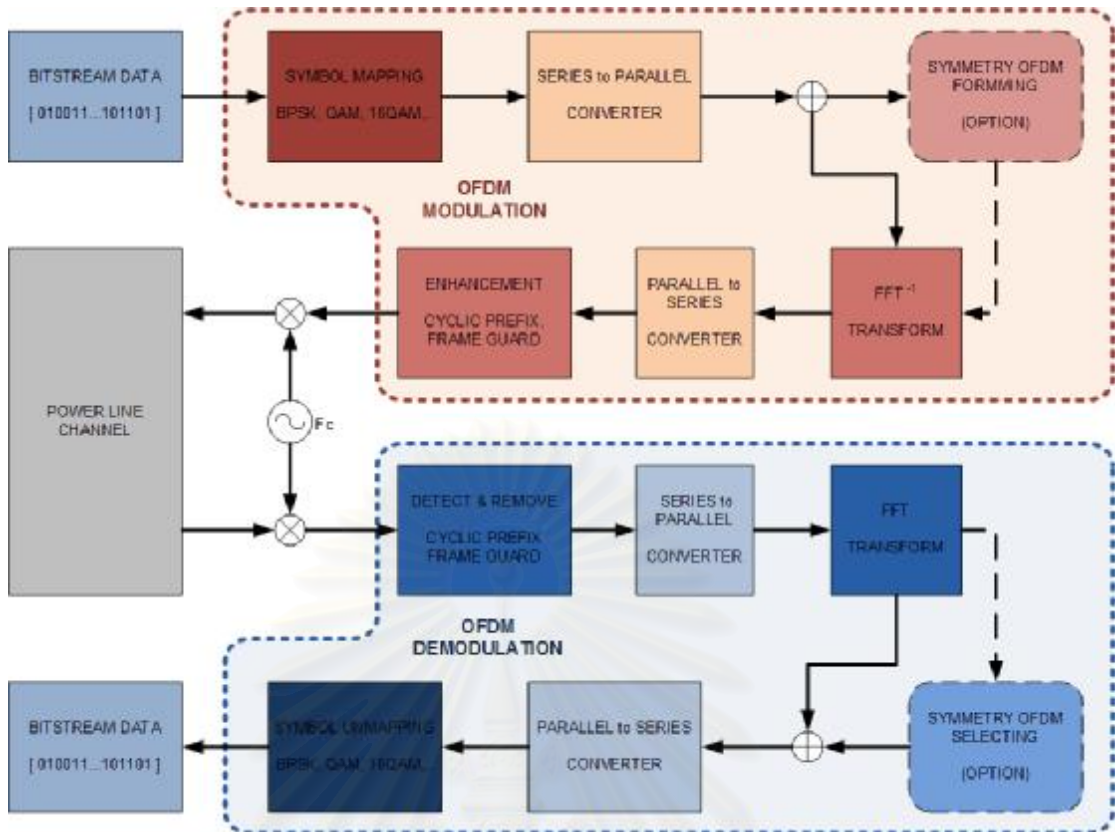
เมื่อ  $x_n, y_n$  เป็นสัญญาณที่ได้จากการวัด

$s_x, s_y$  เป็นค่าความเบี่ยงเบนมาตรฐานของสัญญาณ

$N$  เป็นจำนวนข้อมูลทั้งหมด

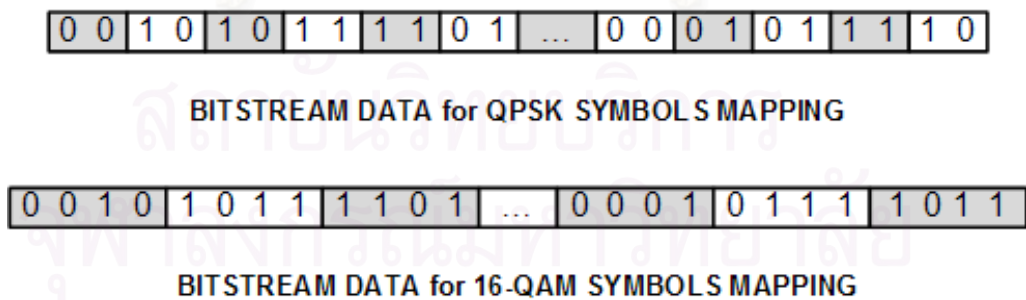
### 2.3. การมอดูเลตสัญญาณด้วยเทคนิคโอเอฟดีเอ็มในระบบ PLC

วิธีการมอดูเลตสัญญาณแบบโอเอฟดีเอ็มจะเป็นดังรูปที่ 2-2 ด้านล่าง โดยเริ่มต้นที่ภาคส่ง ข้อมูลดิบจะถูกจัดเรียงเป็นกลุ่มและถูกแทนด้วยสัญลักษณ์ จากนั้นแถวของสัญลักษณ์จะถูกเรียงเป็นแถวขนานเพื่อส่งเข้าสู่เฟรมของโอเอฟดีเอ็ม และทำการแปลงฟูริเยร์แบบเร็วที่ละเฟรม ข้อมูลที่ผ่านการแปลงจะถูกนำมาเรียงต่อกันเฟรมต่อเฟรมโดยระหว่างข้อมูลแต่ละเฟรมจะถูกแทรกด้วยเฟรมการ์ดและที่ส่วนหน้าสุดจะเป็นตำแหน่งของเฟรมนำทาง (Sync Frame) ซึ่งจะช่วยให้ภาครับรู้ตำแหน่งเริ่มต้นของเฟรมข้อมูล สัญญาณจะถูกรวมเข้ากับสัญญาณความถี่พาหะก่อนจะส่งเข้าสู่ช่องสัญญาณเพื่อไปยังภาครับ ที่ภาครับสัญญาณที่รับมาจะถูกแยกสัญญาณข้อมูลออกจากความถี่พาหะและถูกแยกออกเป็นเฟรมเพื่อแปลงฟูริเยร์แบบเร็วเป็นสัญลักษณ์ จากนั้นข้อมูลจะถูกเรียงต่อกันและถูกแปลงกลับเป็นข้อมูลเช่นเดิม



รูปที่ 2-2 วิธีมอดูเลตสัญญาณในระบบ PLC โดยใช้เทคนิคโอเอฟดีเอ็ม

ข้อมูลเชิงเลขที่เข้ามาแบบอนุกรมจะถูกจัดเรียงให้เป็นรูปแบบกลุ่มย่อยๆ ซึ่งแต่ละกลุ่มจะมีจำนวนสมาชิกเท่ากัน ดังแสดงเป็นตัวอย่างในรูปที่ 2-3 ด้านบนจะเป็นข้อมูลที่มีกลุ่มละ 2 บิต ซึ่งจะใช้กับวิธีการแปลงสัญลักษณ์แบบ QPSK ส่วนด้านล่างจะเป็นข้อมูลที่มีกลุ่มละ 4 บิต ซึ่งจะใช้กับวิธีการแปลงสัญลักษณ์แบบ 16-QAM



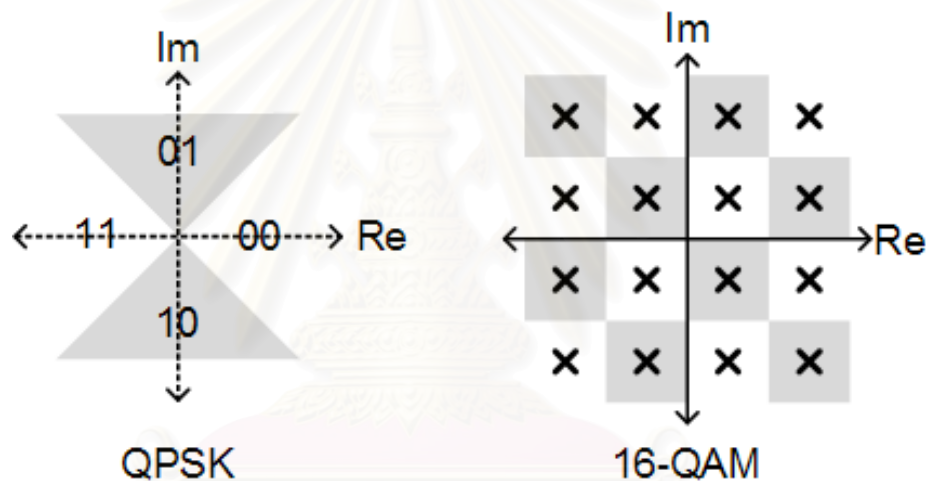
รูปที่ 2-3 ข้อมูลเชิงเลขที่ถูกแบ่งเป็นกลุ่มย่อย

จากนั้นข้อมูลในแต่ละกลุ่มจะถูกแทนที่ด้วยสัญลักษณ์ตามวิธีการแปลงสัญลักษณ์แต่ละแบบ โดยจำนวนของสัญลักษณ์ในแต่ละวิธีจะขึ้นอยู่กับจำนวนสมาชิกในแต่ละกลุ่มดังสามารถต่อไป

$$\text{จำนวนสัญลักษณ์ทั้งหมด} = 2^n$$

เมื่อ  $n$  คือจำนวนสมาชิกในแต่ละกลุ่ม

ตัวอย่างในรูปที่ 2-4 แสดงการแปลงข้อมูลแบบ QPSK และการแปลงข้อมูลแบบ 16-QAM ซึ่งจะให้จำนวนสัญลักษณ์ที่เป็นไปได้ 4 แบบ และ 16 แบบ ตามลำดับ นอกจากนี้ 2 วิธีที่กล่าวมาแล้วยังมีวิธีแปลงข้อมูลแบบอื่นอีกเช่น 32-QAM, 32-PSK ซึ่งได้สัญลักษณ์ทั้งหมด 32 แบบ 64-QAM และ 64-PSK เป็นต้น การแปลงข้อมูลแบบ QPSK ข้อมูลแต่ละแบบจะถูกแทนด้วยค่าจำนวนจริงหรือจำนวนจินตภาพ โดย 00 แทนด้วย 1, 01 แทนด้วย  $i$ , 11 แทนด้วย  $-1$ , 10 แทนด้วย  $-i$  ซึ่งรูปแบบในการแทนสัญลักษณ์นั้นจะส่งผลถึงโอกาสผิดพลาดในการรับข้อมูลของภาครับ เมื่อถูกสัญญาณรบกวน โดยหากจัดเรียงด้วยวิธีในภาพ จะพบว่าสัญลักษณ์ที่อยู่ติดกันจะมีข้อมูลที่แตกต่างกันเพียงบิตเดียวเท่านั้น



รูปที่ 2-4 แสดงการแปลงข้อมูลเป็นสัญลักษณ์

เมื่อข้อมูลถูกแปลงเป็นสัญลักษณ์ด้วยวิธีข้างต้นแล้วจะได้ข้อมูลที่อยู่ในรูปผลบวกของจำนวนจริงและจำนวนจินตภาพ ดังรูปที่ 2-5 โดยด้านบนจะเป็นผลการแปลงสัญลักษณ์ด้วยวิธี QPSK ส่วนด้านล่างจะเป็นผลการแปลงสัญลักษณ์ด้วยวิธี 16-QAM ซึ่งสัญลักษณ์เหล่านี้จะถูกจัดเรียงใหม่เป็นแถวขนานกันแต่ละแถวจะมีความยาวเท่ากับจำนวนของพาหะย่อย (Subcarrier) ที่เราจะใช้ในการส่งข้อมูล โดยสามารถแสดงสมการการแปลงข้อมูลให้อยู่ในรูปของสัญลักษณ์ได้ดังต่อไปนี้





**SYMBOL STREAM form QPSK**



**SYMBOL STREAM form 16-QAM**

รูปที่ 2-5 กลุ่มสัญลักษณ์ข้อมูล

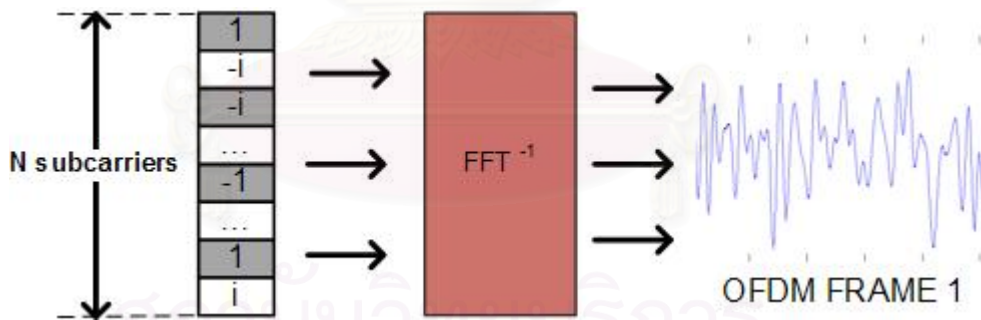
ข้อมูลสัญลักษณ์ในแต่ละแถวจะถูกแปลงฟูริเยร์ย้อนกลับแบบเร็ว เพื่อให้เป็นสัญญาณทางเวลาที่จะถูกส่งต่อไป โดยแต่ละแถวจะแปลงได้ข้อมูล 1 ชุดเรียกว่าเฟรม ดังรูปที่ 2-6 ซึ่งสัญญาณที่ได้สามารถเขียนในรูปของสมการดังนี้

$$v[n] = \sum_{k=0}^{N-1} X[k] \cdot e^{j2\pi kn/N}, \quad n \in \{0, 1, \dots, N - 1\}$$

เมื่อ  $X[k]$  คือสัญลักษณ์ข้อมูล (data symbols)

$v[n]$  คือสัญญาณโอเอฟดีเอ็ม

$N$  คือจำนวนพาหะย่อยทั้งหมด



รูปที่ 2-6 ข้อมูลสัญลักษณ์ถูกแปลงเป็นสัญญาณทางเวลา

สัญญาณทางเวลาที่ได้จะถูกนำมาเรียงต่อกันและถูกรวมเข้ากับสัญญาณความถี่กลาง (Center frequency) ที่ใช้ในการส่งข้อมูลและถูกส่งเข้าไปในช่องสัญญาณ เพื่อไปยังภาครับอีกด้านหนึ่งและมีสมการของสัญญาณดังนี้

$$r[n] = v[n] \cdot h[n] + z[n]$$

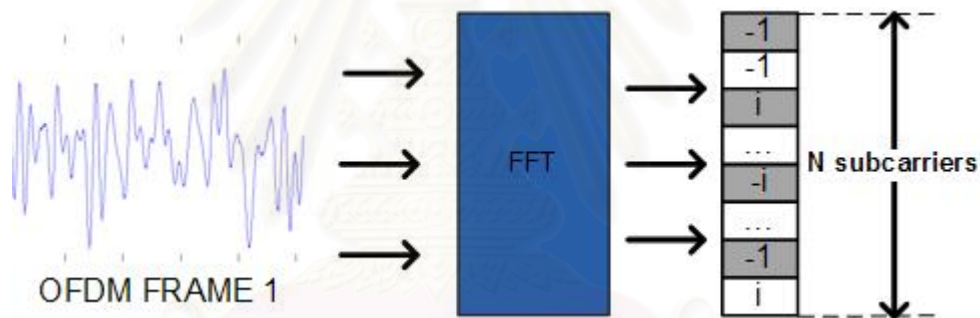
เมื่อ  $r[n]$  คือสัญญาณที่อ่านได้จากภาครับ

$h[n]$  คือช่องสัญญาณสื่อสาร

$z[n]$  คือสัญญาณรบกวน

ส่วนวงจรภาครับสัญญาณ จะทำการแยกสัญญาณข้อมูลออกจากสัญญาณความถี่กลางที่ใช้ส่งข้อมูลและแบ่งสัญญาณข้อมูลตามเฟรมที่ใช้ จากนั้นจะทำการแปลงฟูริเยร์อย่างรวดเร็วซึ่งจะทำให้ได้ข้อมูลของแต่ละเฟรมเป็นแอมพลิจูด รูปที่ 2-7 ซึ่งข้อมูลสัญญาณลักษณะนี้ในแต่ละเฟรมสามารถเขียนในรูปของสมการได้ดังนี้

$$X[k] = \sum_{n=0}^{N-1} r[n] \cdot e^{-j2\pi kn/N}, \quad k \in \{0, 1, \dots, N-1\}$$



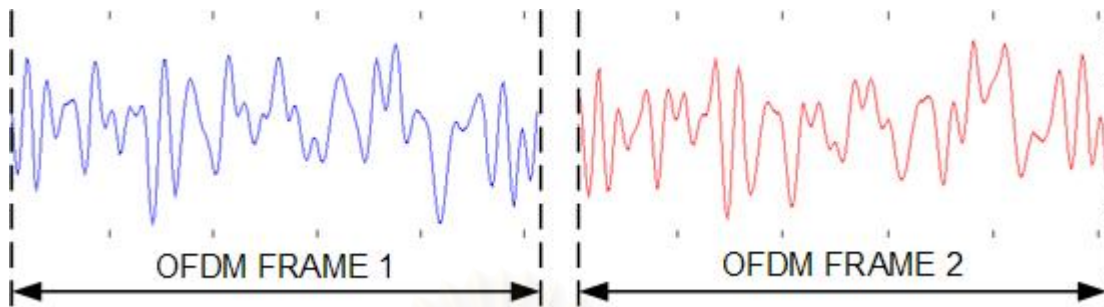
รูปที่ 2-7 ข้อมูลทางเวลาถูกแปลงกลับไปอยู่ในรูปของสัญญาณ

จากนั้นข้อมูลสัญญาณในแต่ละแอมพลิจูดจะถูกนำมาเรียงต่อกันเป็นแอมพลิจูดและถูกแปลงกลับเป็นข้อมูลเชิงเลขเหมือนที่ภาคส่งทำการส่งมา

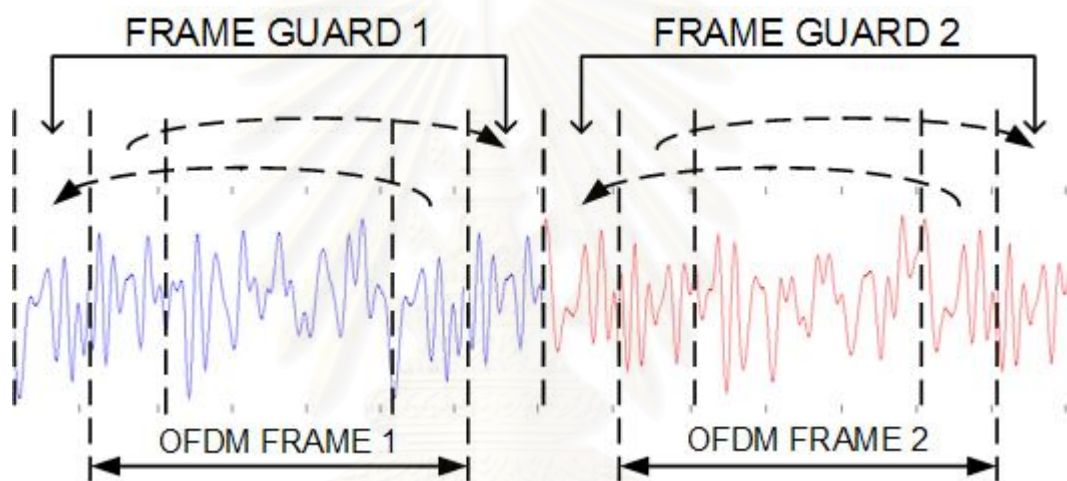
#### 2.4. การเพิ่มประสิทธิภาพในการรับส่งข้อมูลแบบโอเอฟดีเอ็ม

ในขั้นตอนหลังจากที่ทำการแปลงฟูริเยร์ย้อนกลับอย่างรวดเร็วเพื่อให้ได้สัญญาณทางเวลาของข้อมูลนั้น ก่อนจะทำการส่งสัญญาณออกไปจะมีการปรับแต่งสัญญาณเพิ่มเติมเพื่อช่วยเพิ่มประสิทธิภาพในการรับส่งข้อมูล โดยระหว่างข้อมูลในแต่ละเฟรมจะมีการเพิ่มส่วนของสัญญาณช่วงท้ายของเฟรมนั้นๆ ไว้ที่ส่วนหน้าสุดของของเฟรมนั้น และเพิ่มสัญญาณส่วนหน้าสุดของเฟรมนั้นไว้ที่ส่วนท้ายของเฟรมนั้นด้วย ซึ่งเรียกว่าเฟรมการ์ด เฟรมการ์ดจะช่วยลดผลของ Inter-symbol-interference (ISI) โดยความยาวของเฟรมการ์ดนั้นจะต้องยาวกว่าค่ามากที่สุดของเวลา

หน่วงสัญญาณ (Max Time Delay) ที่เกิดขึ้นในช่องสัญญาณนั้นๆ ซึ่งเฟรมการ์ดมักมีความยาวประมาณ 10 ถึง 25 เปอร์เซ็นต์ของความยาวเฟรม ดังตัวอย่างในรูปที่ 2-8 และรูปที่ 2-9

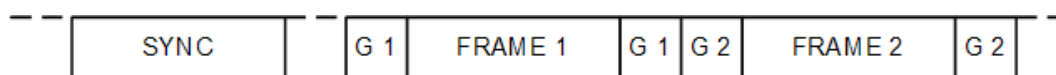


รูปที่ 2-8 สัญญาณทางเวลาในแต่ละเฟรม

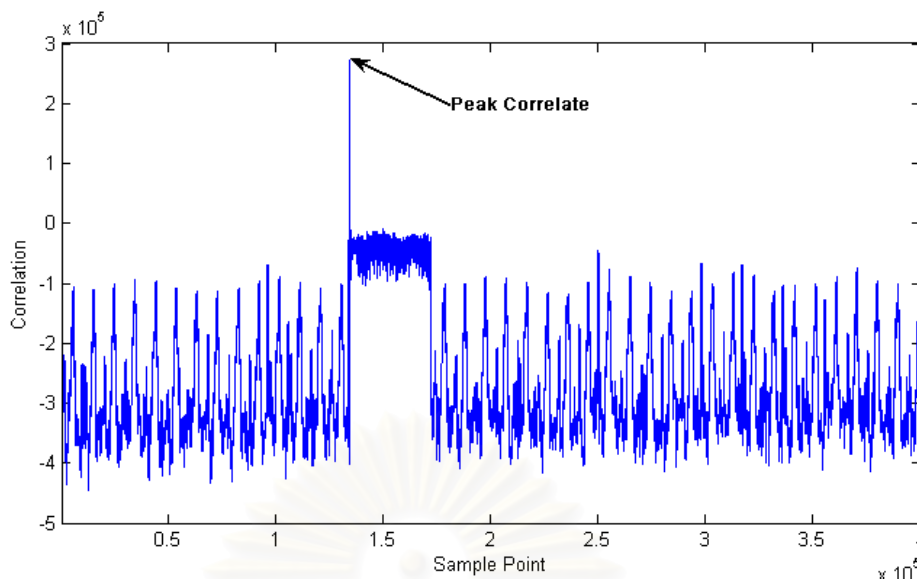


รูปที่ 2-9 แสดงการเพิ่มเฟรมการ์ดที่หัวท้ายของสัญญาณในแต่ละเฟรม

นอกจากนั้นยังมีส่วนของสัญญาณซิงโครไนส์ซึ่งจะถูกแทรกไว้ในตอนต้นของเฟรมแรก โดยสัญญาณซิงโครไนส์นี้จะช่วยให้ภาครับสามารถหาจุดเริ่มต้นของเฟรมข้อมูลที่ส่งมาได้ถูกต้อง ซึ่งจะทำให้ภาครับสามารถถอดข้อมูลที่แท้จริงออกมาได้ดังตัวอย่างในรูปที่ 2-10 วิธีหาจุดเริ่มต้นของเฟรมข้อมูลของภาครับด้วยสัญญาณซิงโครไนส์นั้น สามารถทำโดยการหาความสัมพันธ์ร่วม (Correlation) ของสัญญาณที่ได้รับกับสัญญาณซิงโครไนส์ที่ทราบ ซึ่งจุดที่มีค่าความสัมพันธ์ร่วมสูงสุดจะเป็นจุดเริ่มต้นของเฟรมดังรูปที่ 2-11

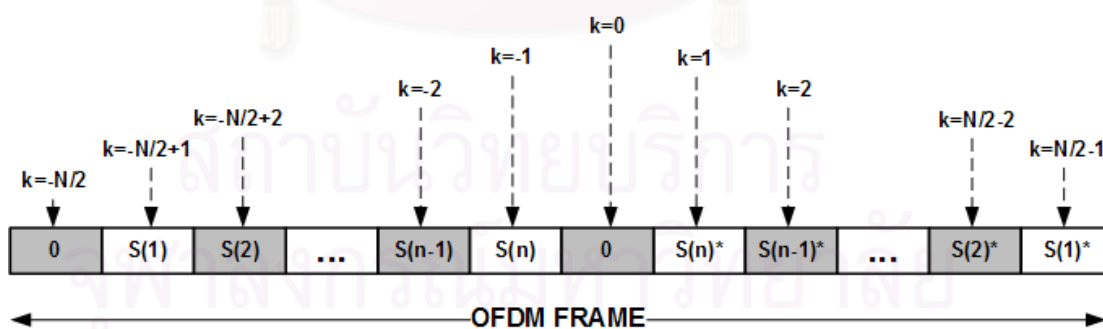


รูปที่ 2-10 โครงสร้างสัญญาณที่ถูกส่งออกไป



รูปที่ 2-11 ผลการหาค่าความสัมพันธ์ร่วมของสัญญาณซิงโครไนส์

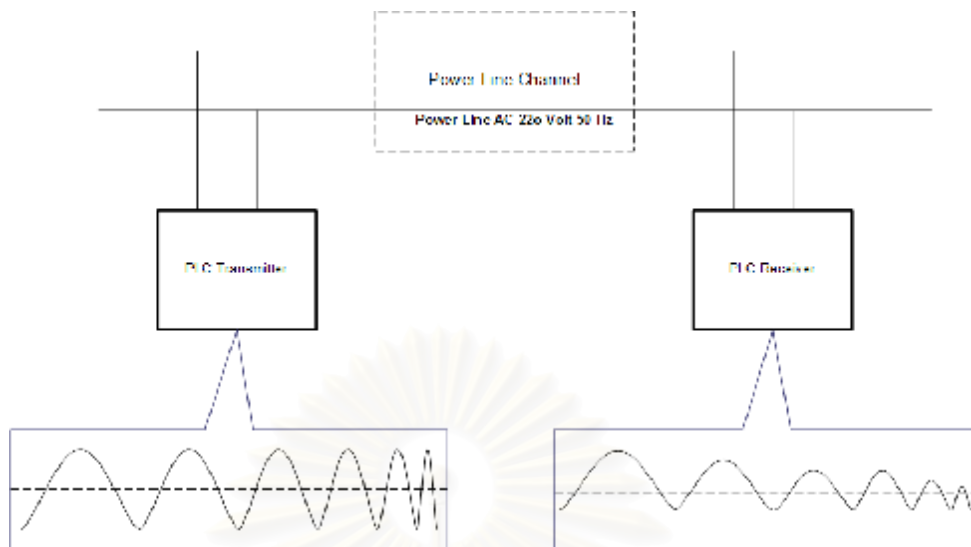
โดยปกติข้อมูลแบบโอเอฟดีเอ็มเมื่อทำการแปลงข้อมูลเป็นสัญญาณทางเวลาด้วยวิธีแปลงฟูริเยร์ย้อนกลับแล้วจะเกิดผลลัพธ์เป็นข้อมูลสองชุดคือชุดของจำนวนจริงและจำนวนจินตภาพรวมกันอยู่ ซึ่งจำเป็นต้องใช้วงจรไอควมอดูเลตเพื่อรวมข้อมูลทั้งสองชุดเข้าด้วยกัน แต่เราสามารถจัดเรียงข้อมูลก่อนจะถูกแปลงเป็นสัญญาณทางเวลาเพื่อให้ได้ผลลัพธ์อยู่ในรูปของจำนวนจริงเพียงอย่างเดียวได้ วิธีนี้มีข้อดีคือไม่จำเป็นต้องใช้วงจรไอควมอดูเลต แต่จำนวนพาหะที่ใช้ในการส่งข้อมูลจะลดลงครึ่งหนึ่ง ส่งผลให้ความเร็วในการส่งข้อมูลลดลงไปด้วย วิธีการจัดเรียงข้อมูลแบบนี้สามารถทำได้โดยการวางคู่คอนจูเกตของข้อมูลสัญลักษณ์ไว้ในตำแหน่งของพาหะที่เป็นคู่กัน และไม่ใส่ข้อมูลในตำแหน่งของพาหะที่มีความถี่สูงสุดดังรูปที่ 2-12



รูปที่ 2-12 แสดงการจัดเรียงข้อมูลเพื่อให้ได้ผลลัพธ์ในรูปจำนวนจริงเพียงอย่างเดียว

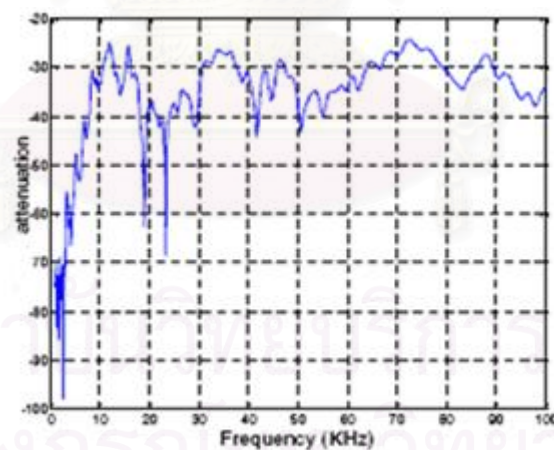
- เมื่อ  $k$  คือตำแหน่งของ subcarrier
- $N$  คือจำนวน subcarrier ทั้งหมด
- $S(n)$  คือข้อมูลที่อยู่ในคู่พาหะที่  $n$

## 2.5. การวัดผลตอบสนองทางความถี่ในสายส่งกำลัง



รูปที่ 2-13 การทดสอบผลตอบสนองทางความถี่

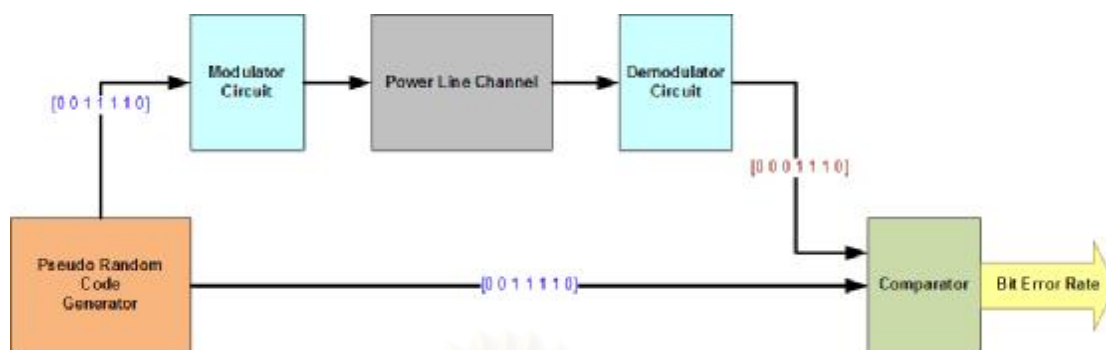
การวัดผลตอบสนองทางความถี่ในรูปที่ 2-13 ทำโดยการส่งสัญญาณความถี่กวาดที่ครอบคลุมช่วงความถี่ที่เราต้องการเข้าไปในสายส่งกำลังและวัดขนาดของสัญญาณที่รับได้จากเครื่องรับปลายทาง โดยขนาดสัญญาณที่ได้จะถูกนำไปแปลงให้อยู่ในรูปของสเปกตรัมทางความถี่ ด้วยวิธีการแปลงฟูริเยอร์อย่างรวดเร็ว (FFT: fast fourier transform) ดังรูปที่ 2-14



รูปที่ 2-14 ผลที่ได้จากการวัดผลตอบสนองทางความถี่

ผลที่ได้จากการวัดผลตอบสนองทางความถี่จะสามารถใช้ในการวิเคราะห์หาช่วงความถี่ที่เหมาะสมซึ่งจะใช้ในการสื่อสารผ่านทางสายส่งกำลัง โดยเราจะเลือกช่วงความถี่ที่มีผลตอบสนองทางความถี่เรียบเสมอกัน [7] เพื่อลดผลของการลดทอนสัญญาณบางช่วงความถี่และความผิดเพี้ยนของข้อมูลจากช่องสัญญาณ

## 2.6. การทดสอบอัตราการผลิตบิต (Bit Error Rate)



รูปที่ 2-15 วิธีการวัดอัตราการผลิตบิต

การวัดอัตราการผลิตบิตของข้อมูลจะทำโดยการจำลองส่งข้อมูลที่เป็นลำดับข้อมูลสุ่มแบบเทียม (Pseudo random code) ไปยังปลายทางโดยที่ปลายทางจะทำการเปลี่ยนเทียบข้อมูลที่ได้รับกับข้อมูลต้นฉบับว่ามีความถูกต้องมากน้อยเพียงใดดังรูปที่ 2-15

ซึ่งค่าความผิดพลาดบิตนั้นจะนำมาใช้ในการวิเคราะห์เพื่อหาค่าอัตราการส่งข้อมูลบิต (Bit rate) ที่มีประสิทธิภาพสูงที่สุดโดยการเปลี่ยนแปลงรูปแบบวิธีในการส่งข้อมูล ทั้งด้านกำลังส่ง ช่วงความถี่ที่ใช้ส่งข้อมูล วิธีการแปลงข้อมูลเป็นสัญญาณและจำนวนพาหะย่อยที่ใช้ ซึ่งทั้งหมดจะส่งผลต่อประสิทธิภาพในการรับส่งข้อมูลและสามารถเปลี่ยนแปลงอัตราการผลิตบิตได้

$$\text{อัตราการผลิตบิต} = \frac{\text{จำนวนบิตผิดพลาดทั้งหมด}}{\text{จำนวนบิตทั้งหมดที่ส่ง}}$$

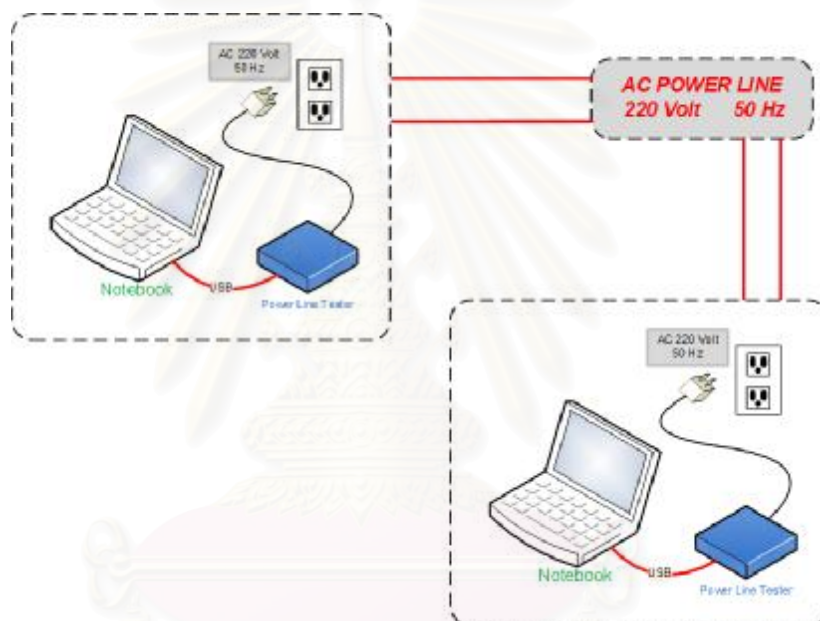
สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## บทที่ 3

### หลักการออกแบบเครื่องทดสอบ

#### 3.1. รายละเอียดโครงสร้างโดยรวมของเครื่องทดสอบ

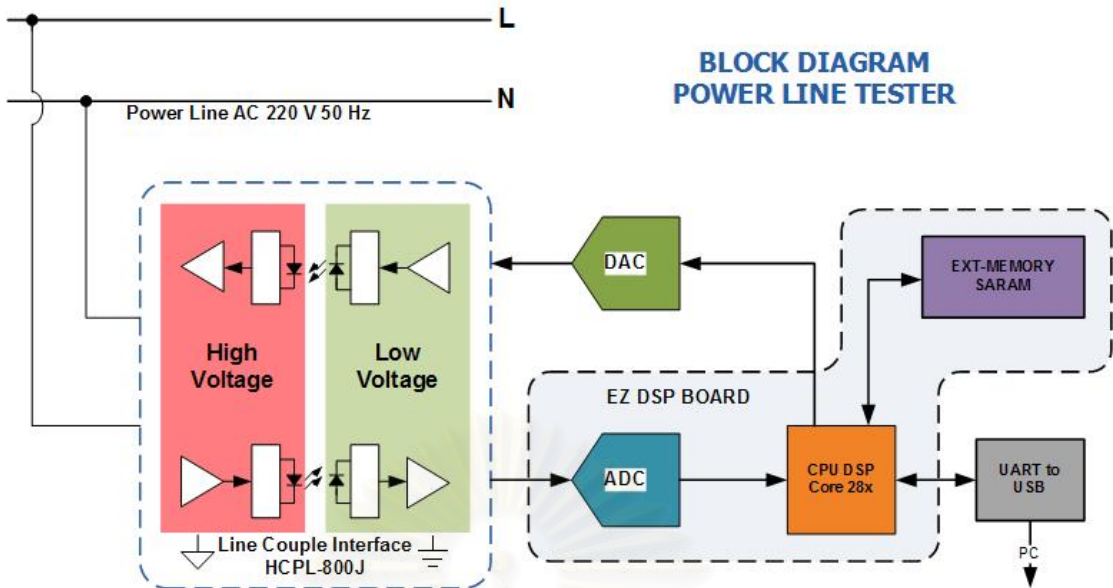
ในงานวิจัยนี้จะทำการออกแบบสร้างเครื่องมือที่ใช้ในการวัดและทดสอบคุณภาพของสายส่งกำลังในบริเวณที่ต้องการติดตั้งระบบ PLC เพื่อช่วยในการวิเคราะห์และออกแบบความถี่และวิธีการเข้ารหัสข้อมูลสำหรับระบบ PLC ให้เหมาะสมกับสภาพแวดล้อมบริเวณนั้นก่อนที่จะนำมาติดตั้ง ณ สถานที่จริง โดยลักษณะการทำงานของเครื่องจะเป็นดังรูปที่ 3-1



รูปที่ 3-1 ระบบการทำงานของเครื่อง Power Line Tester

ระบบของ Power Line Tester จะประกอบด้วยตัวเครื่องจำนวน 2 ชุด ซึ่งจะนำไปติดตั้ง ณ บริเวณที่ต้องการทดสอบ โดยตัวหนึ่งจะทำหน้าที่เป็นตัวส่งและอีกตัวจะทำหน้าที่เป็นตัวรับสัญญาณทดสอบ นอกจากนี้ทั้ง 2 เครื่องยังสามารถเชื่อมต่อกับเครื่องคอมพิวเตอร์เพื่อใช้ในการควบคุมการทำงานรวมทั้งแสดงผลการทดสอบและเก็บข้อมูลที่ได้

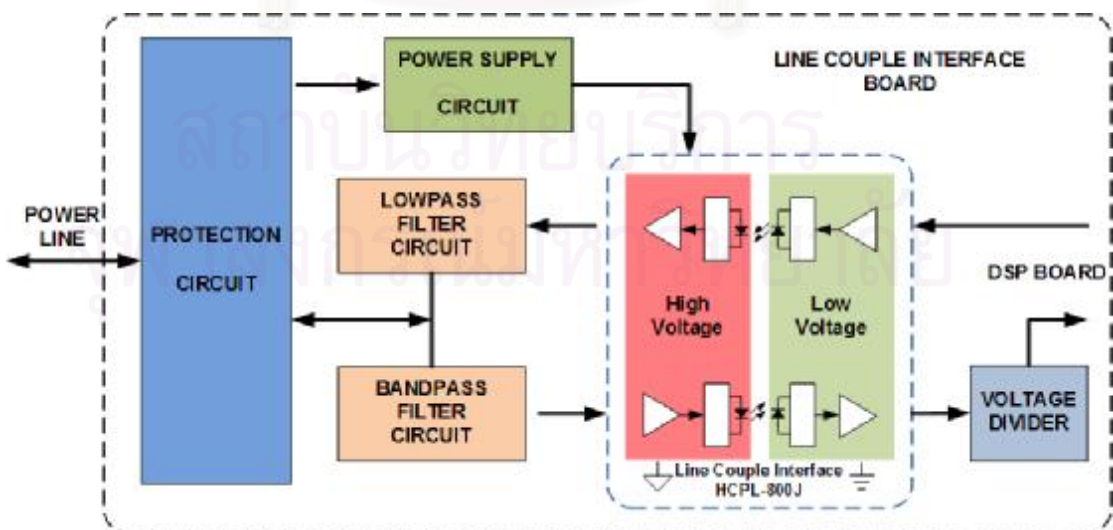
ตัวเครื่อง Power Line Tester จะประกอบด้วยโครงสร้างพื้นฐานที่สำคัญดังรูปที่ 3-2 คือ บอร์ด Line Couple Interface ซึ่งเป็นส่วนที่ติดต่อกับสายส่งกำลัง บอร์ดประมวลผลหลัก EzDSP Board ซึ่งติดต่อกับบอร์ด Line Couple Interface และบอร์ดย่อยอื่นๆ ได้แก่ บอร์ดแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก บอร์ดแปลงสัญญาณ UART เป็น USB เพื่อติดต่อกับเครื่องคอมพิวเตอร์ และบอร์ดเสริมหน่วยความจำภายนอกเพื่อเพิ่มหน่วยความจำให้กับเครื่อง



รูปที่ 3-2 แผนภาพแสดงรายละเอียดของเครื่อง Power Line Tester

3.2. รายละเอียดโครงสร้างของบอร์ด line couple interface

บอร์ด Line Couple Interface นี้เป็นส่วนที่ใช้ติดต่อรับส่งสัญญาณระหว่างบอร์ดประมวลผลหลักกับสายส่งกำลัง โดยบอร์ดนี้มีโครงสร้างที่สามารถแบ่งแยกส่วนภาคแรงดันสูงที่ติดต่อกับสายส่งกำลังออกจากส่วนภาคแรงดันต่ำที่ติดต่อกับบอร์ดประมวลผลหลักได้ โครงสร้างโดยรวมของบอร์ดนี้ประกอบด้วยวงจรป้องกันสำหรับภาคแรงดันสูง วงจรสร้างแรงดันไฟเลี้ยงสำหรับภาคแรงดันสูง วงจรรองความถี่สำหรับภาครับและภาคส่ง ไอซีคอปโตไอโซเลต HCPL-800J และวงจรปรับระดับแรงดัน ดังรูปที่ 3-3

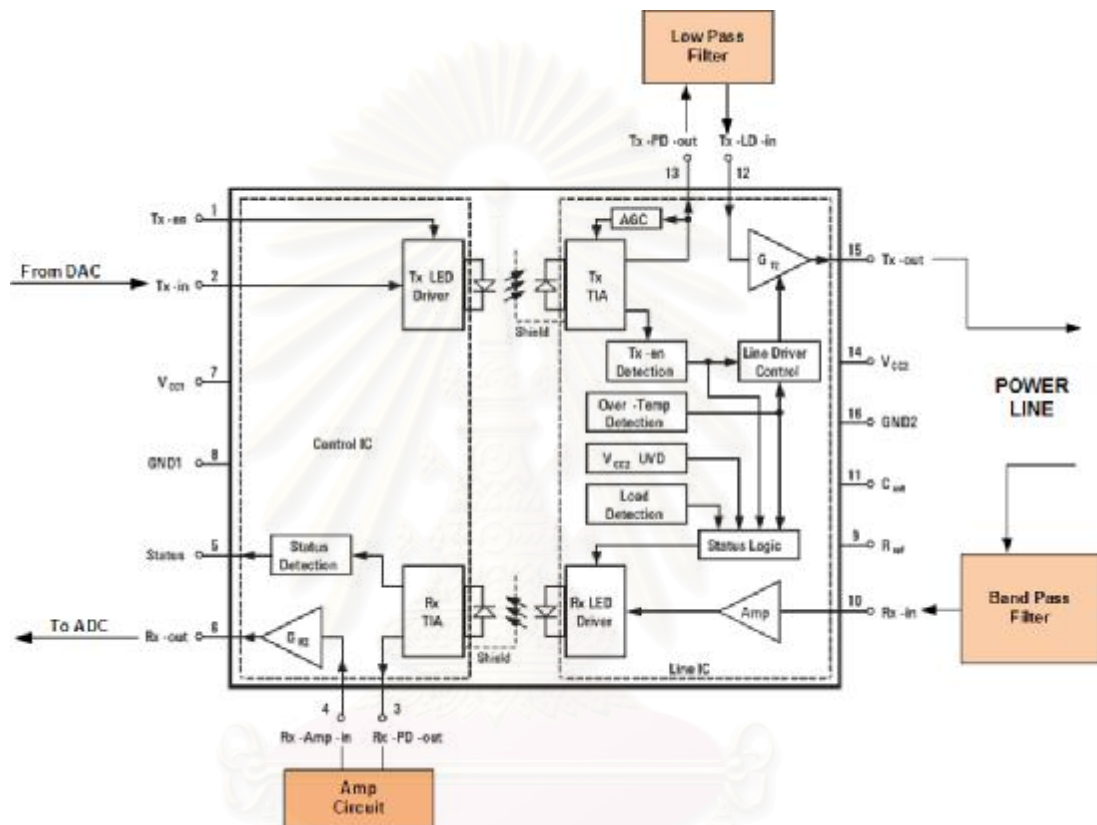


รูปที่ 3-3 โครงสร้างโดยรวมของบอร์ด Line Couple Interface



### 3.2.1. โครงสร้างภายในของ HCPL-800J ของ Agilent Technologies

โครงสร้างหลักของ HCPL-800J [9] จะประกอบด้วยวงจรรวมไอโซเลตโดยใช้แสงที่สามารถแบ่งส่วนแรงดันสูงและส่วนแรงดันต่ำออกจากกันได้ และวงจรรับสัญญาณ ซึ่งทำหน้าที่รับสัญญาณเข้าสู่สายส่งกำลัง จึงไม่จำเป็นต้องใช้หม้อแปลงในการสร้างสัญญาณส่งเข้าสู่สายส่งกำลัง นอกจากนี้ยังประกอบด้วยวงจรรวมควบคุมสถานะการทำงานในโหมดส่ง-รับสัญญาณ และตรวจสอบสถานะของสายส่งกำลังและแสดงผลออกทางขา status ดังรูปที่ 3-4



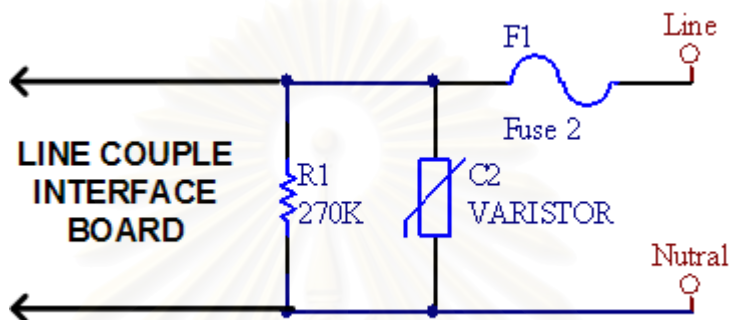
รูปที่ 3-4 แสดงโครงสร้างภายในของ HCPL-800J ที่มี Optical Coupling Isolator

ในขณะที่ทำหน้าที่ส่งสัญญาณ สัญญาณจาก DAC จะถูกส่งเข้าสู่ชิปทางขา Tx-in โดยมีขนาดกระแสสูงสุด 250  $\mu\text{A}$  ผ่านวงจรรอบโตภายในชิป ซึ่งสามารถตอบสนองของสัญญาณเข้าได้สูงสุด 1 MHz และถูกส่งออกทางขา Tx-PD เข้าสู่วงจรรองผ่านต่ำ (Low Pass Filter) ด้านบน และกลับเข้าสู่ชิปทางขา Tx-LD ซึ่งจะเข้าสู่วงจรรับสัญญาณซึ่งจะสร้างสัญญาณส่งเข้าสู่สายส่งกำลัง ซึ่งมีขนาดแรงดันสูงสุด 3 Vpp กระแสได้สูงสุด 2 A เมื่ออยู่ในโหมดรับสัญญาณวงจรรับสัญญาณจะหยุดการทำงานและอยู่ในสถานะความต้านทานขาเข้าสู่เพื่อลดผลกระทบต่อสัญญาณจากสายส่งกำลัง สัญญาณจากสายส่งกำลังจะผ่านวงจรรองผ่านช่วง (Band Pass Filter) เข้าสู่วงจรรขยายภายในชิปซึ่งสามารถปรับอัตราขยายได้สูงสุด 10 dB และเข้าสู่วงจรรอบโตซึ่งสามารถตอบสนองของสัญญาณเข้าได้สูงสุด 500 KHz และผ่านวงจรรขยายภายนอกที่ด้านแรงดัน

ต่ำ และถูกส่งเข้าสู่ ADC บนบอร์ดประมวลผลหลักต่อไป โดยขนาดสัญญาณจะขึ้นกับ วงจรขยาย ด้านแรงดันต่ำและมีขนาดสูงสุดประมาณ 5 Vpp และมีแรงดันไฟตรงที่ 2.27 V

### 3.2.2. ส่วนวงจรป้องกันภาคแรงดันสูง

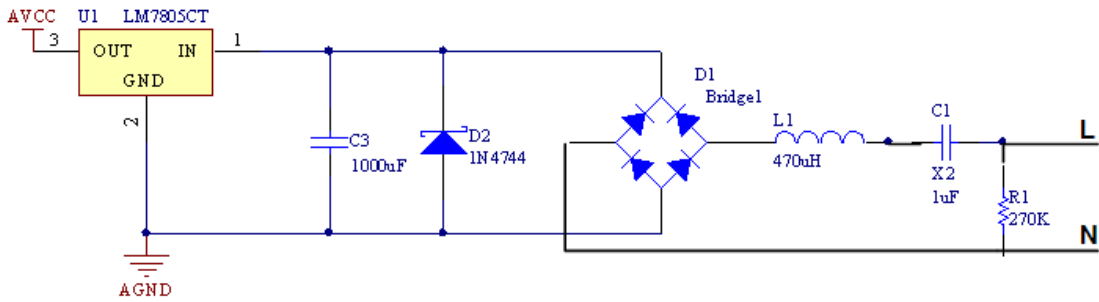
ประกอบด้วยฟิวส์ขนาด 500 mA ซึ่งต่ออยู่กับสาย L ของสายส่งกำลังเพื่อป้องกันไฟ ลัดวงจร และวาริสเตอร์ขนาด 275 V 71 จูล เพื่อป้องกันไฟกระชากจากภายนอกเข้าสู่วงจรบอร์ด Line Couple Interface ดังรูปที่ 3-5



รูปที่ 3-5 วงจรป้องกันภาคแรงดันสูง

### 3.2.3. ส่วนวงจรสร้างแรงดันไฟเลี้ยงของภาคแรงดันสูง

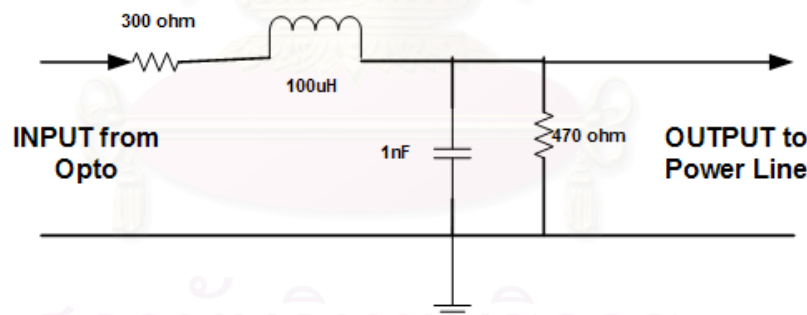
เนื่องจากบอร์ด line couple Interface เป็นบอร์ดซึ่งแยกส่วนวงจรแรงดันสูงออกจาก ส่วนวงจรแรงดันต่ำโดยส่วนแรงดันต่ำจะใช้ไฟเลี้ยงวงจรจากบอร์ดหลักซึ่งใช้แรงดัน 5 V ส่วนวงจร แรงดันสูงจะต้องใช้ไฟเลี้ยงจากสายส่งกำลัง จึงต้องมีวงจรไฟเลี้ยงอย่างง่ายอยู่ในส่วนแรงดันสูง เพื่อเลี้ยงวงจรภายในชิป โดยวงจรที่ใช้เป็นวงจรสร้างแรงดันที่ประกอบด้วยตัวเก็บประจุ (C) และ ตัวเหนี่ยวนำ (L) ซึ่งจะสร้างแรงดันไฟตรงที่มีช่วงการทำงานค่อนข้างกว้างขึ้นกับขนาดของโหลด และสามารถจ่ายกระแสได้สูงสุด 150 mA โดยจะได้แรงดัน 15 V ขณะทำงานในโหมดรับสัญญาณ และได้แรงดัน 10 V ขณะทำงานในโหมดส่งสัญญาณ จึงต้องผ่านวงจรแปลงแรงดันเหลือ 5 V เพื่อ เลี้ยงวงจรภายในชิปดังรูปที่ 3-6



รูปที่ 3-6 วงจรสร้างแรงดันไฟเลี้ยงภาคแรงดันสูง

### 3.2.4. ส่วนวงจรกรองผ่านต่ำของภาคส่ง

ช่วงความถี่ของสัญญาณที่เราใช้สื่อสารในงานวิจัยนี้อยู่ในช่วง 1-400 KHz ซึ่งถูกสร้างจากบอร์ด DAC แต่วงจรออปโตภายในชิปสามารถส่งผ่านสัญญาณที่มีช่วงความถี่ได้ถึง 1 MHz ดังนั้นสัญญาณที่ออกจากวงจรออปโตจึงสามารถถูกรบกวนได้จากสัญญาณรบกวนภายนอก ซึ่งมีความถี่ในช่วงการทำงานของออปโต จึงต้องมีวงจรกรองผ่านความถี่ต่ำซึ่งทำหน้าที่ตัดสัญญาณรบกวนความถี่สูงของสัญญาณที่ออกจากชิปหลังจากผ่านวงจรออปโตแล้วก่อนจะเข้าสู่วงจรขับกระแสเพื่อสร้างสัญญาณส่งไปในสายส่งกำลัง วงจรกรองที่ใช้เป็นวงจรกรองผ่านความถี่ต่ำอันดับสองดังรูปที่ 3-7 มีช่วงการทำงานอยู่ประมาณ 0-500 KHz และมีความถี่ตัดที่ 650 KHz เนื่องจากต้องการให้วงจรกรองมีผลต่อสัญญาณที่ส่งน้อยที่สุด

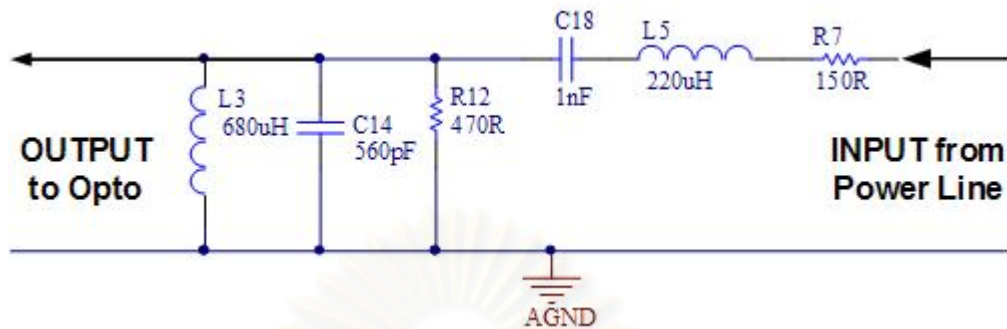


รูปที่ 3-7 วงจรกรองผ่านต่ำของภาคส่ง

### 3.2.5. ส่วนวงจรกรองผ่านช่วงของภาครับ

ช่วงความถี่ของสัญญาณที่ได้จากสายส่งกำลังนั้นมีช่วงกว้างมาก แต่สัญญาณที่เราใช้สื่อสารในงานวิจัยนี้มีช่วงความถี่ที่ 1-400 KHz ดังนั้นสัญญาณที่อยู่นอกช่วงความถี่ดังกล่าวจึงเป็นสัญญาณรบกวนสำหรับภาครับสัญญาณ จึงจำเป็นต้องมีวงจรกรองเพื่อกรองสัญญาณความถี่อื่น ๆ ซึ่งไม่ได้อยู่ในช่วงความถี่ที่เราสนใจออกจากสัญญาณที่ได้รับก่อนเข้าสู่วงจรออปโตภายในชิปต่อไป วงจรกรองที่ใช้ในภาครับสัญญาณเป็นวงจรกรองความถี่แบบช่วงดังรูปที่ 3-8 มีช่วงการทำงานที่ความถี่ 100 – 450 KHz และมีความถี่ตัดอยู่ที่ 60 KHz และ 600 KHz เนื่องจาก

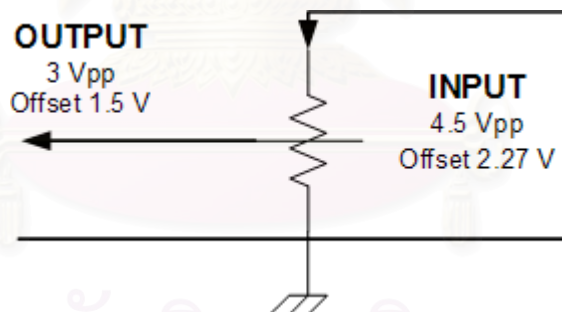
ต้องการใช้ช่วงการทำงานของวงจรรองที่เป็นระนาบและลดผลของสัญญาณรบกวนจากวงจรแปลงผันกำลังซึ่งมีความถี่ประมาณ 50 KHZ และมีขนาดใหญ่ซึ่งสามารถทำให้วงจรรอบโตอึดมตัวได้ซึ่งจะมีผลต่อการรับสัญญาณในขณะนั้น



รูปที่ 3-8 วงจรรองผ่านช่วงของภาครับ

### 3.2.6. ส่วนวงจรปรับระดับแรงดันของภาครับ

เนื่องจากแรงดันออกจากภาครับของ HCPL-800J มีขนาดประมาณ 4.5 Vpp และมีค่าเริ่มต้นอยู่ที่ 2.27 V ซึ่งใหญ่กว่าช่วงการทำงานของ ADC จึงต้องมีวงจรปรับระดับแรงดันสัญญาณก่อนที่จะส่งไปยัง ADC เพื่อให้สามารถทำงานร่วมกันได้โดยจะให้สัญญาณมีขนาด 3 Vpp มีค่าเริ่มต้นอยู่ที่ 1.5 V ดังรูป

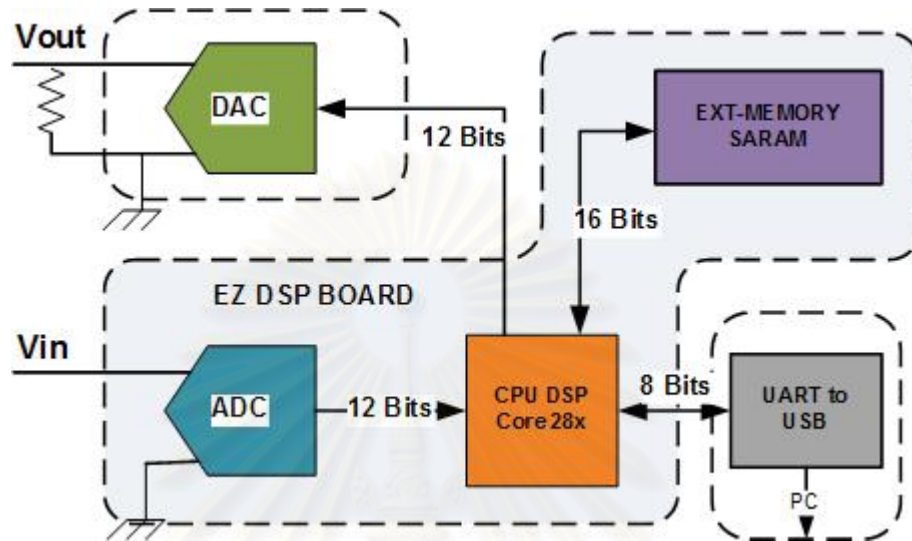


รูปที่ 3-9 วงจรปรับระดับแรงดันของภาครับ

### 3.3. รายละเอียดโครงสร้างของบอร์ดประมวลผลหลัก

บอร์ดประมวลผลหลักประกอบด้วยบอร์ด EzDSP ซึ่งจะมี DSP CHIP สำหรับควบคุมการทำงานทั้งหมดบนบอร์ดและภายในยังประกอบด้วยวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณเชิงเลข บนบอร์ดหลักนั้นมีหน่วยความจำชั่วคราวภายนอก (RAM) สำหรับชิปประมวลผลมีขนาด 64K x 16 Bit และพอร์ตสำหรับการสื่อสารแบบ UART และมีพอร์ตเชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ (GPIO) ซึ่งใช้ติดต่อกับบอร์ดย่อยซึ่งมีวงจรแปลงสัญญาณเชิงเลขเป็น

สัญญาณแอนะล็อก และบอร์ดย่อยสำหรับเปลี่ยนการเชื่อมต่อแบบ (Universal Asynchronous Receiver/Transmitter: UART) เป็น (Universal Serial Bus: USB) เพื่อใช้ติดต่อรับส่งข้อมูลกับเครื่องคอมพิวเตอร์ และมีบอร์ดเสริมสำหรับเพิ่มหน่วยความจำภายนอกได้สูงสุด 512K x 16 Bit ดังรูปที่ 3-10

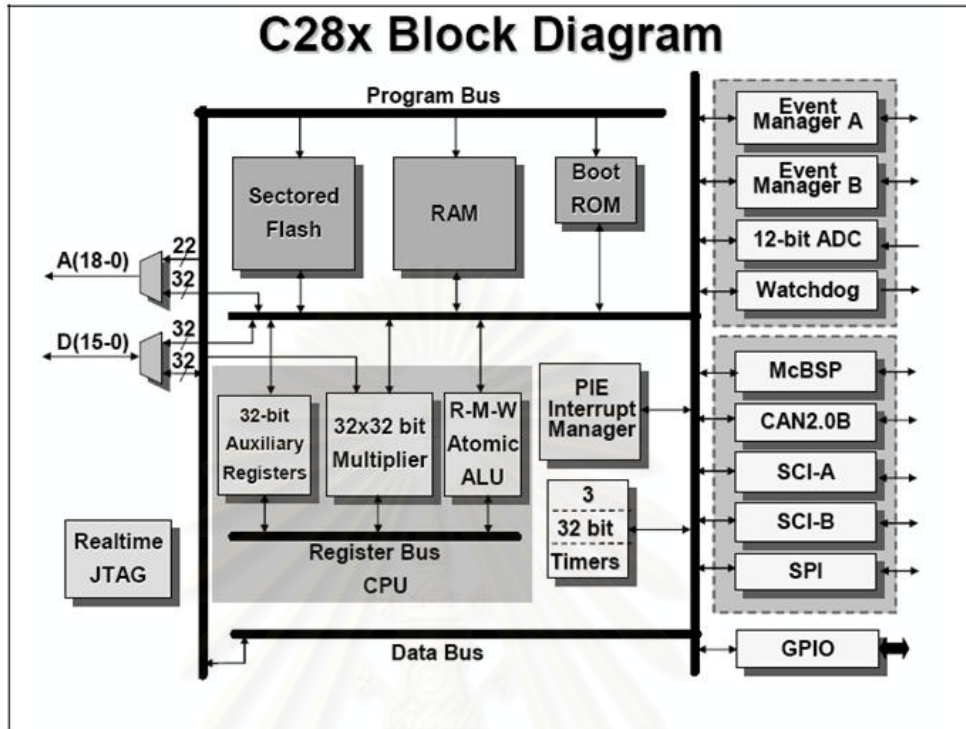


รูปที่ 3-10 โครงสร้างรวมของบอร์ดหลัก

### 3.3.1. ส่วนประมวลผลภาคดิจิทัล

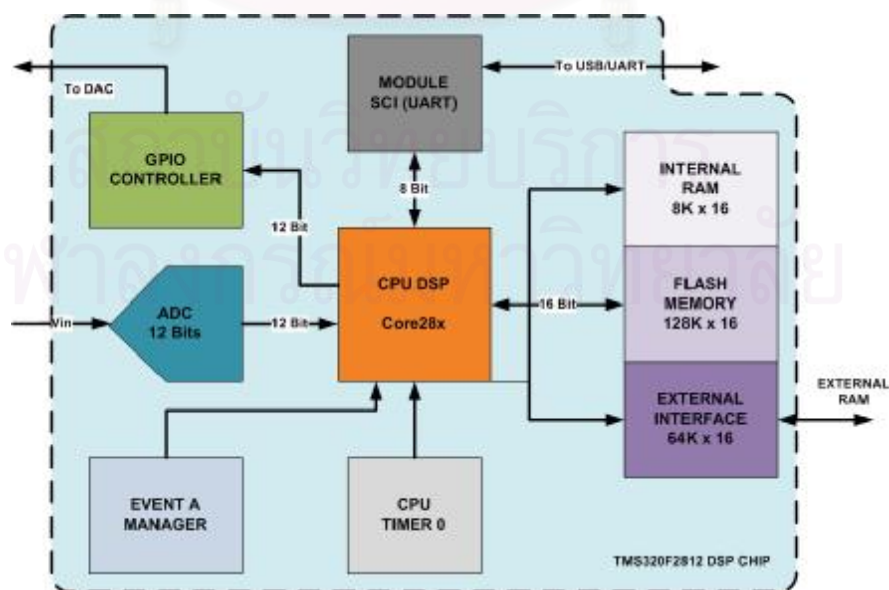
ใช้ชิปประมวลผล TMS320F2812 ของ Texas Instrument [11] ซึ่งมีความเร็วในการทำงาน 150 MHz มีหน่วยประมวลผลขนาด 32 Bit มีหน่วยความจำภายในและภายนอกหลายชนิด โดยมีโครงสร้างสถาปัตยกรรมแบบฮาร์วาร์ด (Harvard Bus Architecture) ซึ่งจะแยกบัสของหน่วยความจำสำหรับโปรแกรมและหน่วยความจำสำหรับข้อมูลออกจากกัน ทำให้สามารถดึงข้อมูลและคำสั่งเข้าสู่วงจรประมวลผลได้ในเวลาเดียวกัน แต่เนื่องจากตำแหน่งข้อมูลในหน่วยความจำของทั้งสองชนิดเป็นที่เดียวกันทำให้สามารถใช้หน่วยความจำทั้งหมดสำหรับเก็บข้อมูลหรือโปรแกรมได้ โดยแอดเดรสของหน่วยความจำสำหรับโปรแกรมมีขนาด 22 บิต และแอดเดรสของหน่วยความจำสำหรับข้อมูลมีขนาด 32 บิต มีโมดูลทำหน้าที่ควบคุมเกี่ยวกับเวลาหลายชุดได้แก่ CPU TIMER, EVENT A MANAGER, EVENT B MANAGER และ WATCHDOG มีวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital Converter, ADC) ความละเอียด 12 บิต อยู่ภายในนอกจากนั้นยังมีโมดูลที่ใช้ในการติดต่อสื่อสารที่จำเป็นได้แก่ ตัวต่อประสานรอบนอกแบบอนุกรม (Serial Peripheral Interface: SPI), ตัวต่อประสานการสื่อสารแบบอนุกรม (Serial Communications Interfaces: SCIs, UART) โมดูลสำหรับเชื่อมต่อกับ

หน่วยความจำภายนอก และมีพอร์ตสำหรับติดต่อกับอุปกรณ์ภายนอก (GPIO) ดังรูปที่ 3-11 ต่อไปนี้



รูปที่ 3-11 โครงสร้างภายในของ DSP TMS320F2812

โครงสร้างภายในชิปประมวลผลและโมดูลภายในที่ถูกใช้ในเครื่องวัด เพื่อทำการประมวลผลและควบคุมการทำงานของบอร์ดหลักและใช้ส่งข้อมูลติดต่อสื่อสารกับบอร์ดย่อยอื่นๆ แสดงในรูปที่ 3-12 ด้านล่างนี้



รูปที่ 3-12 แสดงการรับส่งข้อมูลภายในชิป

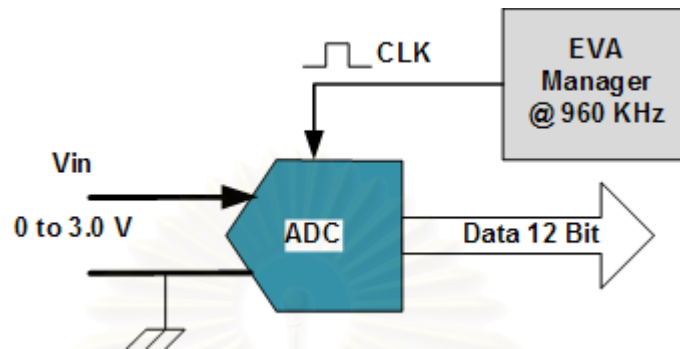
การทำงานภายในชิปประมวลผลสัญญาณดิจิทัล TMS320F2812 ได้แก่

- GPIO Controller ใช้ในการติดต่อสื่อสารกับบอร์ด DAC เพื่อควบคุมการทำงานของ DAC ให้สามารถสร้างสัญญาณส่งไปยัง Line Couple Interface board โดยแบ่งเป็นขาสำหรับส่งข้อมูลขนาด 12 Bit แบบขนาน และขาสำหรับสัญญาณควบคุมชิป DAC ได้แก่สัญญาณ CLK และ CS
- ADC ใช้รับค่าสัญญาณแอนะล็อกจากบอร์ด Line Couple Interface เพื่อแปลงเป็นข้อมูลเชิงเลขเพื่อใช้ประมวลผลต่อไป โดยความเร็วในการแปลงค่าสัญญาณ 6.25 MHz และให้ทำการสุ่มค่าแรงดันสัญญาณตามที่ตั้งไว้ใน EVA MANAGER
- EVA MANAGER ใช้ควบคุมจังหวะการทำงานของ ADC และ DAC ให้ทำงานด้วยความเร็วคงที่สม่ำเสมอ โดยจะให้ทำงานด้วยความถี่ 960 KHz
- CPU TIMER 0 ใช้ควบคุมการหน่วงเวลาการทำงานของหน่วยประมวลผล และใช้ตั้งเวลาสำหรับการสื่อสารกับคอมพิวเตอร์มีความละเอียดขนาด 32 บิต
- MODULE SCI ใช้ควบคุมและจัดการการติดต่อสื่อสารระหว่างบอร์ดประมวลผลกับเครื่องคอมพิวเตอร์ โดยใช้ความเร็วในการรับส่งข้อมูล 460800 Bit/s
- หน่วยความจำชั่วคราวภายใน (RAM) ซึ่งแบ่งเป็นบล็อกย่อยๆหลายชุดมีขนาดและความเร็วในการทำงานไม่เท่ากันใช้สำหรับเก็บข้อมูลและโปรแกรมแต่ละชนิด ได้แก่ บล็อก H0 มีขนาด 8K x 16Bit มีขนาดใหญ่ที่สุดและมีความเร็วสูงที่สุด ใช้เก็บข้อมูลและส่วนของโปรแกรมที่ต้องการความรวดเร็วในการทำงานสูง บล็อก M0 มีขนาด 1K x 16Bit ใช้สำหรับเก็บตัวแปร global บล็อก M1 มีขนาด 1K x 16Bit ใช้สำหรับหน่วยความจำที่เป็นชั้น (Stack) บล็อก L0 มีขนาด 4K x 16Bit ใช้เก็บโปรแกรมที่ต้องการทำงานด้วยความเร็วสูง
- หน่วยความจำถาวรภายในชนิด Flash memory ขนาด 120K x 16Bit ใช้เก็บโปรแกรมในขณะที่เริ่มต้นทั้งหมดของบอร์ดมีความเร็วในการทำงานไม่สูงนัก
- หน่วยความจำชั่วคราวภายนอก มีขนาดเริ่มต้น 64K x 16Bit และสามารถเพิ่มเติมได้อีก 512K x 16Bit โดยใช้บอร์ดเสริมหน่วยความจำภายนอก ใช้สำหรับเก็บข้อมูลจาก ADC หรือเก็บข้อมูลที่ได้รับจากเครื่องคอมพิวเตอร์ก่อนที่จะส่งต่อไปยังวงจร DAC

### 3.3.1. ส่วนวงจร ADC สำหรับภาครับ

ใช้วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลภายในตัว DSP CHIP ซึ่งเป็นชนิด sample and hold มีความละเอียดขนาด 12 บิต มีความเร็วสูงสุดในการแปลงสัญญาณ 12.5 Msps ซึ่งในงานวิจัยนี้ตั้งความเร็วในการแปลงสัญญาณไว้ที่ 6.25 Msps โดยอาศัยสัญญาณนาฬิกาภายในชิปในการควบคุม สามารถติดต่อควบคุมการทำงานผ่านทางรีจิสเตอร์ภายในชิป มี

โหมดการทำงานได้หลายแบบซึ่งในงานวิจัยนี้เลือกทำงานในโหมด single sequence start stop โดยใช้สัญญาณเวลาจาก EVENT A MANAGER เป็นตัวกระตุ้นการทำงาน และตั้งความเร็วในการอ่านค่าไว้ที่ 960 KHz ซึ่งเพียงพอต่อการวัดสัญญาณในช่วงความถี่ 1-400 KHz และสามารถรับสัญญาณแอนะล็อกที่มีขนาด 0-3 V ดังรูปที่ 3-13



รูปที่ 3-13 การทำงานของวงจร ADC

การคำนวณค่าเชิงเลขที่ได้จาก ADC ทำได้จากสมการต่อไปนี้

$$\text{ค่าจาก ADC} = \frac{V_{in}}{V_{ref}} \times 2^{12}$$

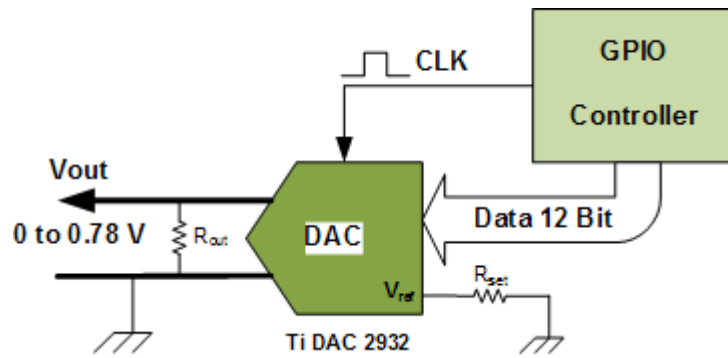
เมื่อ  $V_{in}$  = แรงดันอินพุตที่เข้า ADC

$V_{ref}$  = แรงดันอ้างอิงของ ADC มีค่าเท่ากับ 3 V

### 3.3.2. ส่วนวงจร DAC สำหรับภาคส่ง [12]

วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อกใช้ชิป DAC2932 มีความเร็วสูงสุด 40 Msps มีความละเอียด 12 บิต สามารถสร้างสัญญาณออกได้พร้อมกัน 2 ช่อง และทำงานได้ในโหมด Singleend และ Differential ในโหมดกระแส ซึ่งในงานวิจัยนี้จะใช้เพียงช่องสัญญาณเดียว และทำงานในโหมด Singleend โดยมีช่วงการทำงานของวงจร 0-0.78 V สามารถติดต่อควบคุมการทำงานโดยรับค่าแรงดันเป็นข้อมูล 12 บิต แบบขนานและใช้สัญญาณที่ขา CLK และ CS เป็นตัวควบคุมจังหวะการอ่านข้อมูลและการเปลี่ยนแปลงสัญญาณออก ตั้งความเร็วในการแปลงสัญญาณไว้ที่ 2.0 MHz ในโหมดสร้างสัญญาณความถี่กวาด และความเร็วที่ 1.6 MHz ในโหมดสร้างสัญญาณทดสอบสายส่งกำลัง และความเร็วที่ 960 KHz ในโหมดส่งสัญญาณแบบโอเอพีดีเอ็ม มีวงจรการทำงานดังรูปที่ 3-14





รูปที่ 3-14 การทำงานของ DAC

การคำนวณค่าแรงดันขาออกที่ได้จาก DAC สามารถคำนวณได้จากสมการต่อไปนี้

$$V_{out} = I_{out} \times R_{out}$$

$$I_{out} = I_{full\ scale} \times \left( \frac{dac\_value}{2^{12}} \right)$$

$$I_{full\ scale} = 32 \times \left( \frac{V_{ref}}{R_{set}} \right)$$

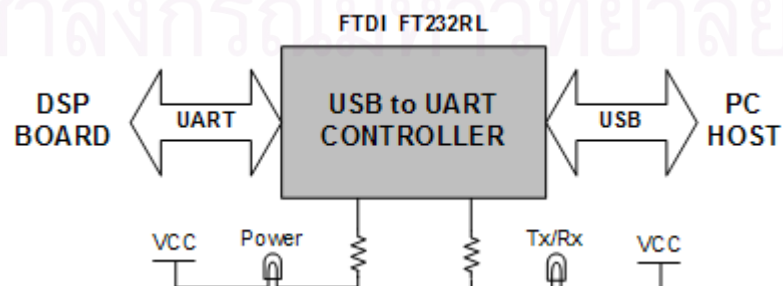
เมื่อ  $dac\_value$  = ค่าเชิงเลขที่ต้องการ

$V_{ref}$  = แรงดันอ้างอิงของ DAC มีค่าเท่ากับ 1.22 V

$R_{set}$  = ความต้านทานสำหรับเลือกกระแสออกสูงสุด

### 3.3.3. ส่วนติดต่อกับคอมพิวเตอร์ผ่านพอร์ท USB

การติดต่อกับเครื่องคอมพิวเตอร์ทำได้โดยการสื่อสารผ่านทางโมดูล SCI (UART) ซึ่งอยู่ในของชิปประมวลผล โดยข้อมูลจากบอร์ดประมวลผลหลักซึ่งเป็น UART จะถูกแปลงเป็นการสื่อสารผ่านทางพอร์ท USB ด้วยชิป FT232RL ซึ่งอยู่บนบอร์ด UART to USB สามารถรับส่งข้อมูลได้ความเร็วสูงสุดประมาณ 1 Mbps มีโครงสร้างดังรูปที่ 3-15



รูปที่ 3-15 โครงสร้างการทำงานของ USB to UART

## บทที่ 4

### โครงสร้างโปรแกรมบนบอร์ด DSP และบนคอมพิวเตอร์

#### 4.1. โปรแกรมบนบอร์ด DSP

โปรแกรมบนบอร์ด DSP ในเครื่องทดสอบนี้ใช้ภาษาซีในการพัฒนา ซึ่งเขียนด้วยโปรแกรม Code Composer Studio: CCS ของ Texas Instruments ผู้ผลิตชิปประมวลผลที่เราเลือกใช้ ในขั้นตอนของการพัฒนาโปรแกรมที่เขียนขึ้นจะถูกแปลงเป็นภาษาฮาร์ดแวร์และถูกโปรแกรมลงบนแรมซึ่งอยู่ในตัวชิปและทดสอบการทำงานและหาจุดบกพร่องของโปรแกรมเพื่อทำการแก้ไขปรับปรุงให้ดีขึ้น เมื่อทำแก้ไขโปรแกรมจนเสร็จสมบูรณ์แล้วจึงทำการโปรแกรมลงในหน่วยความจำชนิดแฟลตซึ่งอยู่ในตัวชิป เพื่อให้สามารถนำไปใช้งานได้ทันทีโดยไม่ต้องโหลดโปรแกรมใหม่ทุกครั้งที่เปิดเครื่อง

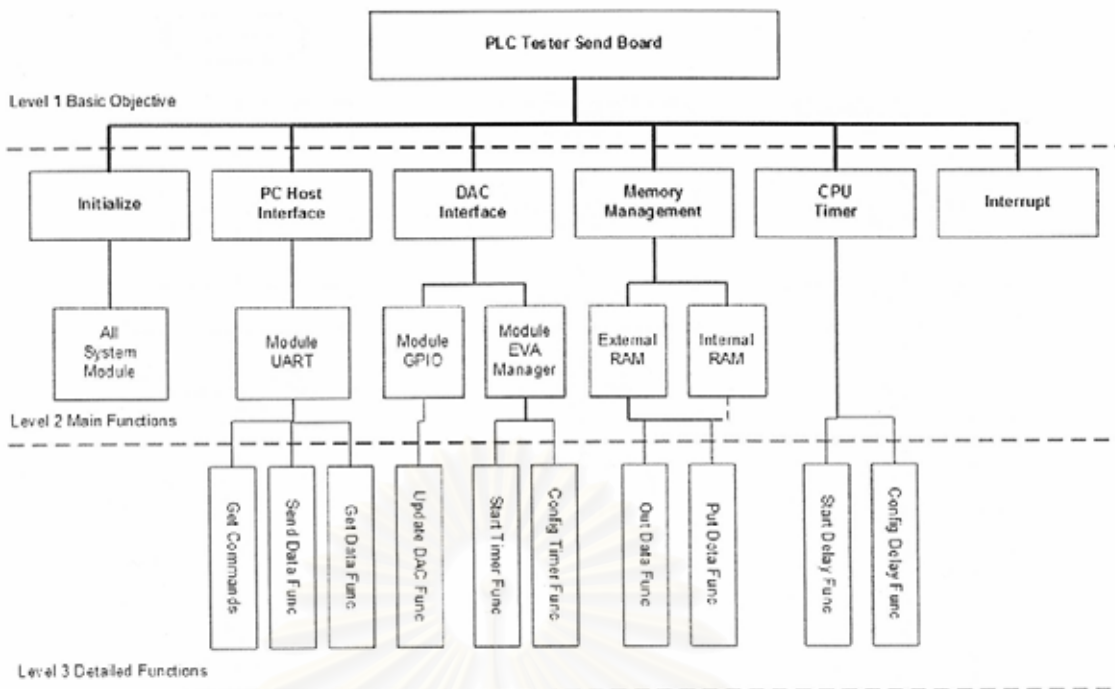
โปรแกรมบนบอร์ด DSP ถูกแบ่งออกเป็น 2 ชุดคือ โปรแกรมที่ใช้สำหรับควบคุมการทำงานของบอร์ดที่ใช้ส่งสัญญาณ และโปรแกรมที่ใช้สำหรับควบคุมการทำงานของบอร์ดที่รับสัญญาณ เนื่องจากขนาดของหน่วยความจำภายในชิป (Internal RAM) มีจำกัดและการตั้งค่าการทำงานของโมดูลบางตัวภายในชิปมีความแตกต่างกัน จึงไม่สามารถรวมทั้งสองโปรแกรมให้ทำงานอยู่ได้เป็นโปรแกรมเดียว

##### 4.1.1. โปรแกรมสำหรับส่งสัญญาณ

โปรแกรมบนบอร์ด DSP ในส่วนนี้จะทำหน้าที่หลักคือการรับข้อมูลที่จะทำการทดสอบจากเครื่องคอมพิวเตอร์ผ่านทางพอร์ตการเชื่อมต่อแบบอนุกรม (UART) และควบคุมการทำงานของบอร์ด DAC ให้ทำการสร้างสัญญาณทดสอบตามคำสั่งที่ได้รับจากเครื่องคอมพิวเตอร์

##### 4.1.1.1. โครงสร้างโปรแกรมส่งสัญญาณ

โปรแกรมระดับบนสุดได้แก่การกำหนดค่าเริ่มต้นให้กับรีจิสเตอร์ การควบคุมการติดต่อกับเครื่องคอมพิวเตอร์ผ่านทางโมดูล UART การจัดการกับข้อมูลที่ได้รับและส่งออกจากหน่วยความจำภายในและหน่วยความจำภายนอก การติดต่อควบคุมการทำงานของ DAC โดยอาศัย GPIO และ EVENTA MANAGER การควบคุม CPU TIMER และการทำงานของ Interrupt โดยที่โมดูลในระดับ 2 จะทำการเรียกใช้งานฟังก์ชันที่อยู่ในระดับ 3 ดังรูปที่ 4-1

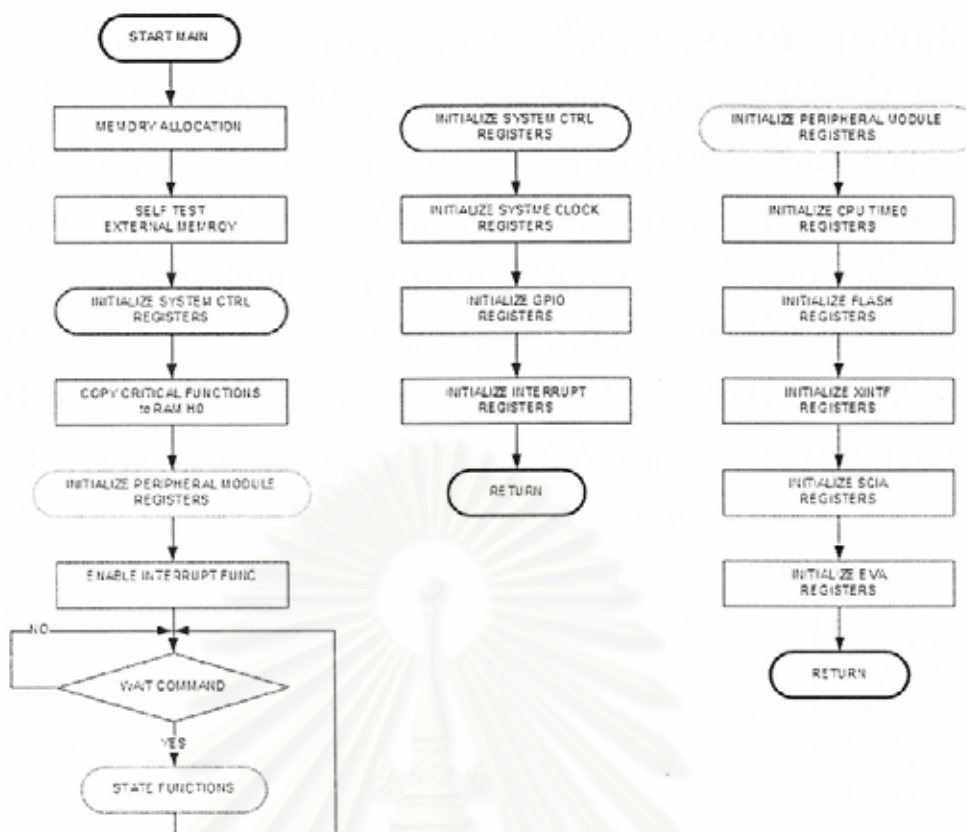


รูปที่ 4-1 โครงสร้างโปรแกรมส่งสัญญาณ

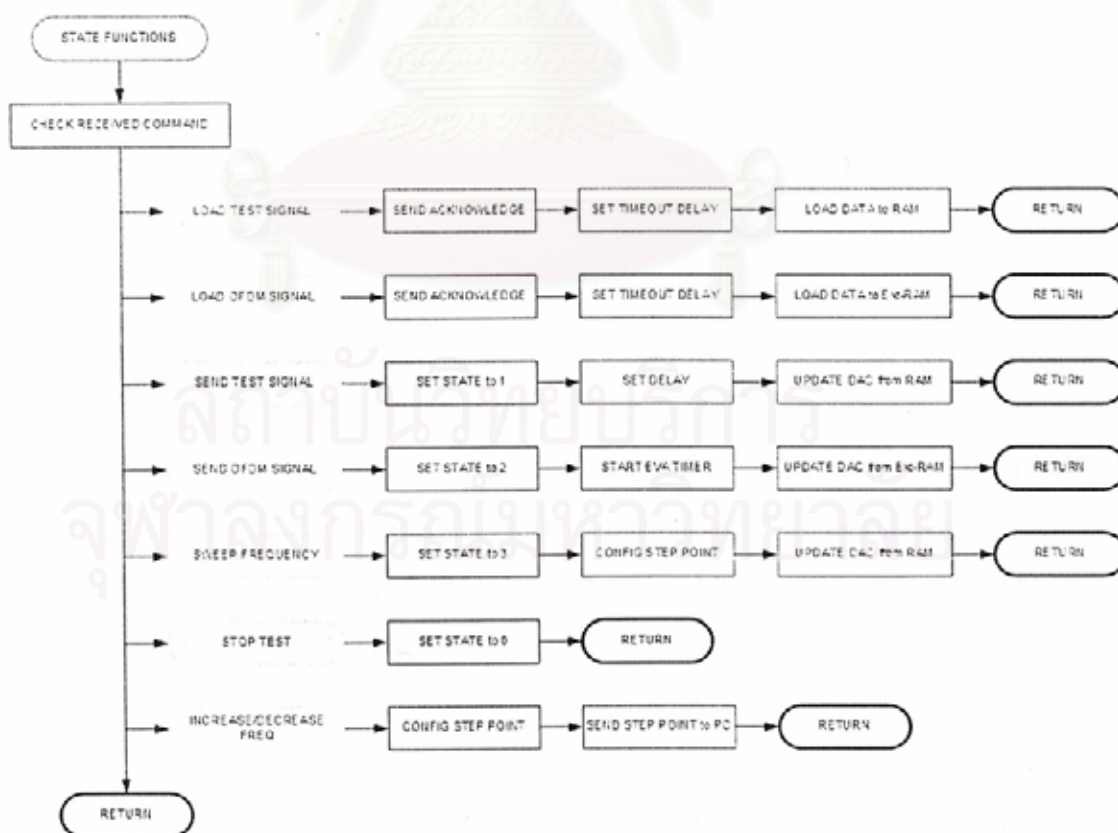
#### 4.1.1.2. การทำงานของโปรแกรมส่งสัญญาณ

การทำงานเริ่มต้นจะทำการจองพื้นที่หน่วยความจำตามที่กำหนดไว้ในโปรแกรมและตรวจสอบหน่วยความจำภายนอกที่จะใช้เก็บข้อมูล และกำหนดค่าเริ่มต้นให้กับรีจิสเตอร์ที่ควบคุมการทำงานของระบบได้แก่ SYSTEM CLOCK, GPIO และอินเทอร์รัพท์ จากนั้นจะทำการก๊อปปี้ฟังก์ชันที่ต้องการความเร็วในการทำงานสูงจากหน่วยความจำประเภทแฟลตไปไว้ในหน่วยความจำชั่วคราวภายใน (RAM LO) และทำการกำหนดค่าเริ่มต้นให้กับรีจิสเตอร์ของอุปกรณ์รอบข้าง (Peripheral Module) ได้แก่ CPU TIMER0, EVENT MANAGER, SCI และกำหนดความเร็วในการเชื่อมต่อกับหน่วยความจำภายนอก และเปิดการทำงานของอินเทอร์รัพท์ แล้วเข้าสู่โหมดการรอคอยคำสั่งดังรูปที่ 4-2

เมื่อได้รับคำสั่งจากเครื่องคอมพิวเตอร์โปรแกรมจะข้ามไปทำงานในโหมดที่ได้รับคำสั่งมาจนเสร็จแล้วกลับมาตั้งต้นในสถานะรอคอยคำสั่งอีกครั้งดังรูปที่ 4-3

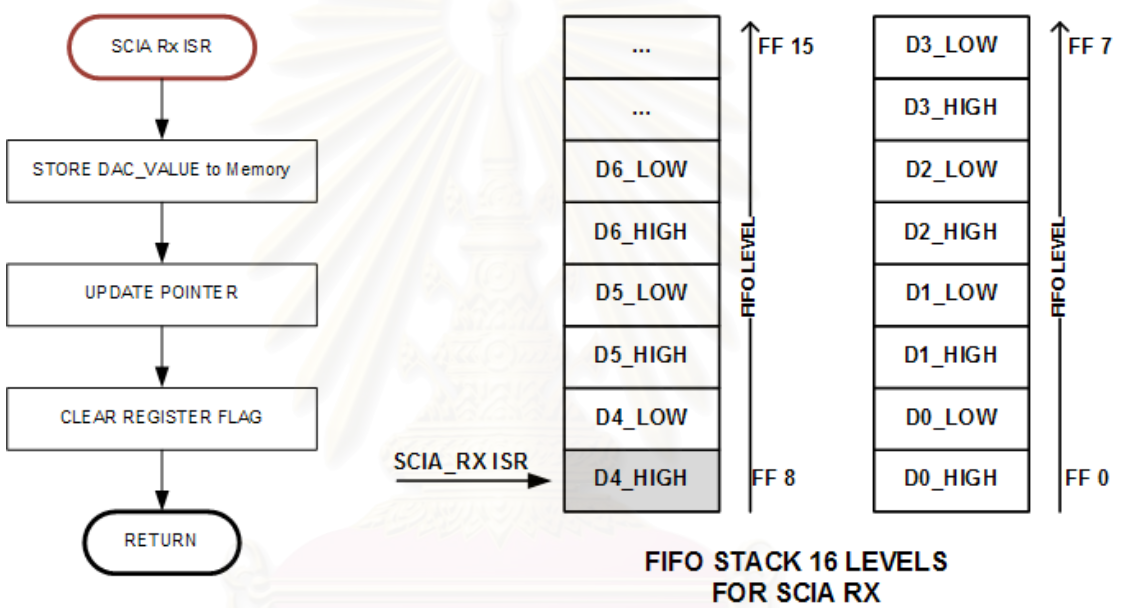


รูปที่ 4-2 แผนผังการทำงานของโปรแกรม



รูปที่ 4-3 แผนผังการทำงานของโปรแกรมในแต่ละโหมด

ในโหมดการทำงานโหนดสัญญาณทดสอบ เมื่อได้รับคำสั่งจะส่งข้อความตอบรับกลับไป และกำหนดช่วงเวลาสำหรับโหนดข้อมูล และเริ่มทำการรับข้อมูลและจัดเก็บไว้ในหน่วยความจำที่สำรองไว้ โดยข้อมูลที่โหนดเข้ามาจะเป็นค่าจุดของสัญญาณที่ต้องการทดสอบ ในโหมดการโหนดสัญญาณไอเอฟดีเอ็มจะทำงานคล้ายกันแต่จะจัดเก็บข้อมูลไว้ในหน่วยความจำภายนอกซึ่งมีขนาดใหญ่กว่าแทน ขั้นตอนในการโหนดข้อมูลจากเครื่องคอมพิวเตอร์โปรแกรมจะทำงานการเก็บข้อมูลในฟังก์ชันอินเทอร์รัพท์ และเก็บข้อมูลครั้งละ 4 ค่าเพื่อความเร็วและต่อเนื่องในการรับข้อมูลดังรูปที่ 4-4 ข้อมูลจากเครื่องคอมพิวเตอร์จะถูกเก็บไว้ในบัฟเฟอร์ชั้นล่างเพิ่มขึ้นเรื่อยๆเมื่อเก็บจนถึงระดับที่ 9 โปรแกรมจะเข้าไปทำงานในฟังก์ชันอินเทอร์รัพท์ซึ่งจะอ่านข้อมูล 8 ตัวแรกมาสร้างเป็นข้อมูล 16 บิตขนาดจำนวน 4 ชุดเพื่อเก็บไว้ในหน่วยความจำ

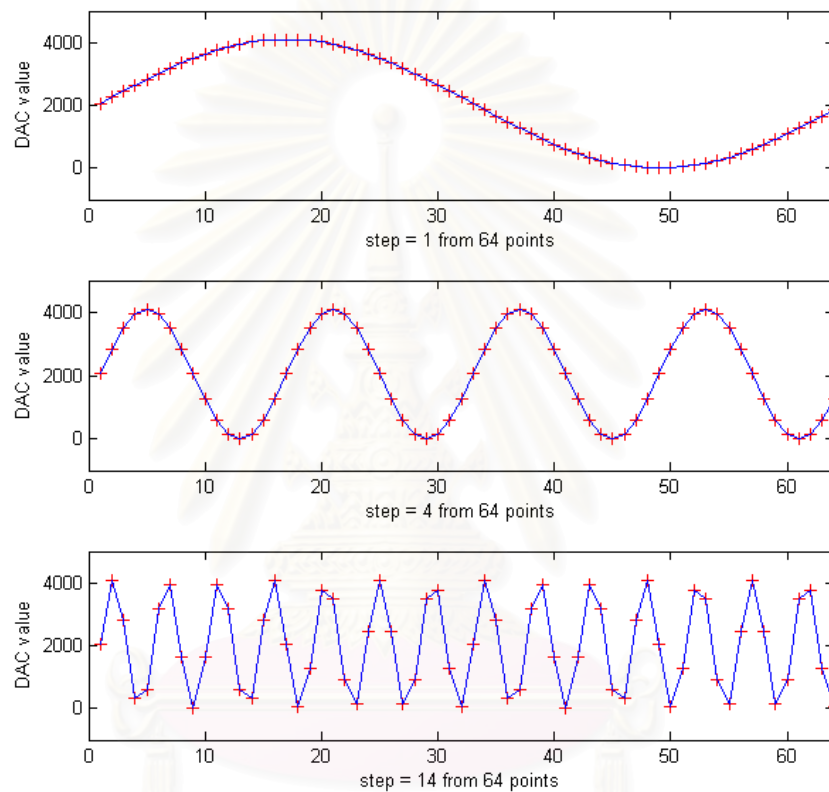


รูปที่ 4-4 การทำงานของ SCIA Rx FIFO interrupt

ในโหมดส่งสัญญาณทดสอบโปรแกรมจะถูกตั้งค่าสถานะไว้ที่ 1 และโปรแกรมจะเริ่มส่งค่าที่เก็บอยู่ในหน่วยความจำซึ่งมีจำนวน 1024 ค่าไปยัง DAC เพื่อทำการสร้างสัญญาณแอนะล็อกที่จะใช้ทดสอบ (Lookup Table) โปรแกรมจะส่งค่าจากหน่วยความจำ ด้วยความถี่ประมาณ 1.6 MHz ไปจนครบและย้อนกลับไปส่งค่าแรกใหม่ จนกว่าจะได้รับคำสั่งเปลี่ยนสถานะเป็นสถานะอื่นเพื่อทำงานต่อไป คล้ายกับการทำงานในโหมดส่งสัญญาณไอเอฟดีเอ็ม ซึ่งค่าสถานะจะถูกกำหนดไว้ที่ 2 และจะส่งค่าที่เก็บอยู่ในหน่วยความจำภายนอกไปยัง DAC แทน และมีการใช้ EVA MANAGER ช่วยในการกำหนดอัตราการสร้างสัญญาณให้คงที่ด้วยความถี่ 960 KHz ซึ่งเป็นความถี่เดียวกับที่ใช้ในการรับสัญญาณของโปรแกรมรับสัญญาณ

ในโหมดส่งสัญญาณความถี่กวาด ข้อมูลจากคอมพิวเตอร์จะเป็นค่าจุดของสัญญาณทดสอบจำนวน 1 คาบ และมีขนาด 1024 จุด ซึ่งโปรแกรมจะทำการส่งข้อมูลนี้ไปยัง DAC ครั้งละ

จุดด้วยความถี่ 2.0 MHz และมีการเปลี่ยนแปลงจำนวนข้อมูลที่ส่งไปยัง DAC ในแต่ละรอบให้เพิ่มขึ้นหรือลดลงด้วย ซึ่งจะทำให้ได้สัญญาณที่มีความถี่เพิ่มขึ้นและลดลงตามไปด้วย ดังรูปที่ 4-5 สัญญาณจะถูกสร้างจากข้อมูลจำนวน 64 จุด โดยรูปแรกจะเป็นการสร้างสัญญาณโดยใช้จุดครบทุกจุด รูปที่ 2 จะสร้างสัญญาณโดยใช้วิธีเพิ่มขึ้นของจุดครั้งละ 4 จุด ซึ่งจะให้สัญญาณซึ่งมีความถี่เพิ่มขึ้น 4 เท่าของความถี่เดิม และรูปที่ 3 จะเป็นการสร้างสัญญาณโดยใช้วิธีเพิ่มขึ้นของจุดครั้งละ 14 จุดซึ่งจะทำให้ได้สัญญาณความถี่ 14 เท่าของความถี่ในรูปแรก



รูปที่ 4-5 วิธีการสร้างสัญญาณความถี่กวาดในโปรแกรมส่งสัญญาณ

ด้วยวิธีการส่งสัญญาณนี้จะทำให้เราสามารถสร้างสัญญาณความถี่กวาดเพื่อใช้ทดสอบได้โดยความถี่ของสัญญาณที่สร้างได้จะเป็นไปตามสมการต่อไปนี้

$$F_{gen} = \frac{1}{T_{gen}}$$

$$\begin{aligned} T_{gen} &= T_{sample} \times \frac{N_{point}}{N_{step}} \\ &= \frac{1}{F_{sample}} \times \frac{N_{point}}{N_{step}} \end{aligned}$$

เมื่อ  $F_{sample}$  คือความถี่ที่ใช้ในการสร้างสัญญาณมีค่าเท่ากับ 2.0 MHz

$N_{point}$  คือจำนวนจุดของสัญญาณต้นแบบทั้งหมด

$N_{step}$  คือจำนวนจุดที่จะเพิ่มขึ้นในแต่ละครั้งมีค่าตั้งแต่ 1-256

สัญญาณความถี่กวาดที่ถูกสร้างขึ้นจากโปรแกรมจะมีความถี่อยู่ในช่วง 1 ถึง 500 KHz โดยจะเพิ่มความถี่ครั้งละ 1.9 KHz โดยในโหมดนี้สถานะการทำงานจะถูกตั้งอยู่ที่ 3 และเมื่อเข้าสู่โหมดหยุดการทำงานค่าสถานะจะถูกเปลี่ยนกลับมาที่ 0 ซึ่งถูกกำหนดให้เป็นสถานะรอคอยคำสั่ง

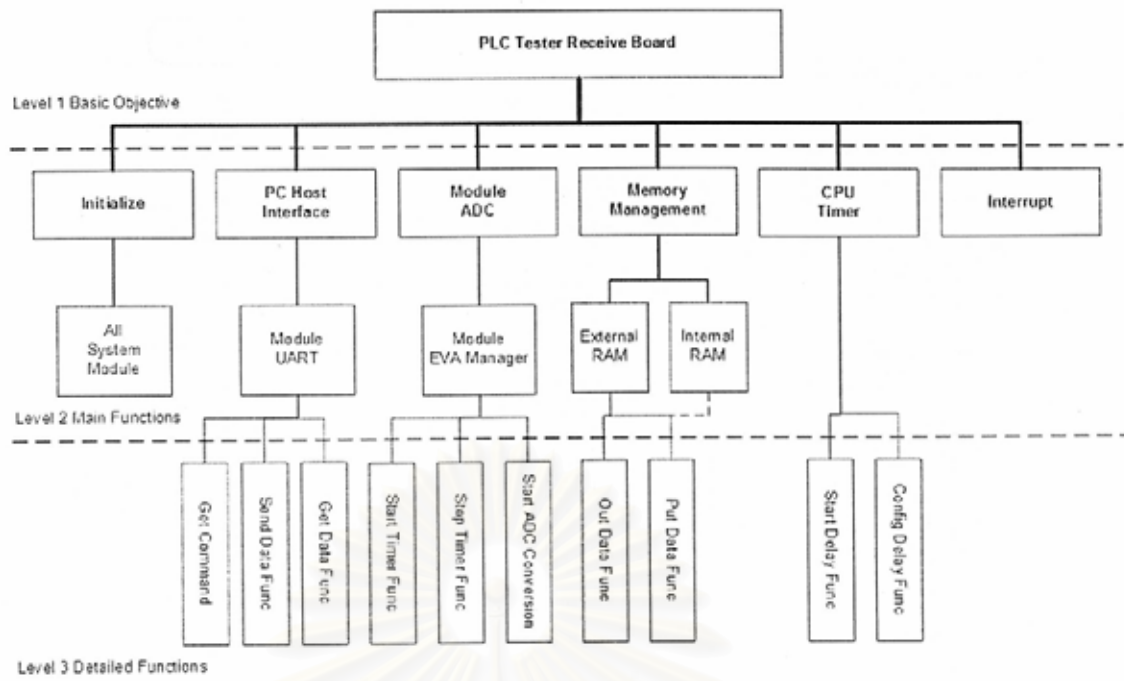
ในโหมดเพิ่มหรือลดความถี่ โปรแกรมจะทำงานคล้ายกับโหมดสร้างสัญญาณความถี่กวาด แต่ความถี่ที่ใช้ในการสร้างสัญญาณจะเป็น 1.6 MHz และการเปลี่ยนแปลงจำนวนข้อมูลที่ส่งไปยัง DAC ในแต่ละรอบจะเพิ่มขึ้นหรือลดลงขึ้นอยู่กับคำสั่งที่ได้รับ โดยสามารถสร้างความถี่ได้ 256 ระดับและจะส่งค่าจำนวนข้อมูลที่เปลี่ยนแปลงแล้วกลับมายังเครื่องคอมพิวเตอร์ด้วย

#### 4.1.2. โปรแกรมรับสัญญาณ

โปรแกรมบนบอร์ด DSP ในส่วนนี้จะทำหน้าที่หลักคืออ่านค่าสัญญาณที่ได้จากบอร์ด line couple interface แปลงเป็นค่าเชิงเลขแล้วจัดเก็บไว้ที่หน่วยความจำภายนอก (External RAM) และรับ-ส่งข้อมูลและคำสั่งกับเครื่องคอมพิวเตอร์ผ่านทางพอร์ตการเชื่อมต่อแบบอนุกรม

##### 4.1.2.1. โครงสร้างโปรแกรมรับสัญญาณ

โปรแกรมระดับบนสุดได้แก่การกำหนดค่าเริ่มต้นให้กับรีจิสเตอร์ การควบคุมการติดต่อสื่อสารกับคอมพิวเตอร์ผ่านโมดูล UART การควบคุมการทำงานของ ADC โดยอาศัย EVENT A MANAGER การจัดการหน่วยความจำภายในและหน่วยความจำภายนอก การควบคุมการทำงานของ CPU timer และการทำงานของฟังก์ชันอินเทอร์รัพท์ โดยที่โมดูลในระดับ 2 จะทำการเรียกใช้งานฟังก์ชันที่อยู่ในระดับ 3 ดังรูปที่ 4-6



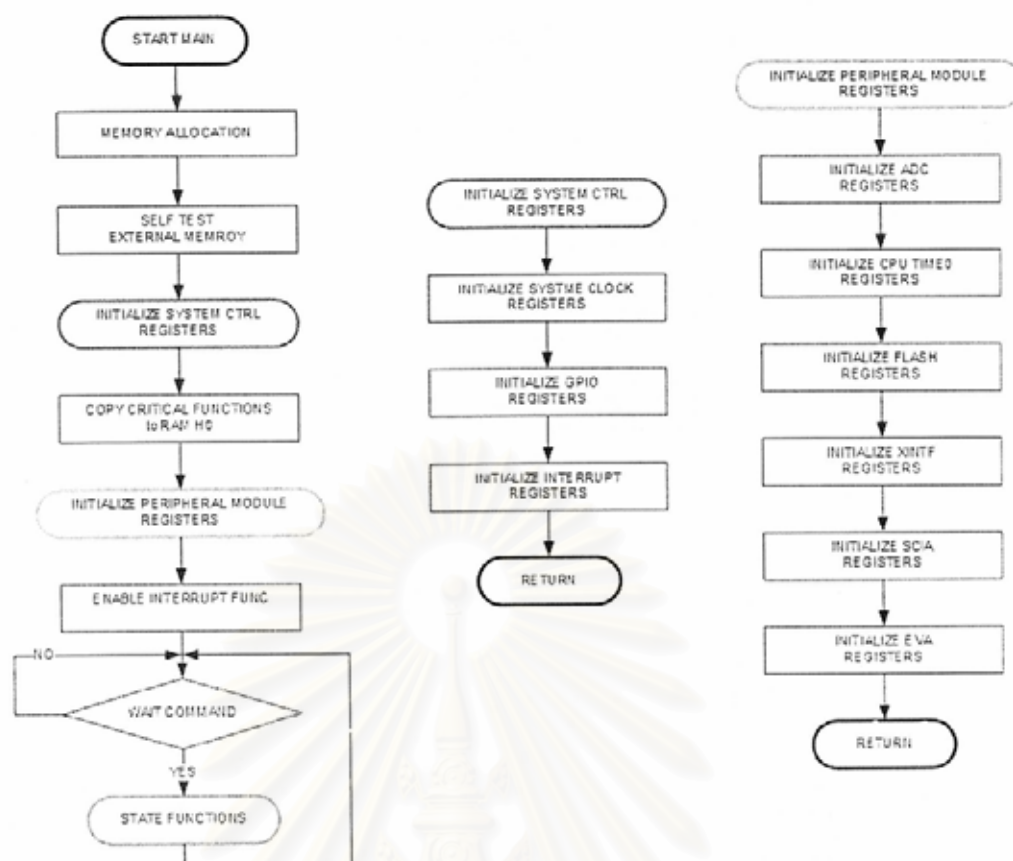
รูปที่ 4-6 โครงสร้างโปรแกรมบนบอร์ดรับสัญญาณ

#### 4.1.2.2. การทำงานของโปรแกรมบนบอร์ดรับสัญญาณ

การทำงานเริ่มต้นจะทำการจัดการหน่วยความจำบนบอร์ดตามที่โปรแกรมตั้งไว้และทำการตรวจสอบหน่วยความจำภายนอกทั้งที่อยู่บนบอร์ดหลักและที่อยู่บนบอร์ดเสริม และทำการกำหนดค่าเริ่มต้นให้กับวีจีเอสเดอ์ที่ทำหน้าที่ควบคุมการทำงานของระบบได้แก่ SYSTEM CLOCK GPIO และอินเทอร์รัพท์ จากนั้นจะทำการก๊อปปี้ฟังก์ชันที่ต้องการความเร็วในการทำงานสูงจากหน่วยความจำแฟลตไปยังหน่วยความจำชั่วคราวภายใน (RAM LO) จากนั้นจะทำการกำหนดค่าเริ่มต้นให้กับโมดูลรอบนอกที่ต้องการใช้งานได้แก่ GPIO, EVENT MANAGER, CPU TIMER0 ADC, SCI และกำหนดความเร็วในการเชื่อมต่อกับหน่วยความจำภายนอกและเปิดการทำงานของฟังก์ชันอินเทอร์รัพท์และเข้าสู่โหมดรอยคอยคำสั่ง ดังรูปที่ 4-7

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

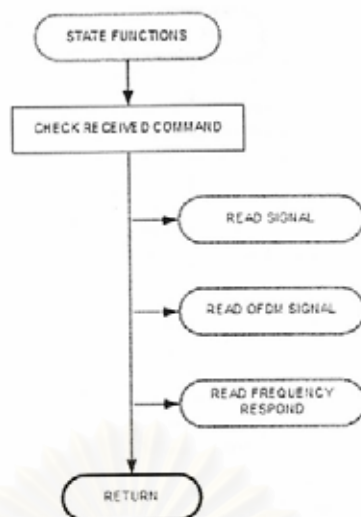




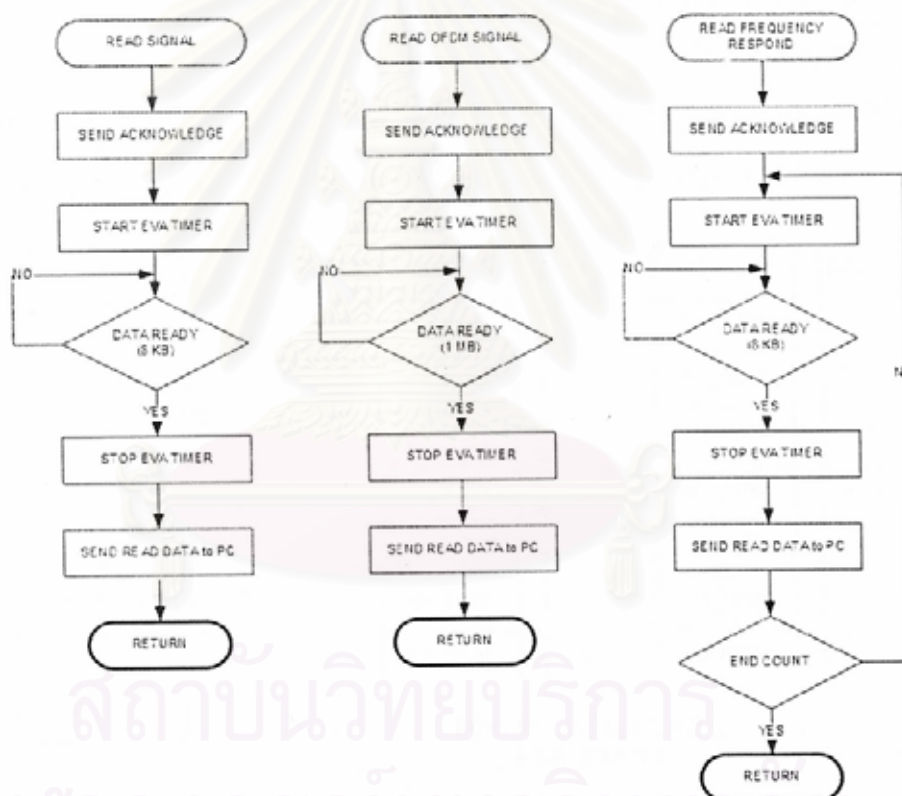
รูปที่ 4-7 แผนผังการทำงานของโปรแกรมบอร์ตรับสัญญาณ

เมื่อได้รับคำสั่งจากเครื่องคอมพิวเตอร์โปรแกรมจะข้ามไปทำงานตามคำสั่งที่ได้รับในแต่ละโหมดจนเสร็จ และจะกลับเข้าสู่โหมดรอคอยคำสั่งอีกครั้ง ดังรูปที่ 4-8 และรูปที่ 4-9

การทำงานในแต่ละโหมดของเครื่องวัดโปรแกรมจะทำงานคล้ายกันคือเมื่อได้รับคำสั่งที่ถูกต้องจะทำการส่งข้อความตอบรับกลับไปและเริ่มการทำงานของ EVENTA TIMER เพื่อควบคุมจังหวะในการอ่านค่าสัญญาณแอนะล็อกจากบอร์ด line couple interface โดยจะทำการอ่านค่าด้วยความถี่ 960 KHZ และจะคอยการทำงานของฟังก์ชันอินเทอร์รัพท์ของ ADC เพื่อทำการเก็บข้อมูลที่แปลงได้ไว้ในหน่วยความจำ ดังรูปที่ 4-10 โดยในโหมดวัดสัญญาณรบกวนจะสามารถเลือกขนาดของข้อมูลที่ต้องการทดสอบได้ตั้งแต่ 128 – 16K ในขณะที่โหมดรับสัญญาณโอเอฟดีเอ็มจะรับข้อมูลขนาด 256K และโหมดวัดผลตอบสนองทางความถี่จะรับข้อมูลขนาด 512K และเมื่อได้จำนวนข้อมูลตามที่ต้องการ แล้วจึงสั่งหยุดการทำงานของ EVENTA TIMER และทำการส่งข้อมูลที่เก็บไว้ไปยังเครื่องคอมพิวเตอร์โดยอาศัย ฟังก์ชันอินเทอร์รัพท์ของ SCIA Tx FIFO และกลับไปทำยังสถานะรอคอยคำสั่ง ยกเว้นโหมดการทำงานวัดผลตอบสนองทางความถี่ซึ่งจะย้อนกลับมาเริ่มต้นการทำงานของ EVENT TIMER อีกครั้ง เพื่อเก็บข้อมูลเพิ่มเติมจนได้จำนวนครั้งตามที่ตั้งไว้ แล้วจึงกลับไปยังสถานะรอคอยคำสั่ง

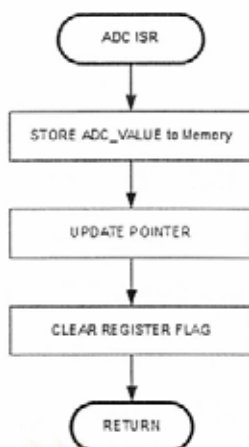


รูปที่ 4-8 แผนผังการเลือกโหมดการทำงาน



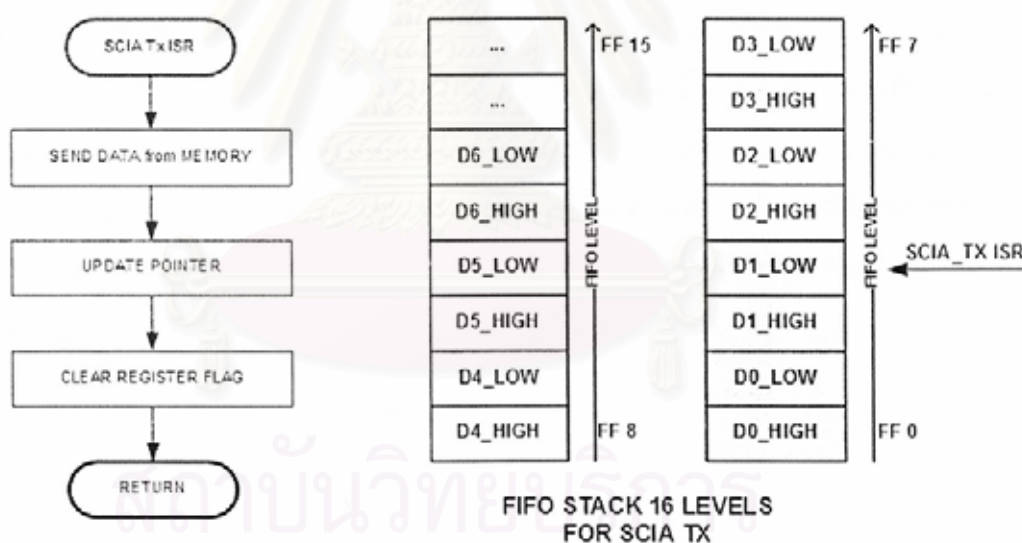
รูปที่ 4-9 แผนผังการทำงานในแต่ละโหมดของโปรแกรมรับสัญญาณ

การอ่านค่าจาก ADC จะกระทำในฟังก์ชันอินเทอร์รัพท์ของ ADC โดยจะจัดเก็บข้อมูลที่แปลงได้จาก ADC ไปไว้ยังหน่วยความจำที่เลือกไว้และเลื่อนตำแหน่งข้อมูลไปยังตำแหน่งถัดไป และทำการเคลียร์อินเทอร์รัพท์แฟลค เพื่อรอการอินเทอร์รัพท์ครั้งต่อไป ดังรูปที่ 4-10



รูปที่ 4-10 แผนผังการทำงานใน interrupt function

การส่งข้อมูลจากบอร์ดไปยังเครื่องคอมพิวเตอร์จะทำงานผ่านฟังก์ชันอินเทอร์รัพท์ของ SCIA Tx เพื่อให้สามารถส่งข้อมูลได้อย่างรวดเร็วและต่อเนื่อง การทำงานของบัฟเฟอร์ที่ใช้ในการส่งข้อมูลนั้น โมดูลจะส่งข้อมูลในตำแหน่งล่าสุดของบัฟเฟอร์ออกไปก่อน และเมื่อปริมาณข้อมูลในบัฟเฟอร์มีจำนวนลดลงต่ำกว่าระดับ 5 เป็นต้นไป โปรแกรมจะเข้ามาทำงานในฟังก์ชันอินเทอร์รัพท์ซึ่งจะทำการเพิ่มข้อมูลเข้าไปในบัฟเฟอร์ครั้งละ 2 สองตำแหน่ง ดังรูปที่ 4-11



รูปที่ 4-11 การทำงานของ SCIA Tx FIFO interrupt

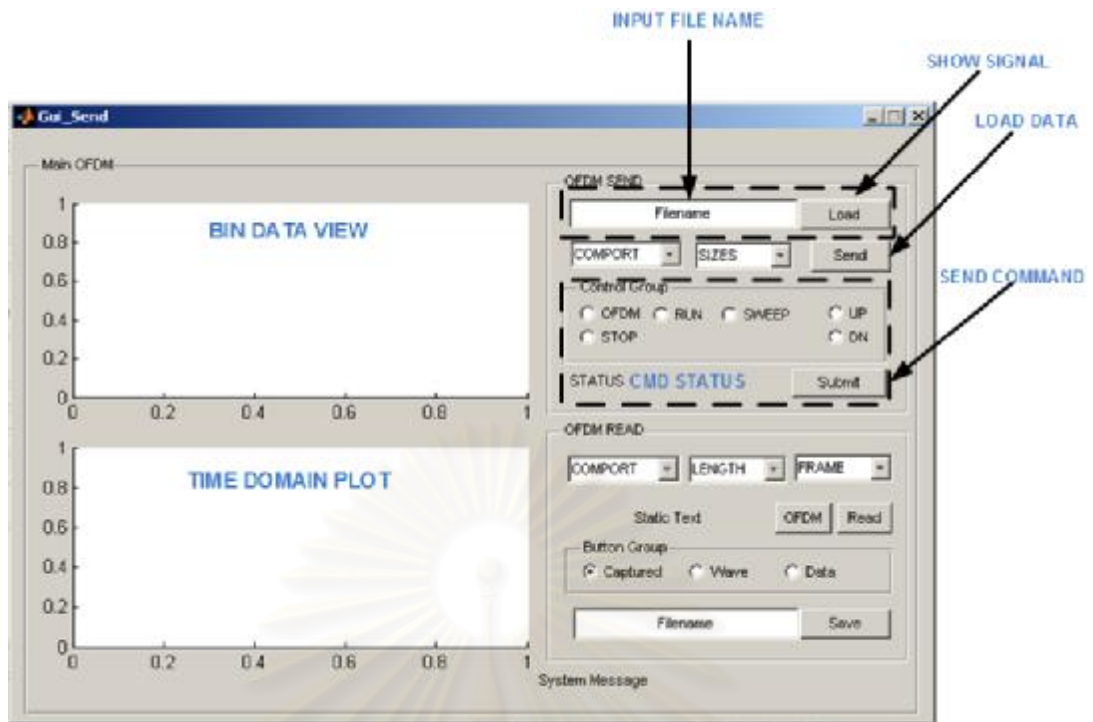
## 4.2. โปรแกรมบนคอมพิวเตอร์

โปรแกรมบนคอมพิวเตอร์เป็นส่วนที่ทำหน้าที่ติดต่อกับผู้ใช้ในการรับคำสั่งเพื่อส่งไปยังเครื่องวัดและดึงข้อมูลจากเครื่องวัดเพื่อบันทึกข้อมูลและแสดงผล นอกจากนี้ยังใช้ในการสร้างสัญญาณทดสอบและสร้างสัญญาณโอเอฟดีเอ็มจากข้อมูลที่มี รวมทั้งใช้ในการถอดรหัสสัญญาณโอเอฟดีเอ็มที่ได้จากเครื่องวัดและคำนวณค่าที่ได้จากผลการทดสอบ โดยได้พัฒนาขึ้นด้วยโปรแกรม MATLAB 2006b ในช่วงแรกของการพัฒนาทำการเขียนฟังก์ชันขึ้นใหม่เพื่อเรียกใช้งานและทำการปรับปรุงให้มีประสิทธิภาพสมบูรณ์ แล้วจึงแปลงโปรแกรมที่พัฒนาขึ้นให้อยู่ในรูปแบบของโปรแกรมที่สามารถทำงานได้ด้วยตนเอง (Executable File) เพื่อให้สามารถนำไปใช้งานได้ อย่างสะดวกและไม่ยุ่งยาก

โครงสร้างของโปรแกรมสามารถแบ่งออกได้เป็น 2 ส่วนหลักคือ โปรแกรมที่ใช้สำหรับควบคุมการส่งสัญญาณ โปรแกรมที่ใช้สำหรับควบคุมการรับสัญญาณ

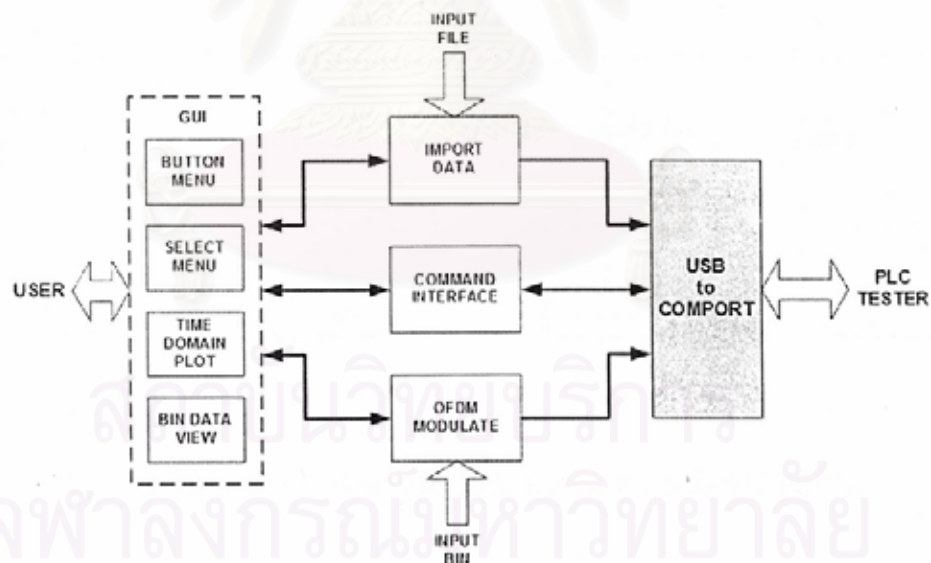
### 4.2.1. โปรแกรมสำหรับควบคุมการส่งสัญญาณ

โปรแกรมสำหรับควบคุมการส่งสัญญาณจะประกอบด้วยโปรแกรมที่ทำหน้าที่อ่านข้อมูลจากไฟล์บนเครื่องคอมพิวเตอร์เพื่อนำมาเก็บไว้ในหน่วยความจำรอการส่งไปยังเครื่องวัด นอกจากนี้ยังประกอบด้วยโปรแกรมที่จัดการเกี่ยวกับการติดต่อสื่อสารผ่านทางพอร์ตอนุกรมของเครื่องคอมพิวเตอร์เพื่อรับและส่งข้อมูลหรือคำสั่งไปยังเครื่องวัด และโปรแกรมที่ทำการเปลี่ยนข้อมูลดิบเป็นสัญญาณที่ใช้วิธีการมอดูเลตแบบโอเอฟดีเอ็มแบบต่างๆ ซึ่งเราสามารถเลือกโครงสร้างของสัญญาณได้จากโปรแกรม และส่วนสุดท้ายคือส่วนที่จัดการแสดงผลและรับคำสั่งติดต่อกับผู้ใช้ (GUI: Graphic User Interface) ดังรูปที่ 4-12



รูปที่ 4-12 ส่วนแสดงผลที่ติดต่อกับผู้ใช้ (GUI)

#### 4.2.1.1. โครงสร้างการติดต่อของฟังก์ชันในโปรแกรมส่งสัญญาณ



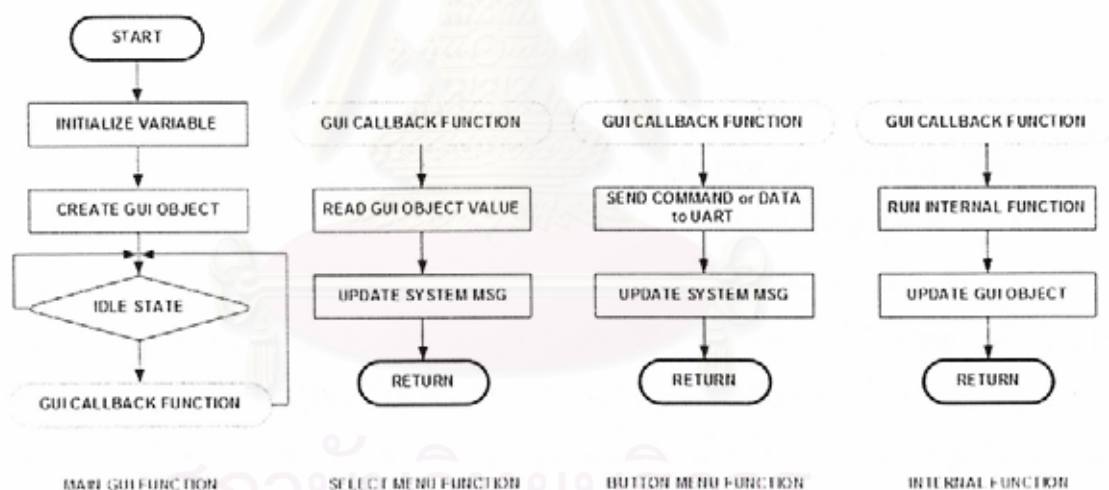
รูปที่ 4-13 โครงสร้างการทำงานของโปรแกรมที่ใช้ควบคุมการส่งสัญญาณ

จากรูปที่ 4-13 การทำงานของโปรแกรมบนเครื่องคอมพิวเตอร์จะสร้าง GUI ขึ้นมาเพื่อติดต่อรับคำสั่งและแสดงผลกับผู้ใช้ ซึ่งจะอยู่ในรูปแบบของปุ่มกด ตัวเลือก กราฟแสดงผลทางเวลารวมทั้งแสดงผลเป็นภาพวาดดำเป็นต้น เมื่อ GUI ได้รับคำสั่งจากผู้ใช้จะไปเรียกใช้งานฟังก์ชันที่อยู่ภายในโปรแกรมเพื่อทำการติดต่อและประมวลผลกับข้อมูลจากภายนอกและส่งข้อมูลนั้นไปยัง

บอร์ดเครื่องวัดผ่านทางพอร์ตการเชื่อมต่อแบบอนุกรมเช่น การสร้างสัญญาณทดสอบสายส่งกำลัง ในแบบต่างๆ การส่งข้อมูลที่มีอคูเลตด้วยวิธีโอเอฟดีเอ็ม

#### 4.2.1.2. การทำงานของโปรแกรมที่ใช้ควบคุมการส่งสัญญาณ

เมื่อเริ่มต้นโปรแกรมจะทำการกำหนดค่าเริ่มต้นให้กับตัวแปรที่ใช้ในโปรแกรมและสร้างหน้าต่าง GUI พร้อมปุ่มกดและเมนูอื่นๆจากนั้นโปรแกรมจะคอยรับคำสั่งจากผู้ใช้ผ่านทางปุ่มกดและเมนูที่สร้างขึ้นมา เพื่อไปทำงานตามที่กำหนดไว้ในฟังก์ชันกลับไปติดต่อ (callback function) ซึ่งจะแบ่งเป็น 3 กลุ่ม ได้แก่ กลุ่มแรกเป็นกลุ่มเมนูเลือก จะทำการอ่านค่าที่ผู้ใช้เลือกเก็บไว้และแสดงข้อความตอบโต้กับผู้ใช้ กลุ่มต่อมาเป็นกลุ่มปุ่มกด จะทำการส่งคำสั่งหรือข้อมูลจากหน่วยความจำไปยังเครื่องทดสอบสายส่งกำลัง ผ่านทางพอร์ตการเชื่อมต่ออนุกรมและแสดงผลการส่งให้ผู้ใช้ กลุ่มสุดท้ายเป็นกลุ่มฟังก์ชันเฉพาะภายใน เมื่อได้รับคำสั่งจะเรียกใช้งานฟังก์ชันภายในของโปรแกรมเช่น การอ่านค่าข้อมูลจากไฟล์เข้ามาในโปรแกรม การแปลงข้อมูลดิบเป็นสัญญาณที่มีอคูเลตแบบโอเอฟดีเอ็ม จากนั้นจะทำการส่งค่าที่ได้ไปแสดงผลเป็นกราฟหรือรูปภาพบน GUI และเมื่อทำงานในฟังก์ชันกลับไปติดต่อเสร็จแล้วจะคืนค่าทั้งหมดและกลับไปรอคำสั่งใหม่จากผู้ใช้ต่อไป ดังรูปที่ 4-14

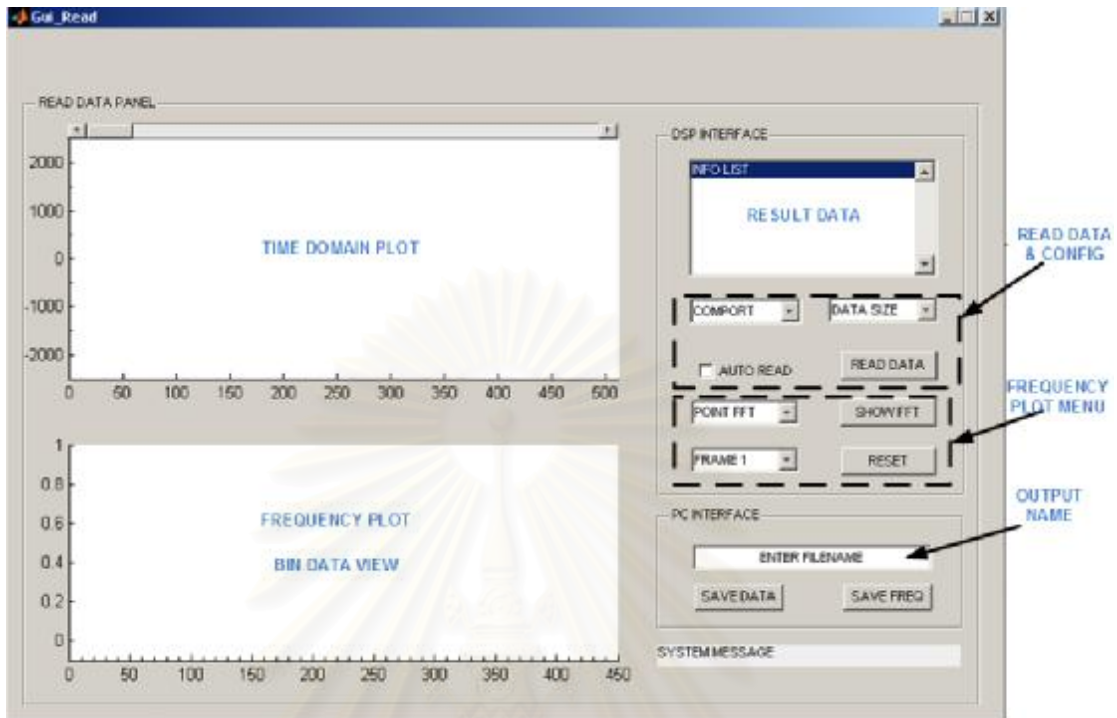


รูปที่ 4-14 แผนผังการทำงานของโปรแกรมควบคุมบอร์ดส่งสัญญาณ

#### 4.2.2. โปรแกรมสำหรับควบคุมการรับสัญญาณ

โปรแกรมสำหรับควบคุมการรับสัญญาณจะประกอบด้วยโปรแกรมที่จัดการเกี่ยวกับการติดต่อสื่อสารผ่านทางพอร์ตอนุกรมของเครื่องคอมพิวเตอร์เพื่อรับและส่งข้อมูลหรือคำสั่งไปยังเครื่องวัด และโปรแกรมประมวลผลข้อมูลที่ได้จากเครื่องวัดเพื่อนำไปวิเคราะห์ใช้งานหรือจัดเก็บไปยังไฟล์ข้อมูลที่ต้องการได้ และโปรแกรมที่ถอดรหัสการมอดูเลตแบบโอเอฟดีเอ็มกลับเป็นข้อมูล

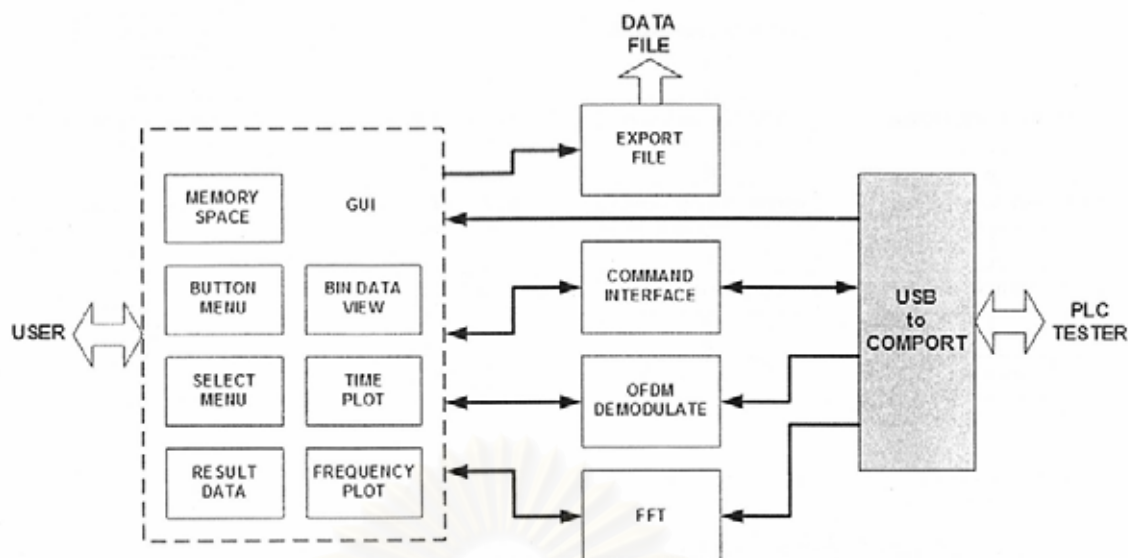
เพื่อแสดงผลได้ และส่วนสุดท้ายคือส่วนที่จัดการแสดงผลและรับคำสั่งติดต่อกับผู้ใช้ (GUI: Graphic User Interface) ดังรูปที่ 4-15



รูปที่ 4-15 ส่วนแสดงผลที่ติดต่อกับผู้ใช้ (GUI)

#### 4.2.2.1. โครงสร้างการติดต่อของฟังก์ชันในโปรแกรมรับสัญญาณ

การทำงานของโปรแกรมจะคล้ายกับโปรแกรมของบอร์ดส่งสัญญาณโดย GUI เป็นตัวกลางติดต่อรับคำสั่งและแสดงผลกับผู้ใช้ ซึ่งจะอยู่ในรูปแบบของปุ่มกด ตัวเลือก ผลการวัดค่า กราฟแสดงผลทางเวลา กราฟทางความถี่ รวมทั้งแสดงข้อมูลที่ถอดรหัสได้เป็นภาพขาวดำเป็นต้น เมื่อ GUI ได้รับคำสั่งจากผู้ใช้จะไปเรียกใช้งานฟังก์ชันที่อยู่ภายในโปรแกรมเพื่อทำการติดต่อและดึงข้อมูลจากเครื่องวัดผ่านทางพอร์ทการเชื่อมต่อแบบอนุกรม เพื่อนำมาประมวลผลและวิเคราะห์เช่น การดูสัญญาณรบกวนในสายส่งขณะนั้น การหาผลตอบแทนของความถี่ของสายส่ง การรับข้อมูลที่มอดูเลตด้วยวิธีโอเอฟดีเอ็ม เพื่อแสดงผลหรือจัดเก็บไปยังไฟล์บนเครื่องคอมพิวเตอร์ ดังรูปที่

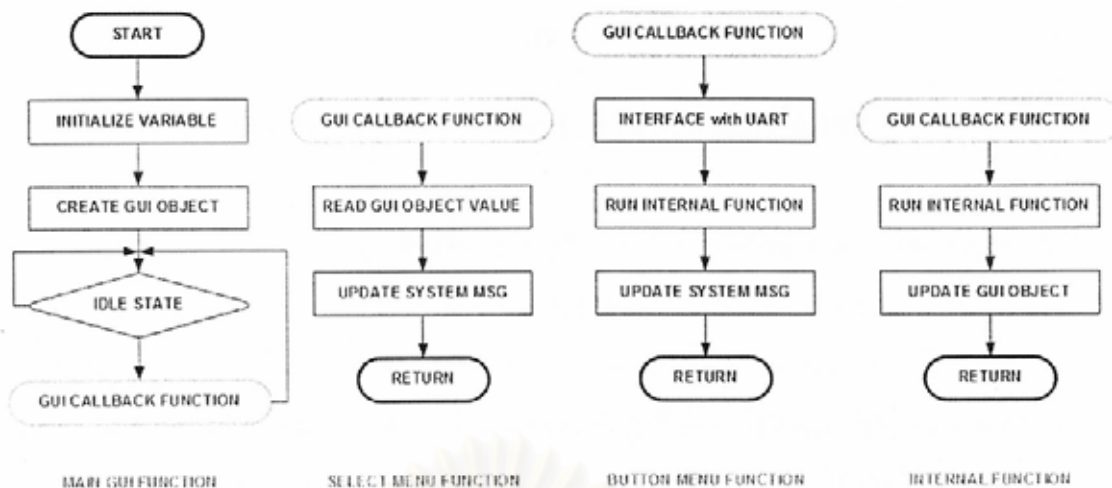


รูปที่ 4-16 โครงสร้างการทำงานของโปรแกรมที่ใช้กับบอร์ดรับสัญญาณ

#### 4.2.2.2. การทำงานของโปรแกรมที่ใช้ควบคุมการรับสัญญาณ

เมื่อเริ่มต้นโปรแกรมจะทำการกำหนดค่าเริ่มต้นให้กับตัวแปรที่ใช้ในโปรแกรมและสร้างหน้าต่าง GUI พร้อมปุ่มกดและเมนูอื่นๆ จากนั้นโปรแกรมจะคอยรับคำสั่งจากผู้ใช้ผ่านทางปุ่มกดและเมนูที่สร้างขึ้นมา เพื่อไปทำงานตามที่กำหนดไว้ในฟังก์ชันกลับไปติดต่อ (callback function) ซึ่งจะแบ่งเป็น 3 กลุ่ม ได้แก่ กลุ่มแรกเป็นกลุ่มเมนูเลือก จะทำการอ่านค่าที่ผู้ใช้เลือกเก็บไว้และแสดงข้อความตอบโต้กับผู้ใช้ กลุ่มต่อมาเป็นกลุ่มปุ่มกด จะทำการส่งคำสั่งไปยังเครื่องทดสอบและรวบรวมข้อมูลจากเครื่องทดสอบผ่านทางพอร์ตการเชื่อมต่ออนุกรม จากนั้นจะเรียกใช้งานฟังก์ชันเฉพาะภายในเช่น ฟังก์ชันคำนวณหาผลตอบสนองทางความถี่ ฟังก์ชันถอดรหัสสัญญาณโอเอฟดีเอ็ม ฟังก์ชันแปลงสัญญาณทางเวลาให้อยู่ในรูปสัญญาณทางความถี่ และแสดงผลการติดต่อให้ผู้ใช้ กลุ่มสุดท้ายเป็นกลุ่มฟังก์ชันเฉพาะภายใน เมื่อได้รับคำสั่งจะเรียกใช้งานฟังก์ชันภายในของโปรแกรม จากนั้นจะทำการส่งค่าที่ได้ไปแสดงผลเป็นกราฟหรือรูปภาพบน GUI และเมื่อทำงานในฟังก์ชันกลับไปติดต่อเสร็จแล้วจะคืนค่าทั้งหมดและกลับไปรอคำสั่งใหม่จากผู้ใช้ต่อไป ดังรูปที่





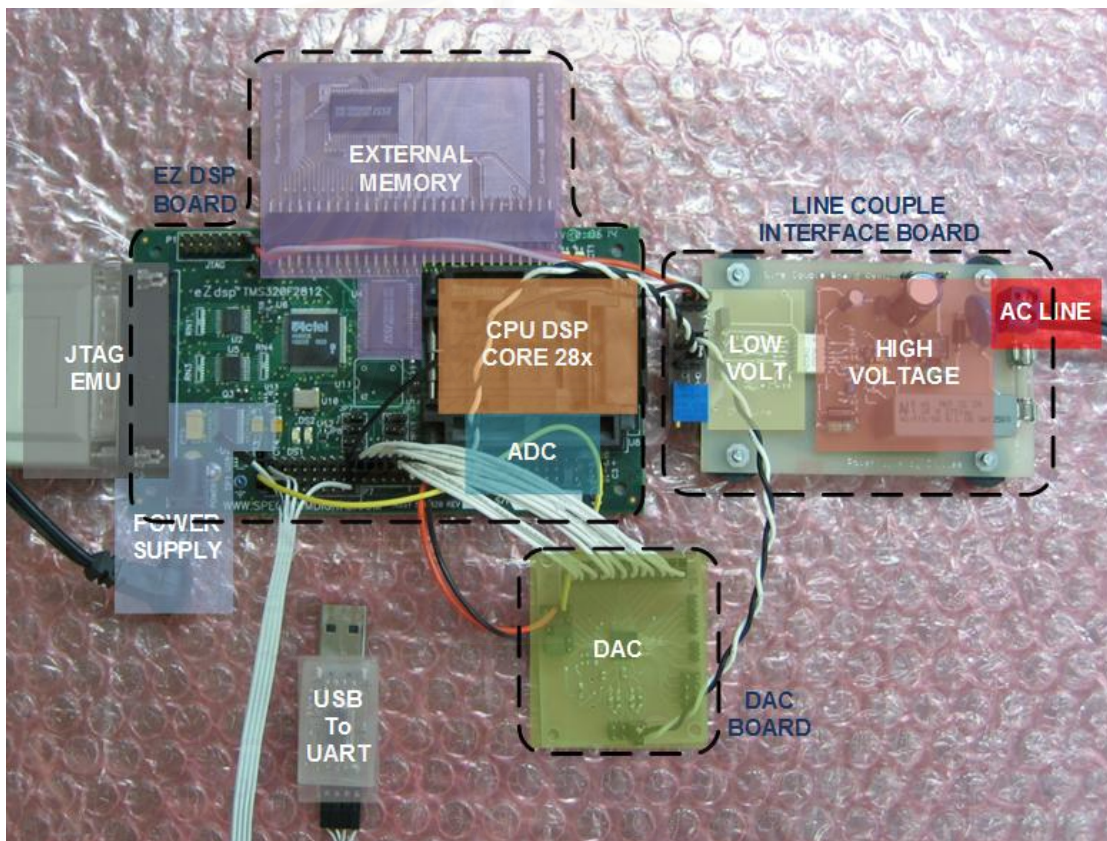
รูปที่ 4-17 แผนผังการทำงานของโปรแกรมควบคุมบอร์ดรับสัญญาณ

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## บทที่ 5

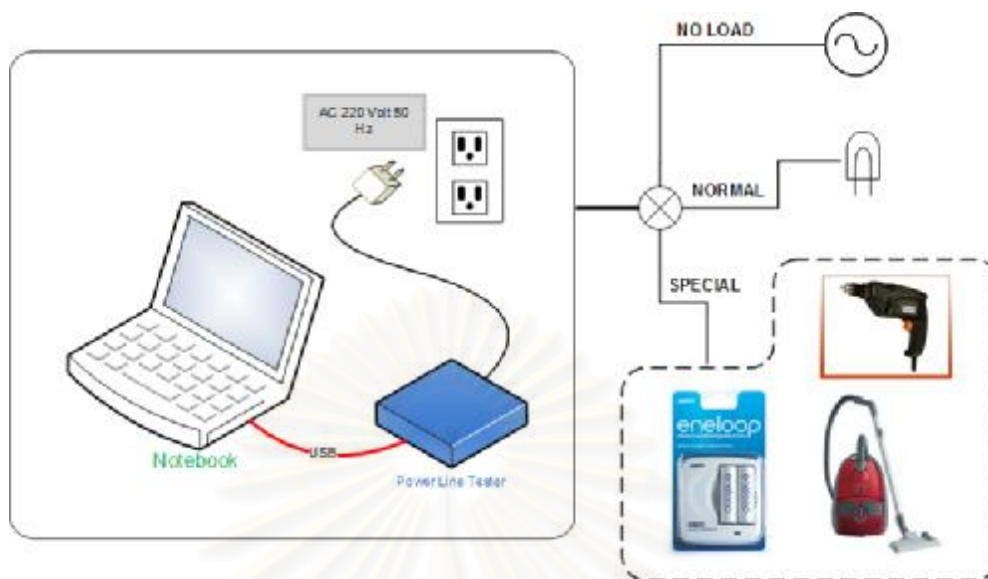
### ผลการทดลองและการทำงานของเครื่องวัด

เครื่องวัดที่ออกแบบและสร้างขึ้นนั้นประกอบด้วยบอร์ดประมวลผลหลักและบอร์ดย่อยที่ทำหน้าที่เฉพาะ ซึ่งเชื่อมต่ออยู่กับบอร์ดหลักได้แก่ บอร์ด Line Couple Interface, บอร์ดแปลงสัญญาณเชิงเลขเป็นสัญญาณแอนะล็อก, บอร์ดแปลงการเชื่อมต่อแบบ UART เป็นการเชื่อมต่อแบบ USB และบอร์ดเสริมหน่วยความจำภายนอก ดังรูปที่ 5-1 ซึ่งในขณะที่ใช้งานหรือทำการทดสอบจะต้องใช้เครื่องวัดจำนวนสองชุดซึ่งโหลดโปรแกรมที่ต้องการจะใช้งานไว้แล้วในหน่วยความจำชนิดแฟลตและทำงานร่วมกับเครื่องคอมพิวเตอร์



รูปที่ 5-1 เครื่องทดสอบที่สร้างขึ้น

## 5.1. การวัดสัญญาณรบกวนของสายไฟ

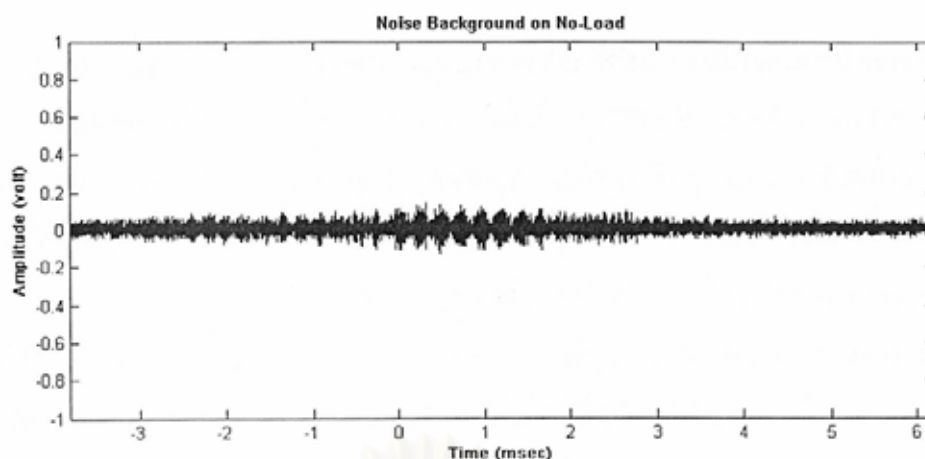


รูปที่ 5-2 การวัดสัญญาณรบกวนในสายส่งกำลัง

ในการวัดสัญญาณรบกวนในสายส่งกำลังสามารถใช้เครื่องวัดเพียงเครื่องเดียวซึ่งเชื่อมต่อกับเครื่องคอมพิวเตอร์ ดัง โดยจะทำการทดสอบในหลายสภาวะทั้งในสภาวะที่สายส่งกำลังไม่มีอุปกรณ์ใดต่ออยู่ สภาวะของห้องทำงานปกติที่อุปกรณ์ทั่วไปเปิดใช้งานอยู่ และสภาวะที่มีอุปกรณ์พิเศษที่คาดว่าจะส่งผลต่อการสื่อสารผ่านสายส่งกำลัง ดังรูปที่ 5-2 ซึ่งผลการทดสอบจะเป็นดังต่อไปนี้

### 5.1.1. ผลการทดสอบในสภาวะของสายส่งกำลังขณะที่ไม่มีโหลด

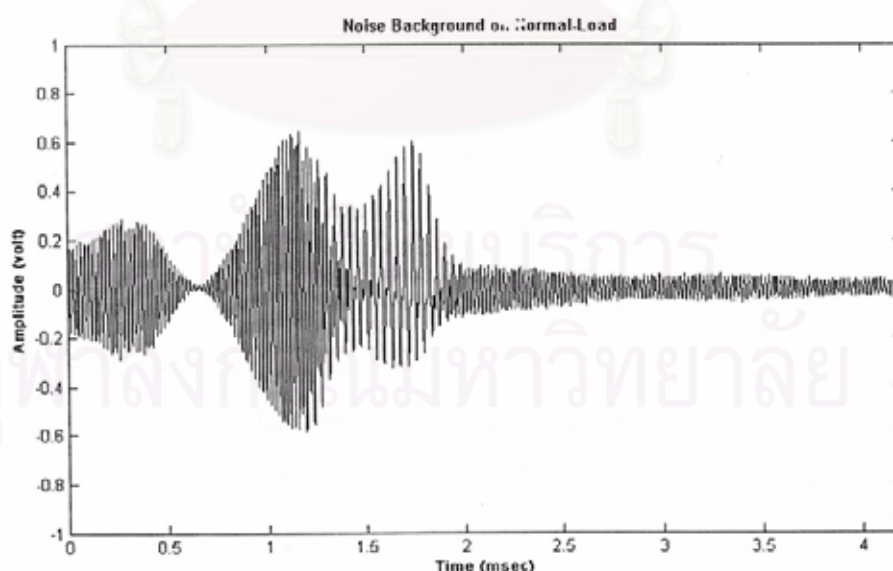
การทดสอบในสภาวะนี้อาศัยเครื่องสร้างสัญญาณไฟสลับจำลองในห้องปฏิบัติการเป็นแหล่งกำเนิดสัญญาณไฟสลับขนาด 220 V AC ซึ่งสัญญาณที่ได้จากเครื่องจะเป็นสัญญาณไซน์บริสุทธิ์ ไม่มีสัญญาณอื่นปะปน ผลการทดลองเป็นดังรูปที่ 5-3 ซึ่งจะพบว่ามีสัญญาณขนาดเล็กประมาณ 0.2 Vpp และมีความถี่อยู่ในช่วงประมาณ 50 KHz สัญญาณนี้จะเกิดขึ้นเป็นช่วงๆ มีความห่างแต่ละช่วงประมาณ 10 ms ซึ่งอาจเกิดจากวงจรไฟเลี้ยงบนบอร์ด line couple interface หรืออาจมาจากเครื่องมือวัดสัญญาณที่ต่อร่วมอยู่



รูปที่ 5-3 ผลการวัดสัญญาณรบกวนพื้นฐานในสถานะไม่มีโหลด

#### 5.1.2. ผลการทดสอบในสถานะของสายส่งกำลังขณะที่มีการใช้งานปกติ

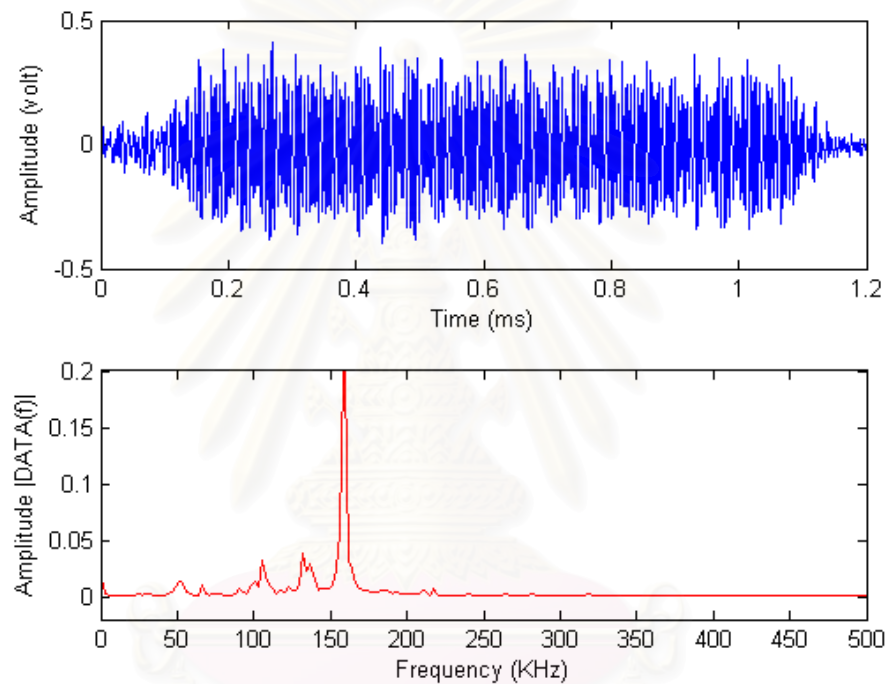
การทดสอบในสถานะนี้จะต่อเครื่องวัดเข้ากับระบบไฟฟ้าภายในห้องปฏิบัติการซึ่งจะมีอุปกรณ์ไฟฟ้าหลายชนิดทำงานอยู่เช่น เครื่องคอมพิวเตอร์ จอมอนิเตอร์ หลอดไฟ เป็นต้น ผลที่ได้จากเครื่องวัดจะพบว่า มีสัญญาณความถี่ช่วงประมาณ 50 กิโลเฮิร์ตซ์ และฮาร์โมนิคใกล้เคียงมากับสายส่งตลอดเวลาดังรูปที่ 5-4 โดยสัญญาณรบกวนนี้มีขนาดประมาณ 1.3 Vpp ซึ่งอาจจะส่งผลกระทบต่อการสื่อสารผ่านสายส่งกำลังของเครื่องทดสอบได้ เนื่องจากบอร์ด line couple interface นั้นมีวงจรไอโซเลตด้วยแสงซึ่งจะเกิดการอิมิตัวเมื่อได้รับสัญญาณขนาดใหญ่ ทำให้ไม่สามารถอ่านค่าสัญญาณข้อมูลที่เข้ามาในช่วงเวลาเดียวกับสัญญาณนี้ได้



รูปที่ 5-4 ผลการวัดสัญญาณรบกวนในสายส่งในสถานะปกติ

### 5.1.3. ผลการทดสอบในสถานะของสายส่งกำลังขณะที่มีโหลดอุปกรณ์พิเศษ

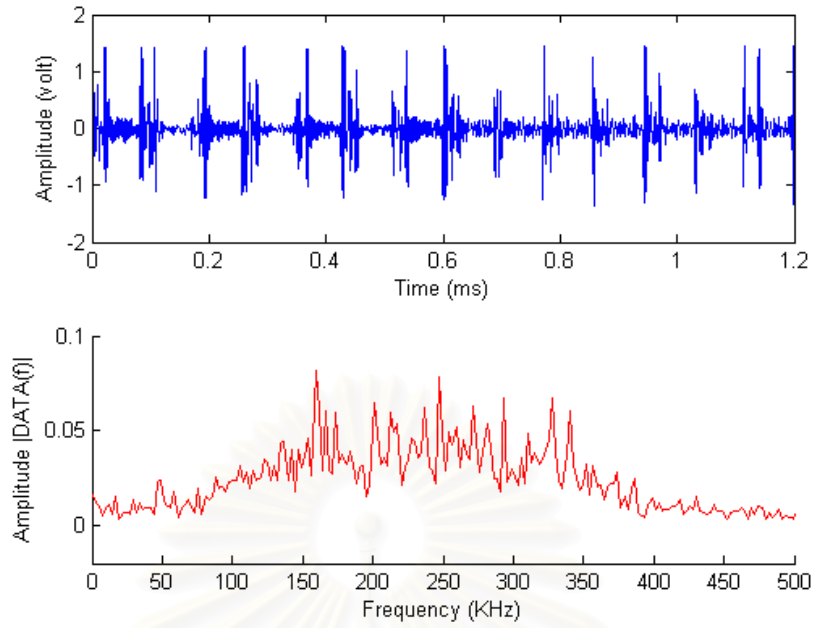
การทดสอบในสถานะนี้จะนำอุปกรณ์ไฟฟ้าที่คาดว่าจะมีการสื่อสารผ่านสายส่งกำลังมาใช้งานและทำการวัดผลที่เกิดขึ้น จะพบว่าผลจากอุปกรณ์ไฟฟ้าที่มีวงจรแปลงผันกำลัง ซึ่งในการทดลองนี้ใช้เครื่องชาร์จแบตเตอรี่แบบพกพา จะมีสัญญาณความถี่สูงช่วงประมาณ 50-200 KHz มากับสายส่งเป็นระยะตามสภาวะการทำงานของเครื่อง ดังรูปที่ 5-5 โดยที่ขนาดของสัญญาณรบกวนดังกล่าวจะมีค่าประมาณ 0.9 Vpp และคาบของสัญญาณประมาณ 1.1 ms และจากการทดลองพบว่าสัญญาณรบกวนดังกล่าวจะเกิดขึ้นในขณะที่อุปกรณ์นั้นทำงานในสถานะไม่มีโหลด



รูปที่ 5-5 สัญญาณรบกวนประเภทสวิตซ์ซิ่ง

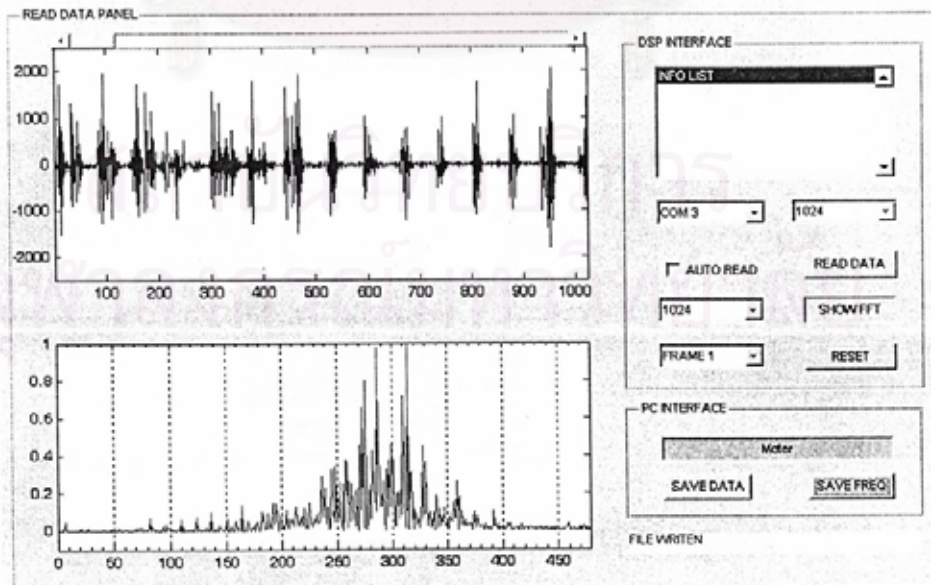
ผลของสัญญาณรบกวนจากวงจรแปลงผันกำลังนั้นพบว่า หากเราใช้อุปกรณ์ PLC ซึ่งใช้ความถี่สัญญาณพาหะอยู่ในช่วงความถี่ 50 – 200 KHz จะทำให้การสื่อสารถูกรบกวนได้ ซึ่งจะมีผลทำให้ความเร็วในการรับส่งข้อมูลลดลง

อุปกรณ์ไฟฟ้าชนิดถัดมาคือสว่านไฟฟ้าซึ่งจัดในประเภทที่มีมอเตอร์ไฟฟ้าจากการทดลองพบว่า จะมีสัญญาณรบกวนออกมาเป็นช่วงกว้างและต่อเนื่องตลอดการทำงานของเครื่อง ช่วงของสัญญาณรบกวนนั้นอยู่ในช่วง 150 - 350 KHz ดังรูปที่ 5-6 สัญญาณรบกวนนั้นมีขนาดสูงสุด 2.4 Vpp ซึ่งจัดเป็นสัญญาณรบกวนขนาดใหญ่ และหากมีการใช้งานอุปกรณ์ชนิดนี้บ่อยครั้งในบริเวณที่มีการใช้งานอุปกรณ์ PLC อาจทำให้การรับส่งข้อมูลลดลงได้



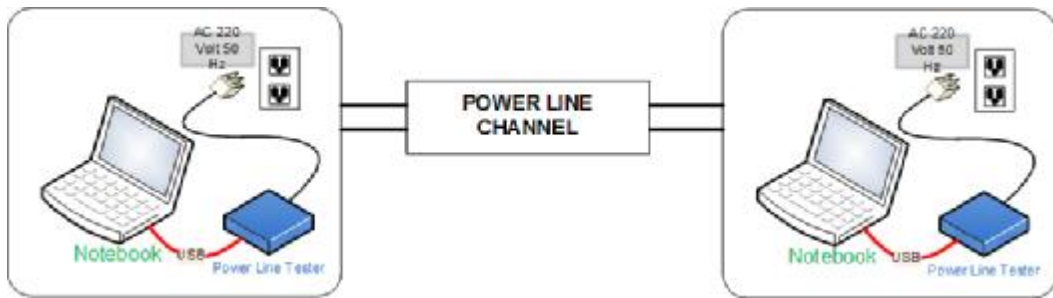
รูปที่ 5-6 สัญญาณรบกวนประเภทมอเตอร์ไฟฟ้า

นอกจากสว่านไฟฟ้าซึ่งสามารถสร้างสัญญาณรบกวนขนาดใหญ่ให้กับระบบ PLC แล้ว ยังมีเครื่องดูดฝุ่นซึ่งจัดอยู่ในอุปกรณ์ไฟฟ้าประเภทมอเตอร์ไฟฟ้าด้วย โดยจากการทดลองพบว่า สัญญาณรบกวนที่สามารถวัดได้จากเครื่องดูดฝุ่นนั้นมีขนาดใหญ่และมีช่วงความถี่ที่กว้างและมีความถี่สัญญาณซึ่งใหญ่กว่าสว่านไฟฟ้า โดยสามารถส่งสัญญาณรบกวนผ่านสายส่งกำลังซึ่งมีความยาวประมาณ 50 เมตรได้ ดังรูปที่ 5-7 จะพบว่าช่วงสัญญาณรบกวนอยู่ที่ 150 - 400 KHz และขนาดสัญญาณประมาณ 2.9 Vpp



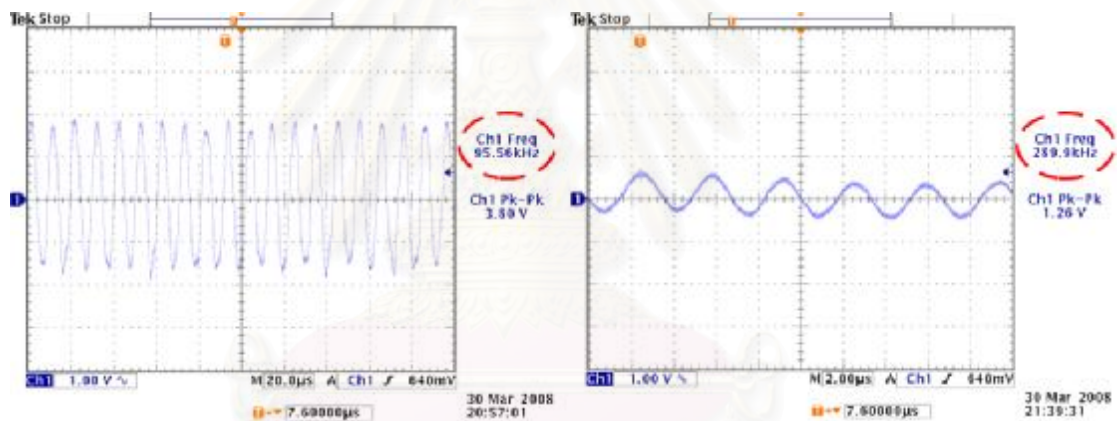
รูปที่ 5-7 สัญญาณรบกวนจากเครื่องดูดฝุ่น

## 5.2. การทดสอบผลตอบแทนทางความถี่ในช่วง 1-400 กิโลเฮิร์ตซ์

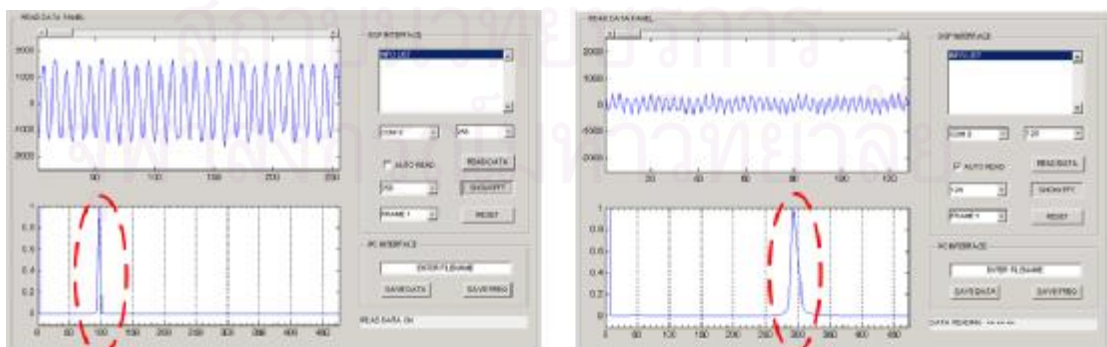


รูปที่ 5-8 การทดสอบผลตอบแทนทางความถี่

ในการวัดผลตอบแทนทางความถี่จะใช้เครื่องวัด 2 เครื่อง โดยเครื่องหนึ่งทำหน้าที่เป็นเครื่องส่งสัญญาณในขณะที่อีกเครื่องจะเป็นตัวรับสัญญาณดังรูปที่ 5-8 ข้อมูลที่ได้จากเครื่องรับสัญญาณจะถูกส่งมายังเครื่องคอมพิวเตอร์เพื่อเก็บค่าและประมวลผลหาผลตอบแทนทางความถี่ของสายส่งกำลังและแสดงผลที่เครื่องคอมพิวเตอร์ ซึ่งผลการทดสอบมีดังต่อไปนี้



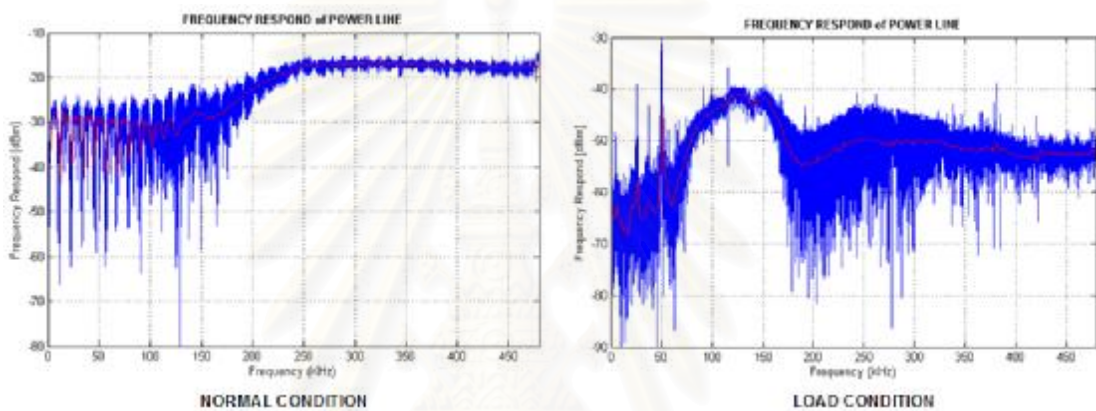
รูปที่ 5-9 สัญญาณกวาดที่ถูกสร้างขึ้นและวัดได้จากสโคป



รูปที่ 5-10 สัญญาณที่สร้างขึ้นและวัดได้จากเครื่องวัด

จากด้านบนรูปที่ 5-9 และรูปที่ 5-10 แสดงสัญญาณความถี่เดียวซึ่งสร้างจากโปรแกรมบนบอร์ดโดยรูปด้านซ้ายจะใช้กำลังสัญญาณที่ 60 และสร้างสัญญาณที่มีความถี่ 1.6 MHz จะให้ความถี่ 93.7 KHz และด้านขวาจะใช้กำลังสัญญาณที่ 184 จะให้สัญญาณความถี่ 288 KHz ซึ่งเมื่อวัดจากสโคปพบว่ามีความถี่คลาดเคลื่อนไปเล็กน้อย

ผลการวัดผลตอบสนองทางความถี่ของสายส่งกำลังภายในห้องปฏิบัติการวิจัยเป็นดังรูปที่ 5-11 ด้านล่างนี้ ด้านซ้ายจะเป็นผลตอบสนองทางความถี่ของสายส่งกำลัง ณ จุดทดสอบซึ่งไม่มีอุปกรณ์ไฟฟ้าใดต่ออยู่ ด้านขวาจะเป็นผลตอบสนองทางความถี่ของสายส่งกำลัง ณ จุดทดสอบซึ่งมีอุปกรณ์ไฟฟ้าต่ออยู่ได้แก่เครื่องคอมพิวเตอร์ เครื่องวัดสโคป อะแดปเตอร์ไฟฟ้ากระแสตรงแบบวงจรแปลงผันกำลัง

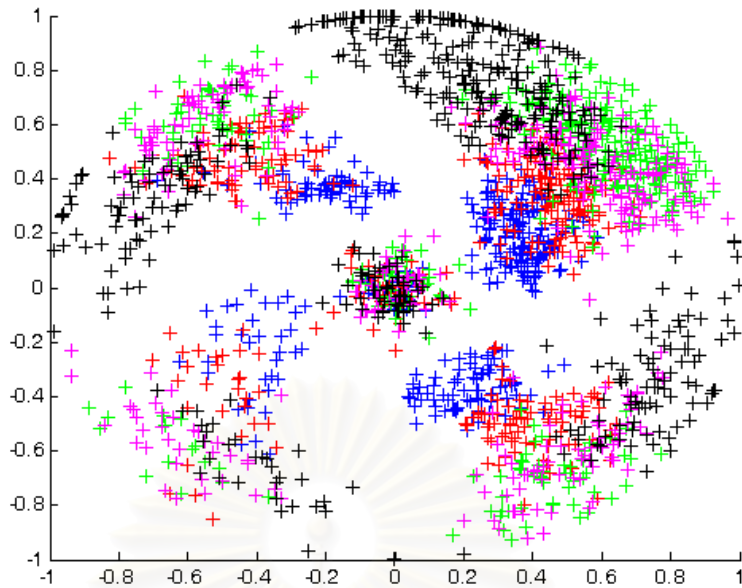


รูปที่ 5-11 ผลการวัดผลตอบสนองทางความถี่ของสายส่งกำลัง

จากผลที่ได้จากรูปด้านซ้ายพบว่าถ้าใช้ความถี่ในช่วง 250-400 KHz จะสามารถให้ประสิทธิภาพในการสื่อสารสูงสุดเนื่องจากผลของการลดทอนสัญญาณในช่วงความถี่นั้นมีค่าใกล้เคียงกันตลอดช่วงความถี่ ซึ่งจะเหมาะกับการสื่อสารด้วยวิธีการมอดูเลตแบบโอเอฟดีเอ็มหรือการสื่อสารด้วยวิธีใช้ความถี่แผ่กระจาย (spread spectrum) เนื่องจากต้องใช้งานความถี่ในช่วงกว้าง นอกจากนั้นยังสามารถใช้ความถี่ในช่วง 100-150 KHz ได้แต่จะมีสัญญาณรบกวนปะปนกับสัญญาณพาหะด้วยซึ่งจะทำให้ประสิทธิภาพในการรับส่งข้อมูลลดลง ในขณะที่ผลจากรูปด้านขวามองว่าช่วงความถี่ 100-150 KHz เป็นช่วงที่ผลของการลดทอนตลอดช่วงนั้นมีค่าใกล้เคียงกัน เช่นเดียวกับช่วงความถี่ 250-400 KHz แต่ช่วงหลังจะเหมาะสมกับการสื่อสารแบบโอเอฟดีเอ็มมากกว่าเนื่องจากสามารถใช้จำนวนพาหะย่อยได้มาก ซึ่งจะสามารถทำให้ส่งข้อมูลได้รวดเร็วยิ่งขึ้น

จากการวัดผลตอบสนองทางความถี่ของสายส่งกำลังจะทำให้เราทราบถึงผลที่จะมีต่อสัญญาณความถี่ที่เราใช้ในการสื่อสารในสายส่งกำลังทั้งด้านขนาดและด้านมุมเฟส ซึ่งจะส่งผลกระทบต่อการถอดรหัสสัญญาณที่ภาครับ ตัวอย่างของผลกระทบจากช่องสัญญาณดังรูปที่ 5-12





รูปที่ 5-12 มุมเฟสของสัญญาณที่รับได้โดยแยกสีตามช่วงความถี่

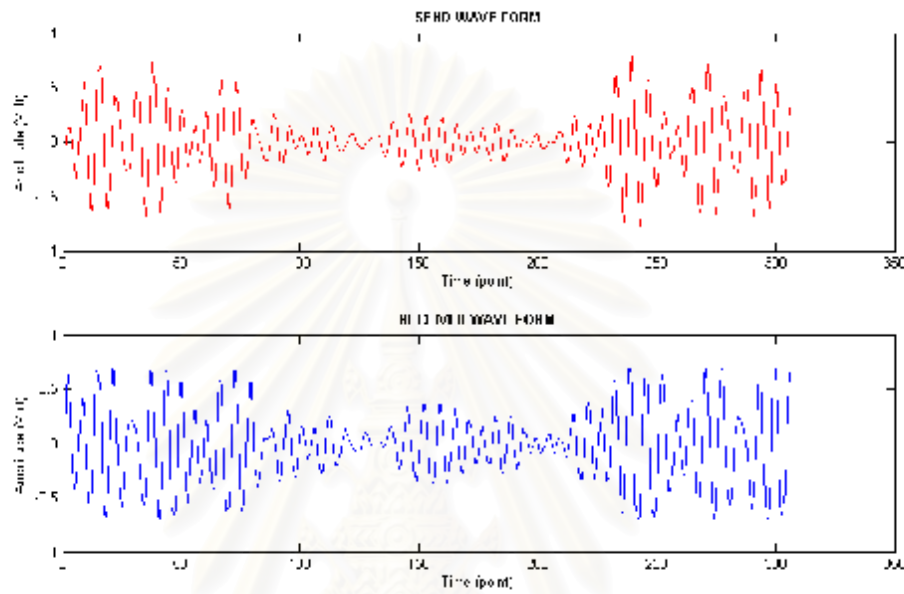
จะพบว่าในช่วงความถี่ซึ่งเป็นสีน้ำเงิน สีแดง สีชมพูและสีเขียว มีการรวมตัวกันอยู่ภายในมุมเฟสซึ่งสามารถแบ่งแยกได้ 4 กลุ่มอย่างชัดเจนแต่ในช่วงความถี่สีดำซึ่งเป็นความถี่ที่สูงกว่าสีอื่น ๆ นั้นพบว่า ผลของการเลือนเฟสมีมากขึ้นกว่าความถี่อื่น ซึ่งอาจเกิดจากการถูกรบกวนจากอุปกรณ์ไฟฟ้าซึ่งใช้งานอยู่ ณ บริเวณที่ทำการทดสอบ นอกจากนั้นยังพบผลจากการลดทอนของสัญญาณในช่วงความถี่สีน้ำเงินและสีแดง ซึ่งผลเหล่านี้เราสามารถหลีกเลี่ยงได้โดยอาศัยการวิเคราะห์ผลตอบสนองทางความถี่ของสายส่งกำลัง เพื่อหลีกเลี่ยงช่วงความถี่ซึ่งมีผลกระทบเหล่านี้ นอกจากนั้นยังสามารถแก้ผลจากช่องสัญญาณได้โดยการเพิ่มส่วนประมาณค่าช่องสัญญาณ (channel estimation) ซึ่งทำให้ภาครับสามารถปรับแก้ความผิดเพี้ยนซึ่งเกิดจากช่องสัญญาณได้

### 5.3. การทดลองส่งและรับสัญญาณที่มอดูเลตด้วยวิธีโอเอฟดีเอ็มแบบต่างๆ

ในการทดสอบจะใช้วิธีการทดสอบเช่นเดียวกับการวัดผลตอบสนองทางความถี่ แต่จะเปลี่ยนสัญญาณที่ทำการส่งและรับเป็นสัญญาณที่ใช้วิธีการมอดูเลตแบบโอเอฟดีเอ็มซึ่งมีโครงสร้างต่างๆ รวมทั้งการทดลองส่งและรับสัญญาณขณะที่มีสัญญาณรบกวนในช่วงความถี่ซึ่งแตกต่างกัน รวมทั้งการทดลองส่งและรับสัญญาณในระยะทางไกล ซึ่งผลการทดสอบมีดังต่อไปนี้

### 5.3.1. ผลที่ได้จากการส่งสัญญาณโอเอฟดีเอ็มบนสายส่งในสภาวะปกติ

ใช้สัญญาณโอเอฟดีเอ็มขนาดเฟรม 256 จุด มีเฟรมการ์ดขนาด 50 จุด ใช้จำนวนพาหะย่อย 32(16) ชุด มีช่วงความถี่ที่ใช้ส่งคือ 116.25-172.5 KHz ใช้ส่งข้อมูลขนาด 4000 บิต ด้วยอัตราการส่งประมาณ 100 Kbps โดยใช้การแปลงข้อมูลแบบ QPSK และส่งข้อมูลบนสายส่งกำลังขณะที่มีการใช้งานปกติได้ผลของสัญญาณที่รับได้ดังรูปที่ 5-13



รูปที่ 5-13 สัญญาณโอเอฟดีเอ็มที่รับได้เฉพาะเฟรมแรก

OFDM

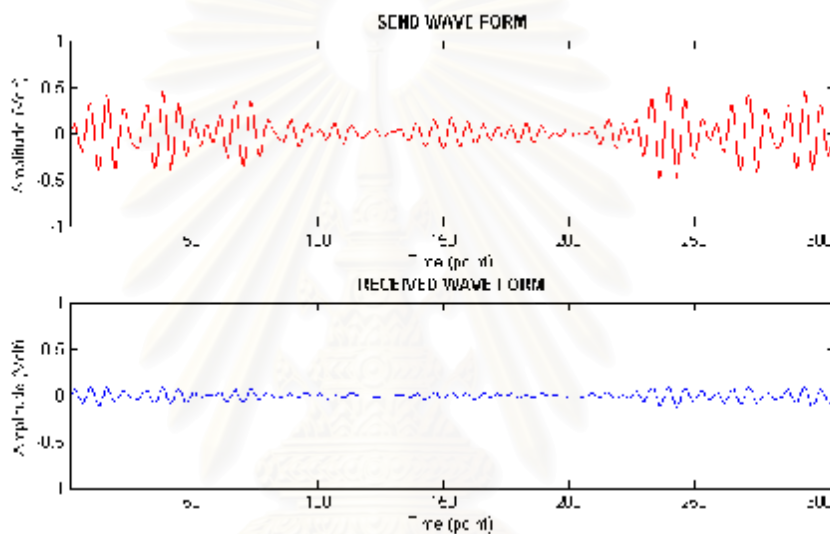
OFDM

รูปที่ 5-14 ข้อมูลที่ส่งและรับได้จากการส่งในสภาวะปกติ

จากผลของข้อมูลในรูปที่ 5-14 จะพบว่ามียังข้อมูลที่เกิดผิดพลาดอยู่จำนวน 3 บิต จากจำนวนข้อมูลดิบ 5000 บิต คิดเป็นอัตราบิตผิดพลาด 0.06 %

### 5.3.2. ผลที่ได้จากการส่งสัญญาณโอเอฟดีเอ็มขณะที่มีการต่อโหลด

ใช้สัญญาณโอเอฟดีเอ็มขนาดเฟรม 256 จุด มีเฟรมการ์ดขนาด 50 จุด มีจำนวนพาหะย่อย 32(16) ชุด มีช่วงความถี่ของพาหะระหว่าง 116.25-172.5 KHz และช่วงความถี่ 243.8-300 KHz ส่งข้อมูลดิบขนาด 4000 บิต ด้วยอัตราการส่ง 90.7 Kbps โดยการใช้การแปลงข้อมูลแบบ QPSK และส่งข้อมูลบนสายส่งกำลังขณะที่มีการต่อโหลดเป็นอุปกรณ์ไฟฟ้าและมีระยะห่างระหว่างจุดทดสอบ 60 เมตร ได้ผลของสัญญาณที่รับได้ดังรูปที่ 5-15



รูปที่ 5-15 สัญญาณโอเอฟดีเอ็มที่รับได้ในเฟรมที่ 2 ของการส่งครั้งที่ 2

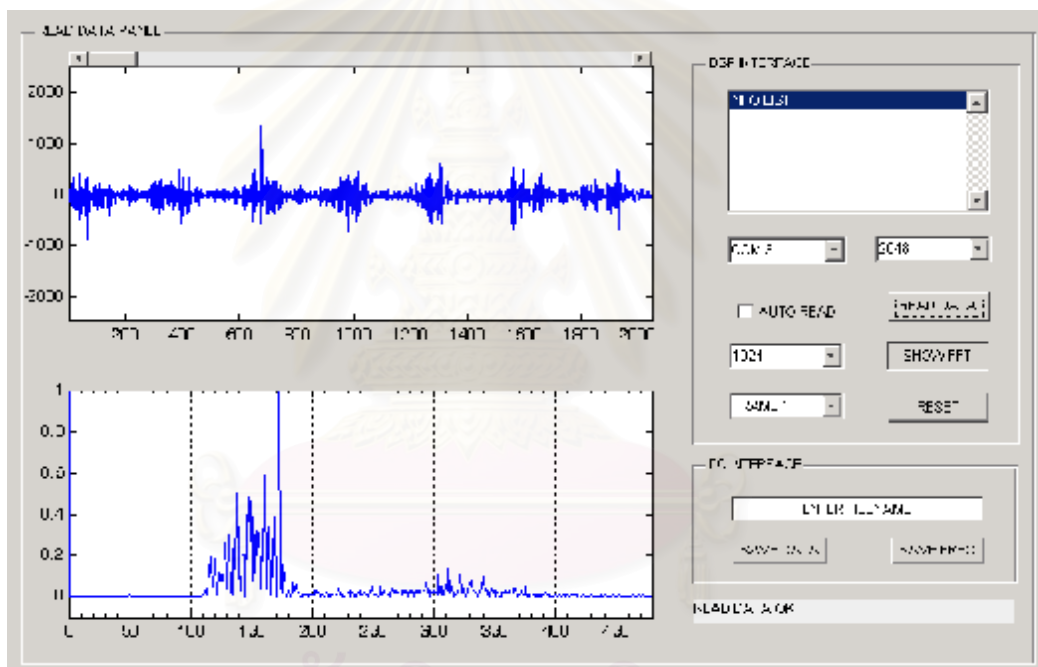
สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

รูปที่ 5-16 ข้อมูลที่ส่งและรับได้จากการส่งด้วยเทคนิคเอฟดีเอ็มครั้งที่ 2

จากผลการทดลองในรูปที่ 5-16 พบว่าข้อมูลที่ได้รับมีการกลับเฟสของสัญญาณจึงทำให้ข้อมูลที่ได้ มีค่าตรงข้ามกับข้อมูลจริง โดยในขั้นตอนของการแปลงข้อมูลเป็นสัญลักษณ์เราเลือกใช้วิธีการวางตำแหน่งสัญลักษณ์ซึ่งอยู่ติดกันให้มีค่าความแตกต่างระหว่างบิตเพียง 1 บิต ดังนั้นในกรณีที่เกิดกลับเฟสของสัญญาณจะให้ค่าของผลลัพธ์ตรงข้ามกับค่าที่ควรจะเป็น ซึ่งส่งผลให้ได้ภาพที่มีสีตรงข้ามกับภาพต้นฉบับ

### 5.3.3. ผลการส่งสัญญาณโอเอฟดีเอ็มในขณะถูกรบกวนจากสัญญาณภายนอก

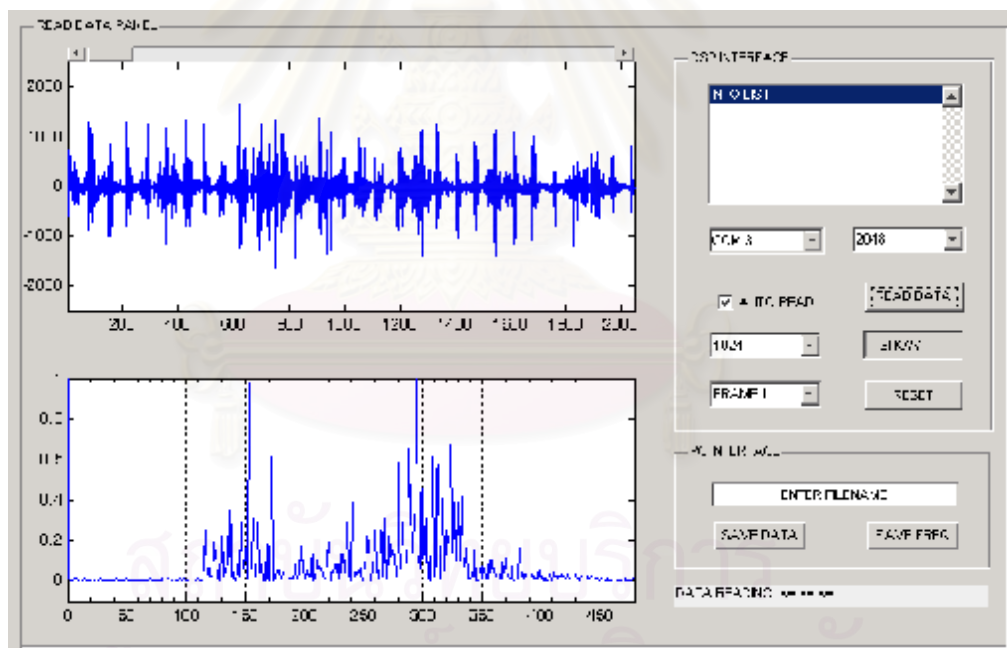
จะใช้โครงสร้างสัญญาณโอเอฟดีเอ็มที่มีขนาดเฟรม 256 จุด มีการ์ดเฟรม 50 จุด และใช้พาหะย่อย 32(16) จุด โดยใช้ช่วงความถี่ 116.25-172.5 KHz และส่งข้อมูลดิบขนาด 4000 บิต ด้วยอัตราการ 90.7 Kbps โดยใช้การแปลงข้อมูลแบบ QPSK และส่งข้อมูลบนสายส่งกำลังขณะที่ถูกรบกวนจากสัญญาณรบกวนที่เครื่องรับสัญญาณ



รูปที่ 5-17 สัญญาณโอเอฟดีเอ็มและสเปกตรัมของคลื่นพาหะย่อย

จากรูปที่ 1-1 รูปที่ 5-17 กราฟด้านบนแสดงถึงภาพของสัญญาณโอเอฟดีเอ็มซึ่งใช้ในการทดสอบ โดยวิธีการสุ่มวัดข้อมูลขนาด 2048 จุด โดยใช้อัตราการสุ่ม 960 KHz และทำการแปลงข้อมูลด้วยวิธีการแปลงฟูริเยร์แบบเรซ โดยใช้จำนวนข้อมูล 1024 จุด และแสดงผลด้านล่างเป็นสเปกตรัมความถี่ของคลื่นพาหะย่อยที่ใช้ส่งซึ่งครอบคลุมช่วงความถี่ประมาณ 100-180 KHz นอกจากนี้ยังประกอบด้วยความของสัญญาณรบกวนขนาดเล็กซึ่งอยู่ในช่วงความถี่อื่นซึ่งเครื่องวัดสามารถตรวจสอบได้

เมื่อเพิ่มสัญญาณรบกวนซึ่งคาดว่าจะมีผลต่อการสื่อสารแบบ PLC เข้าไปในสายส่งกำลัง ณ จุดซึ่งอยู่ใกล้กับชุดส่งสัญญาณโอเอฟดีเอ็ม โดยในการทดลองนี้ใช้เครื่องดูฝุ่นขนาด 500 Watt ซึ่งจัดเป็นโหลดชนิดมอเตอร์ไฟฟ้า ซึ่งจะสร้างสัญญาณรบกวนในช่วงความถี่ 150 ถึง 400 KHz และทำการทดสอบการรับส่งข้อมูลแบบโอเอฟดีเอ็มและวัดผลของสัญญาณที่เกิดขึ้นบนสายส่งกำลังด้วยเครื่องทดสอบที่สร้างขึ้น โดยมีระยะห่างระหว่างจุดทดสอบประมาณ 60 เมตร ได้ผลการทดลองดังรูปที่ 5-18 โดยภาพด้านบนเป็นสัญญาณซึ่งเกิดจากการสุ่มทดสอบข้อมูลจำนวน 2048 จุด ด้วยอัตราการสุ่ม 960 KHz และนำมาวิเคราะห์ผลทางความถี่ด้วยการแปลงฟูริเยร์แบบเร็ว โดยใช้ข้อมูล 1024 จุด และแสดงผลในภาพด้านล่าง ซึ่งจะพบว่าสัญญาณความถี่ของคลื่นพาหะเดิมซึ่งอยู่ในช่วง 100-180 KHz ยังคงอยู่และเกิดความถี่ของสัญญาณรบกวนซึ่งมีขนาดใกล้เคียงกันอยู่ในช่วงความถี่ 180-400 KHz เพิ่มขึ้นมาแสดงให้เห็นว่าถ้าเราเลือกใช้ความถี่พาหะย่อยในช่วงดังกล่าว จะยังคงสามารถรับส่งข้อมูลผ่านสายส่งกำลังได้อยู่ แต่หากคลื่นพาหะย่อยที่เราใช้ในการสื่อสารมีค่าอยู่ในช่วงความถี่ซึ่งมีสัญญาณรบกวนอยู่นั้นอาจจะส่งผลต่อการสื่อสารทำให้ไม่สามารถถอดรหัสข้อมูลที่รับมาได้



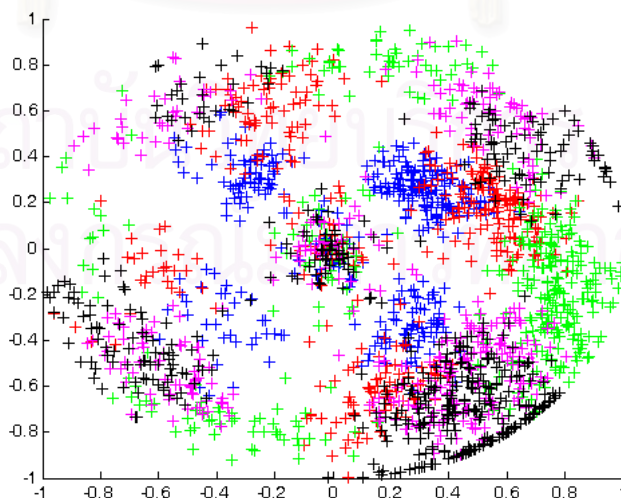
รูปที่ 5-18 สัญญาณโอเอฟดีเอ็มรวมกับสัญญาณรบกวนจากเครื่องดูฝุ่น

เมื่อนำข้อมูลซึ่งรับได้มาทำการถอดรหัสเพื่อวัดผลการรับส่งข้อมูลพบว่าข้อมูลซึ่งผิดไปจากต้นฉบับอยู่จำนวนหนึ่งและยังพบผลของการกลับเฟสของสัญญาณจากข้อมูลที่รับได้ดังรูปที่ 5-19 ซึ่งดูได้จากสีของข้อมูลซึ่งตรงกันข้ามกับข้อมูลต้นฉบับและเมื่อนำข้อมูลซึ่งรับได้มาทำการวิเคราะห์เพิ่มเติม โดยแสดงผลข้อมูลในรูปของมุมเฟสดังรูปที่ 5-20 โดยในภาพจุดสีแต่ละจุดจะแทนข้อมูลซึ่งได้จากพาหะย่อยแต่ละกลุ่มที่มีความถี่ใกล้เคียงกัน เริ่มจากกลุ่มสีน้ำเงิน สีแดง สี

เขี้ยว สีชมพูและสีดำ ซึ่งจะพบว่าคลื่นพาหะในแต่ละกลุ่มมีการเลื่อนของมูมเฟสไปเป็นช่วงๆแต่ยังคงเกาะกลุ่มกันอยู่ซึ่งอาจเกิดได้จากการที่สัญญาณรบกวนนั้นส่งผลต่อการทำซิงโครไนส์ที่ภาครับทำให้กำหนดจุดเริ่มต้นของเฟรมข้อมูลผิดพลาดไป ซึ่งจะส่งผลให้เกิดการเลื่อนเฟสของข้อมูลได้ หรืออาจเกิดจากสัญญาณรบกวนนั้นส่งผลต่อคลื่นพาหะย่อยบางช่วงทำให้เกิดการเปลี่ยนแปลงมูมเฟสของมูมได้เช่นกัน ซึ่งในกรณีนี้เกิดจากผลของทั้งกรณีรวมกัน เนื่องจากกลุ่มข้อมูลสีชมพูและสีดำนั้นซึ่งเป็นคลื่นพาหะซึ่งอยู่ในช่วงความถี่ 150-180 KHz ซึ่งอยู่ใกล้กับความถี่สัญญาณรบกวนนั้นมีมูมเฟสที่ตรงกันแตกต่างจากความถี่อื่น ซึ่งปัญหาเหล่านี้สามารถจะแก้ไขได้ด้วยการเพิ่มส่วนของการประมาณค่าช่องสัญญาณและการชดเชยผลจากช่องสัญญาณที่ภาครับข้อมูลซึ่งจะทำให้สามารถถอดรหัสข้อมูลที่ได้รับมาได้ถูกต้องมากขึ้น

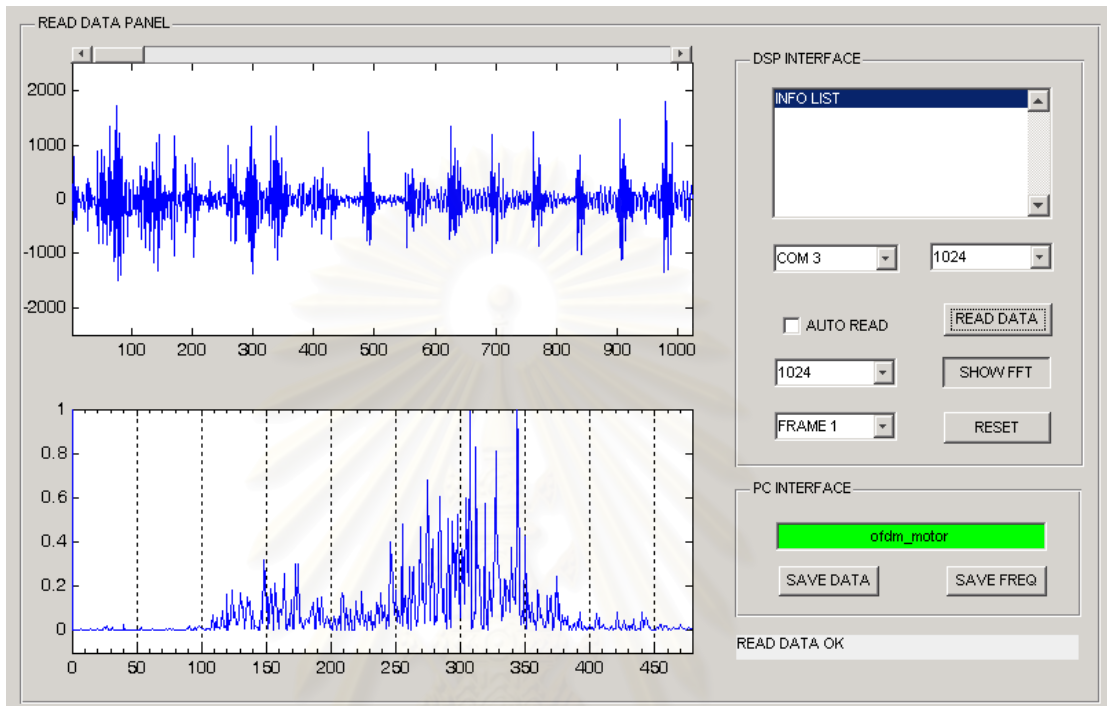


รูปที่ 5-19 ข้อมูลซึ่งรับได้จากการทดสอบขณะมีสัญญาณรบกวนในสายส่ง



รูปที่ 5-20 ผลของข้อมูลซึ่งรับได้ในรูปของมูมเฟส

เมื่อเปลี่ยนตำแหน่งของสัญญาณรบกวนให้เข้าใกล้กับภาครับสัญญาณโดยที่ตำแหน่งของชุดทดสอบยังอยู่ที่เดิมและวัดสัญญาณที่เกิดขึ้นในสายส่งกำลังด้วยวิธีเดิมจะได้ผลการทดสอบดังรูปที่ 5-21 ซึ่งพบว่าในครั้งนี้นั้นขนาดของสัญญาณรบกวนนั้นมีขนาดใหญ่กว่าสัญญาณทดสอบและครอบคลุมช่วงความถี่กว้างกว่าเดิม

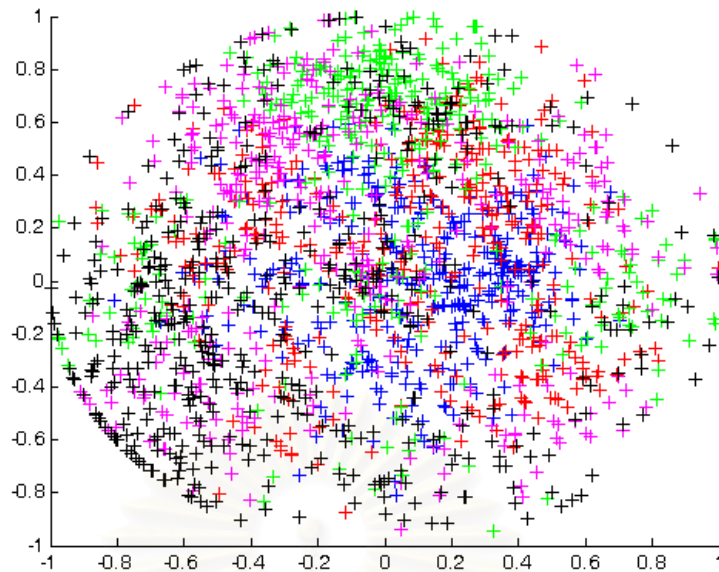


รูปที่ 5-21 สัญญาณโอเอฟดีเอ็มและสัญญาณรบกวนซึ่งอยู่ใกล้ภาครับ

เมื่อทำการถอดรหัสข้อมูลซึ่งรับได้จากการทดสอบพบว่า ข้อมูลที่ได้มีอัตราความผิดพลาดสูงและเหลือรูปแบบของข้อมูลต้นฉบับที่ส่งไปน้อยมากดังรูปที่ 5-22

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

รูปที่ 5-22 ข้อมูลซึ่งรับได้จากการทดสอบขณะมีสัญญาณรบกวนใกล้ภาครับ



รูปที่ 5-23 ข้อมูลที่รับได้ในรูปของมุมเฟส

เมื่อวิเคราะห์ข้อมูลที่เก็บไว้โดยการแสดงผลในรูปของมุมเฟสพบว่าข้อมูลที่รับได้มีการกระจายตัวมากซึ่งเกิดจากสัญญาณรบกวนที่เพิ่มเข้าไปให้กับภาครับ เมื่อเกิดเหตุการณ์นี้ขึ้นจำเป็นต้องเปลี่ยนแปลงโครงสร้างของสัญญาณโอเอฟดีเอ็มที่ใช้รับส่งข้อมูลโดยอาจเปลี่ยนวิธีการแปลงข้อมูลจาก QPSK เป็น BPSK หรือ DPSK ซึ่งน่าจะทำให้ระบบ PLC ยังสามารถใช้งานในบริเวณทดสอบนี้ได้ แต่จะมีความเร็วในการรับส่งข้อมูลที่ลดลงจากเดิม

เมื่อนำผลการทดสอบการสื่อสารแบบโอเอฟดีเอ็มในสถานะต่างๆที่ทำการทดสอบมาสรุปผลเป็นตารางเปรียบเทียบด้านล่าง ซึ่งแสดงถึงผลของสัญญาณรบกวนที่มีต่อการสื่อสารผ่านสายส่งกำลังและวิธีการปรับแก้ซึ่งจะช่วยให้สามารถใช้งานระบบการสื่อสารผ่านสายส่งกำลังได้นอกจากวิธีเพิ่มเติมปรับแก้แล้วยังสามารถใช้วิธีเลือกช่วงความถี่ที่จะใช้รับส่งข้อมูลเป็นช่วงความถี่อื่นที่มีความเหมาะสมกว่าโดยดูจากผลตอบสนองของทางความถี่ได้



Condition	Normal	Load Line	Load Line	OFDM vs Noise 2
OFDM frame	256	256	256	256
Frame guard	50	50	50	50
Freq range (KHz)	116.3-172.5	243.8-300	116.3-172.5	116.3-172.5
N subcarriers	16	16	16	16
Subcarrier spacing	3.75 KHz	3.75 KHz	3.75 KHz	3.75 KHz
Subcarrier modulation	QPSK	QPSK	QPSK	QPSK
Total data	5000	4000	4000	4000
Bit rate	100 Kbps	90.7 Kbps	90.7 Kbps	90.7 Kbps
Bit error	0	0	4	373
Bit error rate	0	0	1 %	9.32 %
Note	-	Channel estimation & compensation	Channel estimation & compensation	Channel estimation & compensation

ตาราง 1 ตารางเปรียบเทียบผลการรับส่งข้อมูลแบบโอเอฟดีเอ็มด้วยวิธีมอดูเลตแบบต่างๆ

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## บทที่ 6

### ข้อสรุปและข้อเสนอแนะ

#### 6.1. ข้อสรุป

สรุปงานวิจัยนี้ได้ออกแบบสร้างเครื่องทดสอบสายส่งกำลังที่จะนำมาใช้กับการสื่อสารผ่านสายส่งกำลัง โดยมีช่วงความถี่ที่ใช้ในการทดสอบอยู่ที่ 1- 400 KHz และสามารถทดสอบสายส่งกำลังในด้านของสัญญาณรบกวนพื้นในสายส่งกำลัง ผลตอบสนองทางความถี่ของสายส่งกำลัง และสามารถจำลองการรับส่งข้อมูลผ่านสายส่งกำลังได้ โดยใช้เทคนิคโอเอฟดีเอ็ม ซึ่งสามารถแสดงผลในรูปแบบของอัตราข้อมูลผิดพลาดบิตและสามารถเก็บบันทึกข้อมูลและสัญญาณที่ใช้ในการทดสอบเพื่อนำมาวิเคราะห์สาเหตุของปัญหาที่เกิดขึ้นและแนวทางในการหลีกเลี่ยงปัญหา เพื่อให้สามารถใช้งานระบบการสื่อสารผ่านสายส่งกำลังได้ประสิทธิภาพสูงสุด เครื่องทดสอบสายส่งกำลังที่สร้างขึ้นนี้เป็นแบบพกพาสามารถนำไปใช้งานในสถานที่จริงได้โดยเชื่อมต่อกับเครื่องคอมพิวเตอร์ส่วนบุคคลผ่านพอร์ต USB และถูกออกแบบให้มีระบบไอโซเลตด้วยแสงซึ่งสามารถแยกสัญญาณไฟฟ้าแรงสูงจากสายส่งกำลังออกจากสัญญาณไฟฟ้าแรงต่ำที่ใช้ติดต่อกับผู้ใช้ได้ ทำให้มีความปลอดภัยในการใช้งานสูงสุด

#### 6.2. ข้อเสนอแนะ

- I. เนื่องจากข้อจำกัดด้านความเร็วในการทำงานของชิปประมวลผลและการติดต่อสื่อสารกับหน่วยความจำประเภทแฟลตภายในและหน่วยความจำชั่วคราวภายนอกทำให้การทำงานบนตัวเครื่องนั้นไม่สามารถทำได้จึงยังต้องอาศัยเครื่องคอมพิวเตอร์ส่วนบุคคลมาช่วยในการประมวลผลข้อมูลที่ได้รับ
- II. การสื่อสารระหว่างเครื่องคอมพิวเตอร์และเครื่องทดสอบนั้นใช้ความเร็วในการสื่อสารประมาณ 0.4 Mbps และสามารถตั้งความเร็วในการสื่อสารได้สูงสุด 1 Mbps เท่านั้น ทำให้การส่งข้อมูลทดสอบมายังเครื่องคอมพิวเตอร์ต้องใช้เวลาาน หากต้องการส่งข้อมูลให้ได้ความเร็วที่สูงกว่านี้ควรเป็นมาใช้ในการส่งข้อมูลแบบ USB แทนที่สามารถรับส่งข้อมูลได้ถึง 12 Mbps และ 400 Mbps ในแบบเต็มความเร็ว
- III. วงจรไอโซเลตด้วยแสงที่เลือกใช้ในวิทยานิพนธ์นี้มีช่วงการทำงานทางความถี่ไม่สูงนัก ทำให้เป็นข้อจำกัดในการสื่อสารแบบโอเอฟดีเอ็มซึ่งสามารถรองรับความเร็วในการ

สื่อสารได้สูงกว่านี้หาต้องการใช้งานในย่านความถี่ที่สูงกว่านี้จำเป็นต้องเปลี่ยนวงจรไอซีเลตด้วยแสงเป็นวงจรอื่นแทนเช่นวงจรไอซีเลตด้วยหม้อแปลง



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## รายการอ้างอิง

- [1] The HomePlug Powerline Alliance, Inc. "HomePlug Standard". [Online]. Available from: [http://en.wikipedia.org/wiki/HomePlug\\_Powerline\\_Alliance](http://en.wikipedia.org/wiki/HomePlug_Powerline_Alliance) [May 2006]
- [2] Echelon Corporation. "Power Line Communication Technology Update" [Online]. Available form: [www.viste.com/LON/tools/PowerLine/PLTechnology.pdf](http://www.viste.com/LON/tools/PowerLine/PLTechnology.pdf) [May, 2000]
- [3] CENELEC. "European Committee for Electro technical Standardization" [Online] Available from: [www.cenelec.org](http://www.cenelec.org) [May 2006]
- [4] Federal Communications Commission (FCC). "PowerLine Standard in US" [Online]. Available from: [www.fcc.gov](http://www.fcc.gov) [May 2006]
- [5] ด้ญญกร วุฒิสถิทธิกุลกิจ, "หลักการระบบโทรศัพท์เคลื่อนที่" กรุงเทพฯ : สำนักพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย, 2546
- [6] Yun Chiu, Dejan Markovic, Haiyun Tang, Ning Zhang. "OFDM Receiver Design", University of California, Berkeley, 2000.
- [7] Er Liu, Yangpo Gao, Golam Samdani, Omar Mukhtar and Timo Korhonen, "Powerline Communication Over Special Systems", IEEE 2005
- [8] Texas Instrument. "DSP TMS320C2000 Digital Signal Controller Power Line Communication" [Online]. Available from: [www.ti.com](http://www.ti.com) [Oct, 2005]
- [9] Agilent Technologies. "HCPL-800J PLC Power line DAA IC" [Online]. Available from: [www.agilent.com/semiconductors](http://www.agilent.com/semiconductors) [Dec, 2003]
- [10] Agilent Technologies "HCPL-800J Application Note 5074" [Online]. Available from: [www.agilent.com/semiconductors](http://www.agilent.com/semiconductors) [Dec, 2003]
- [11] Texas Instrument. "TMS320F2812 Digital Signal Processor Data Manual" [Online]. Available from: [www.ti.com](http://www.ti.com) [May, 2006]
- [12] Texas Instrument. "DAC2932 Dual, 12-Bit, 40 Msps, Digital to Analog Converter" [Online]. Available from: [www.ti.com](http://www.ti.com) [July, 2005]

[13] Future Technology Devices International Ltd. "FT232R USB UART I.C." [Online].

Available from: [www.ftdichip.com](http://www.ftdichip.com) [Dec, 2005]



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย



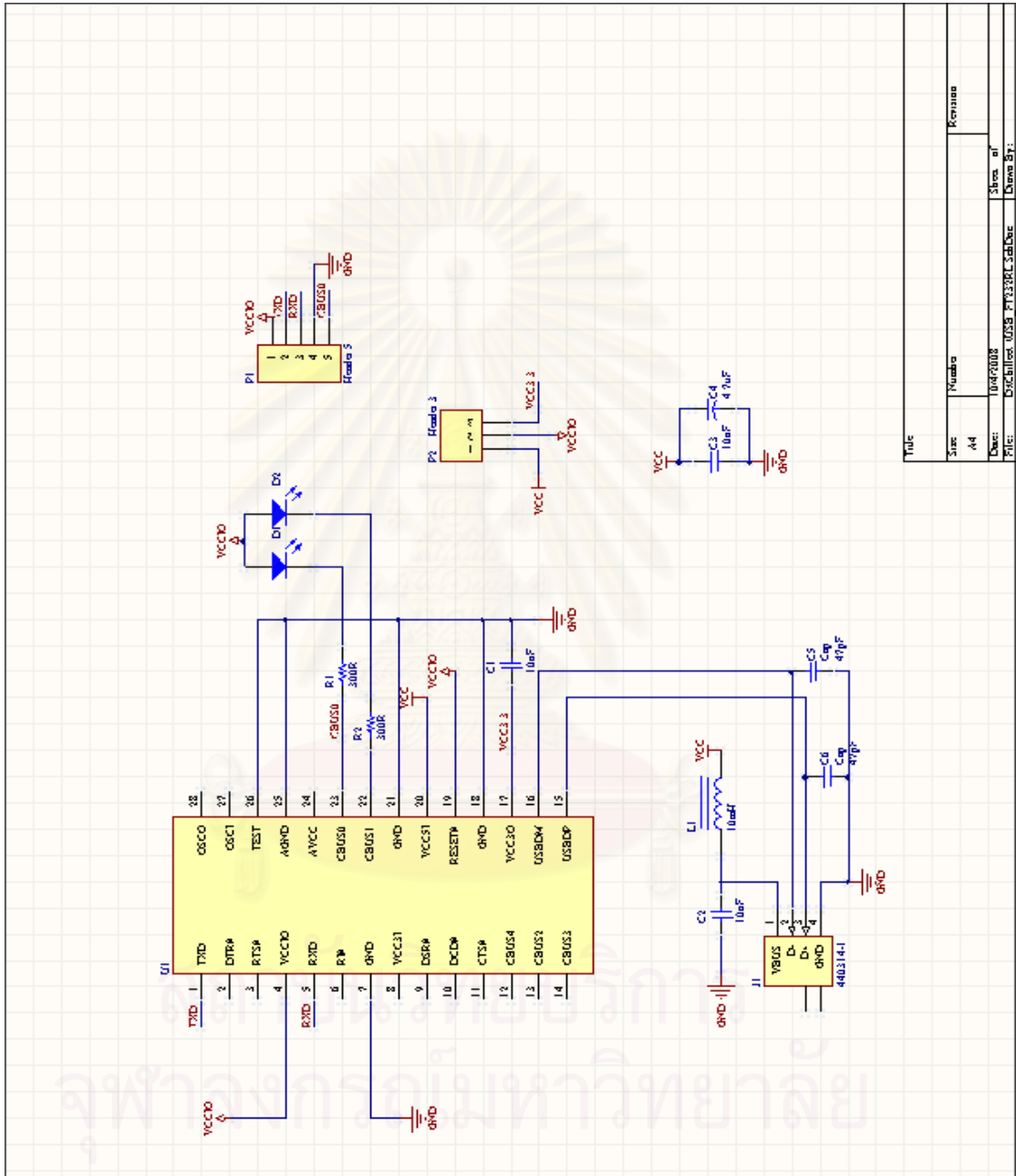
ภาคผนวก

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# ภาคผนวก ก

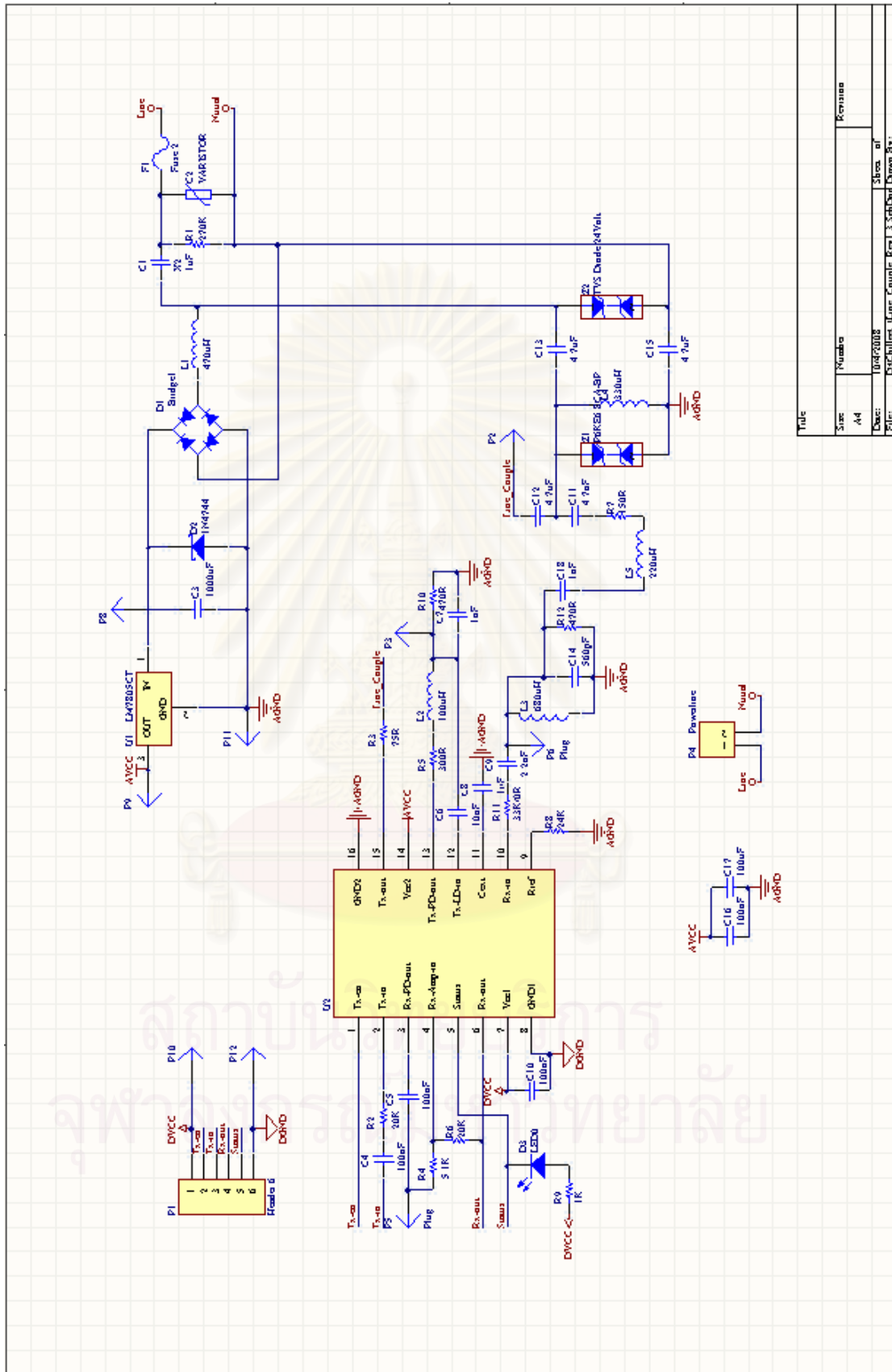
## รูปวงจรซึ่งออกแบบสำหรับงานวิจัยนี้

วงจรถอดรหัส USB to SERIAL



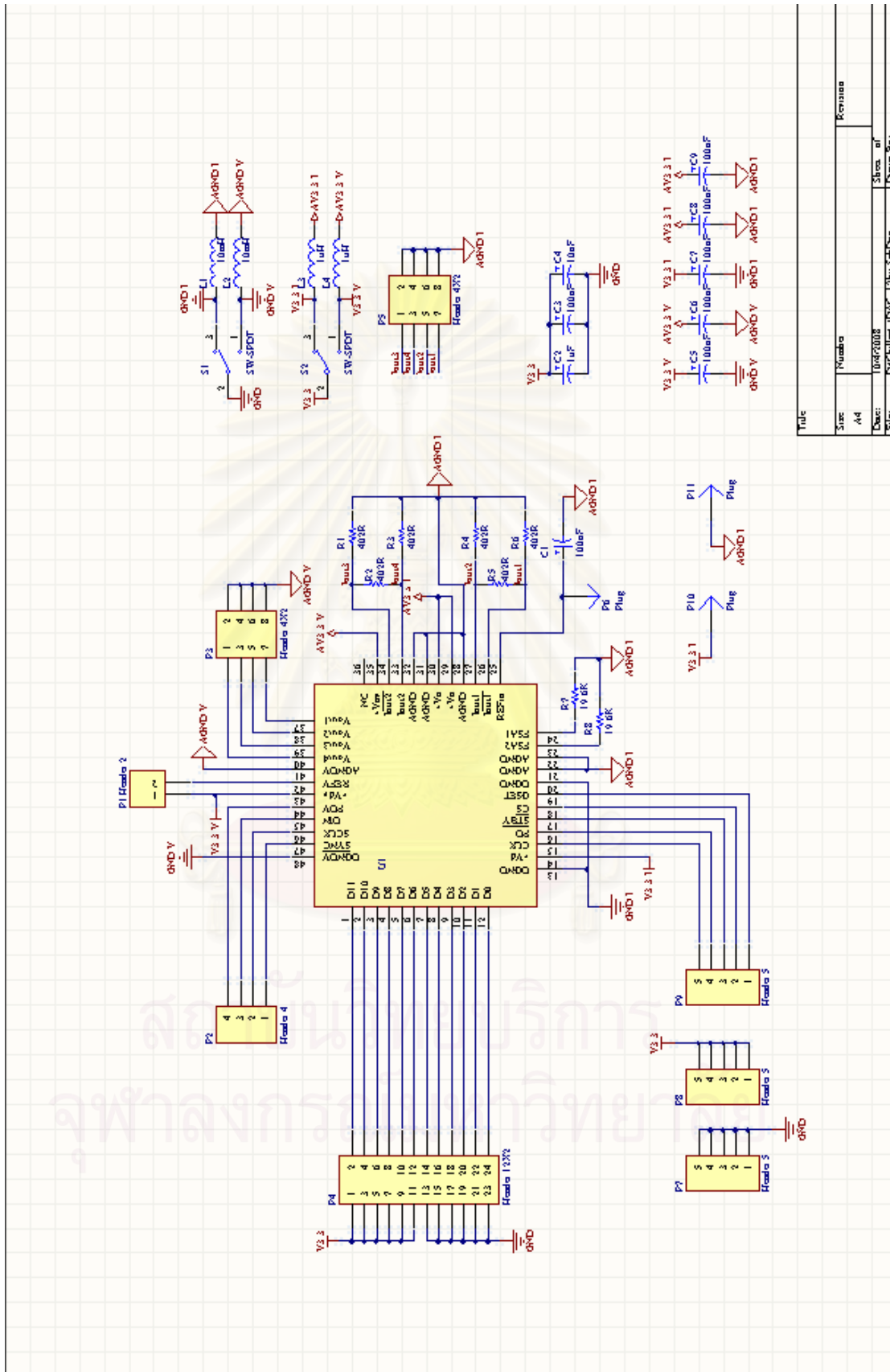
Title	
ชื่อ	Kevinana
ชื่อ	A4
ชื่อ	10647008
ชื่อ	Design of USB to SERIAL Converter
ชื่อ	Design of

วงจรถอดรีด Line Coupling Interface





วงจรบอร์ดแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก



Title	Keyboard		
Size	Number	Revision	
A4	10/07/2008	Sheet of	
Date:	Dr. Chinnon, UoYC 13th, 3rd Dec	Drawn by:	

## ประวัติผู้เขียนวิทยานิพนธ์

นายสรารวุฒิ เดชจรัสโยธิน เกิดวันที่ ๗ มกราคม พ.ศ. ๒๕๒๕ ที่จังหวัด กรุงเทพมหานคร สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จาก คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา ๒๕๔๗ และสมัครเข้าศึกษาต่อใน หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า แขนงวิศวกรรมไฟฟ้า อิเล็กทรอนิกส์เชิงเลข ที่คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา ๒๕๔๘



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย