รายงานผลการวิจัย

ทุนวิจัย

กองทุนรัชดาภิเษกสมโภช

เรื่อง

การศึกษาวิธีการควบคุมปริมาณการส่งข้อมูลแบบ ABR ใน ATM เน็ทเวอร์ค

โดย

ลัญฉกร วุฒิสิทธิกุลกิจ

621.3981
ล237ก

มีนาคม 2542

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

จุฬาลงกรณ์มหาวิทยาลัย

ทุนวิจัย
กองทุนรัชดาภิเษกสมโภช

รายงานผลการวิจัย

การศึกษาวิธีการควบคุมปริมาณการส่งข้อมูลแบบ ABR ใน ATM เน็ทเวอร์ค

โดย

ลัญฉกร วุฒิสิทธิกุลกิจ

มีนาคม 2542

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

26 มี.ย. 2546 I20167337

กิตติกรรมประกาศ

ผู้วิจัยขอขอบคุณ คุณเอกลักษณ์ หวังชูเชิดกุล ซึ่งเป็นบุคคลที่มีส่วนสำคัญต่อความสำเร็จของโครงการนี้ ขอขอบพระคุณหัวหน้าห้องปฏิบัติการวิจัย CSRL ศ.ดร.ประสิทธิ์ ประพิณมงคลการ ที่ให้ความสนับสนุนด้านอุปกรณ์วิจัยและสถานที่รวมไปถึงด้านบุคคลากร และคำปรึกษาที่เป็นประโยชน์ต่อการวิจัยเป็นอย่างยิ่ง และผู้วิจัยขอขอบคุณ กองทุนรัชดาภิเษก จุฬาลงกรณ์มหาวิทยาลัย ที่ให้ความสนับสนุนโครงการวิจัยนี้เป็นอย่างดี

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ชื่อโครงการวิจัย การศึกษาวิธีการควบคุมปริมาณการส่งข้อมูลแบบ ABR ใน ATM เน็ทเวอร์ค

ชื่อผู้วิจัย อ.ดร.ลัญฉกร วุฒิสิทธิกุลกิจ

เดือนและปีที่ทำวิจัยเสร็จ มีนาคม 2542

บทคัดย่อ

รายงานวิจัยฉบับนี้กล่าวถึงการศึกษาวิธีการควบคุมปริมาณการส่งข้อมูลแบบ ABR ภายในโครงข่าย ATM จำนวน 2 วิธี คือ EFCI และ ERICA+ วิธีการทั้งสองแบบมีคุณลักษณะที่แตกต่างกันคือ วิธี EFCI เป็นวิธีที่เรียบง่าย ไม่ซับซ้อน ต้องการปริมาณข่าวสารที่ใช้ในการป้อนกลับเพื่อควบคุมการส่งของแหล่งกำเนิดข้อมูลเพียงบิตเดียว ในขณะที่วิธีการควบคุมแบบ ERICA+ นั้น สวิตช์มีการคำนวณที่ซับซ้อนมากขึ้นกว่าวิธี EFCI และสวิตช์มีบทบาทสำคัญในการควบคุมอัตราการส่งของแหล่งกำเนิดข้อมูลแต่ละแห่งโดยตรง

ในการวัดและเปรียบเทียบถึงสมรรถนะของแต่ละวิธีนั้นจะพิจารณาจาก ปริมาณหรืออัตราการส่งที่แหล่งกำเนิดข้อมูลแต่ละแห่งส่งได้ ขนาดของคิวภายในสวิตช์ ความเท่าเทียมกันของแหล่งกำเนิดแต่ละแห่งในการส่งข้อมูล และประสิทธิภาพของการใช้ช่องสัญญาณภายในระบบ จากผลการศึกษาโดยอาศัยการจำลองสถานการณ์ด้วยคอมพิวเตอร์ พบว่าวิธีแบบ ERICA+ มีสมรรถนะที่ดีกว่าวิธีแบบ EFCI ในแทบทุกด้าน แต่กระนั้นสวิตช์แบบ ERICA+ มีการทำงานที่ซับซ้อนมากกว่าแบบ EFCI

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Project Title	A Study of Techniques for Controlling ABR Traffic in ATM Networks
Name of the Investigators	Dr. Lunchakorn Wuttisittikulkij
Year	March 1999

Abstract

This research report describes a study of 2 different techniques for controlling ABR traffic in ATM networks, namely EFCI and ERICA+. The first technqiue (EFCI) is rather simple. Only a single bit is needed for conveying feedback information back to all sources. Whereas the second technique (ERICA+) requires much more complex processing than the first. All the switches have direct impacts and play a very important role in controlling the bit rate of each information source.

The performance of each technique is evaluated in terms of allowed cell rates, buffer sizes, fairness and transmission channel utilization. Through simulations, the results showed that ERICA+ performs better than EFCI in most aspects. Nevertheless, its operation is more complex.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

	หน้า
กิตติกรรมประกาศ	ii
บทคัดย่อภาษาไทย	iii
บทคัดย่อภาษาอังกฤษ	iv
สารบัญ	v
รายการตารางประกอบ	vii
รายการรูปภาพประกอบ	ix
บทที่ 1 บทนำ	1
ความเป็นมาของปัญหา	1
วัตถุประสงค์และขอบเขต	2
ประโยชน์ที่ได้รับจากการวิจัย	2
บทที่ 2 หลักการพื้นฐานระบบ ATM	3
บทนำ	3
องค์ประกอบของโครงข่าย ATM	4
ขั้นตอนการติดต่อขอเริ่มการสื่อสาร (call establishment)	5
การแบ่งชั้นโปรโตคอล	6
Physical Layer	7
ATM Layer	8
ประเภทของการให้บริการ	10
พื้นฐานการควบคุมการรับส่งข้อมูล ABR	13
กลไกการป้อนกลับสัญญาณควบคุม	15
โครงสร้างของเซลล์ RM	16
คุณลักษณะการให้บริการแบบ ABR	18
การทำงานของแหล่งกำเนิดข้อมูล	18
การผลิตและค่าเริ่มต้นของเซลล์ RM	20
การทำงานของสวิตช์	21

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 3 โครงสร้างของสวิตช์ ATM 23

บทนำ 23

ตำแหน่งและการจัดการของบัฟเฟอร์ในสวิตช์ 23

สวิตช์ Knockout 26

บทที่ 4 โครงข่าย ATM ที่ใช้งานสวิตช์แบบ EFCI 33

หลักการทำงานของ EFCI (Explicit Forward Congestion Indication) 33

รูปแบบของโครงข่ายที่นำมาศึกษา 35

ผลการจำลองการทำงานและการวิเคราะห์ 41

สรุปคุณลักษณะและสมรรถนะโดยรวมของสวิตช์แบบ EFCI 61

บทที่ 5 โครงข่ายเอทีเอ็มที่ใช้งานสวิตช์แบบ ERICA 63

หลักการทำงานของ ERICA+ 64

รูปแบบของโครงข่ายที่นำมาศึกษา 69

ผลการจำลองการทำงานและการวิเคราะห์ 72

สรุปคุณลักษณะและสมรรถนะโดยรวมของสวิตช์แบบ ERICA 88

บทที่ 6 สรุปผลการวิจัย 90

เอกสารอ้างอิง 91

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

รายการตารางประกอบ

ตารางที่		หน้า
2.1	ตัวอย่างมาตรฐานการติดต่อ UNI ใน Physical layer ที่กำหนดโดย ATM forum	8
2.2	การตอบสนองของแหล่งกำเนิดข้อมูลต่อค่าที่อ่านจากเซลล์ RM	20
2.3	การกำหนดค่าตั้งต้นของเซลล์ RM	18
2.4	ตัวแปรต่างๆของ ABR	21
4.1	ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.3	36
4.2	ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.4	37
4.3	ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.5	38
4.4	ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.6	38
4.5	ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.7	39
4.6	พารามิเตอร์ของสวิตช์แบบ EFCI	39
4.7	ค่าพารามิเตอร์ของ Source	40
4.8	พารามิเตอร์ที่ใช้กับโครงสร้างแบบ Two Nodes Switched Configuration	40
4.9	Throughput เฉลี่ยของแต่ละ VC ในโครงสร้างแบบ Two Nodes Switches Configuration ที่มีค่า RIF, RDF ต่างๆกัน	46
4.10	เปอร์เซนต์ของ Througput และค่า Fairness ของแหล่งกำเนิด ในโครงสร้างแบบ Two Nodes Switches Configuration ที่มีค่า RIF, RDF ต่างๆกัน	46
4.11	ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Three Nodes Swithes Configuration	50
4.12	ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Parking Lot Configuration	53
4.13	ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Generic Fairness Configuration I (GFCI)	56
4.14	ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Generic Fairness Configuration I (GFCI)	59

5.1 ค่าพารามิเตอร์ของสวิตช์ 71
5.2 ค่าพารามิเตอร์ของแหล่งกำเนิดข้อมูลและปลายทาง 72
5.3 ทรูพุทเฉลี่ย, ค่า Fairshare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness 76
5.4 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness 78
5.5 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness 81
5.6 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness 83
5.7 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness 86

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

รายการรูปภาพประกอบ

รูปที่		หน้า
2.1	ตัวอย่างของโครงข่าย ATM	4
2.2	มาตรฐานการเชื่อมต่อ UNI และ NNI ภายในโครงข่าย ATM	5
2.3	การขอเริ่มการติดต่อระหว่าง A กับ B ผ่านโครงข่าย ATM	6
2.4	การแบ่งชั้นโปรโตคอลในระบบ ATM	7
2.5	โครงสร้างของเซลล์ ATM	9
2.6	ตัวอย่างปริมาณการใช้แบนด์วิดท์ของช่องสัญญาณข้อมูล CBR และ VBR	13
2.7	แสดงการส่งผ่านเซลล์ข้อมูลและเซลล์ RM ในการเชื่อมต่อแบบ ABR	16
2.8	โครงสร้างของเซลล์ RM	17
3.1	โครงสร้างของสวิตช์แบบที่มีการวางบัฟเฟอร์ที่ขาเข้า (input queuing)	24
3.2	โครงสร้างของสวิตช์แบบที่มีการวางบัฟเฟอร์ที่ขาออก (output queuing)	25
3.3	โครงสร้างของสวิตช์ Knockout ขนาด NxN	26
3.4	โครงสร้างของ Bus interface	27
3.5	(a) 2×2 concentrator switch (b) stage of 2×2 concentrator switch	29
3.6	โครงสร้างของ concentrator ขนาด 8:4	30
3.7	ตัวอย่างการสร้าง concentrator ขนาด 128:8 จาก concentrator ขนาด 32:8	30
3.8	ตัวอย่างการทำงานของ filter function	31
4.1	กลไกการควบคุมความคับคั่งแบบ EFCI	34
4.2	การปรับเปลี่ยนอัตราการส่งข้อมูลของแหล่งกำเนิด	35
4.3	Two Nodes Switched Configuration	36
4.4	Three nodes Switches Configuration	37
4.5	Parking Lot Configuration	37
4.6	Generic Fairness Configuration	38

4.7 Generic Fairness Configuration II 39

4.8a อัตราการส่งข้อมูลของ A, B และ C 41

4.8b ความยาวของคิวที่สวิตช์ SW1 41

4.8c Link Utilization 41

4.9a อัตราการส่งข้อมูล A, B และ C 42

4.9b ความยาวของคิวที่สวิตช์ SW1 42

4.10a อัตราการส่งข้อมูลของแหล่งกำเนิด A 43

4.10b ความยาวของคิวที่สวิตช์ SW1 ในโครงสร้าง Two Nodes Switches Configuration 44

4.10b Link Utilization 44

4.11a อัตราการส่งข้อมูลของแหล่งกำเนิด A 45

4.11b ความยาวของคิวที่สวิตช์ SW1 45

4.11c Link Utilization ของ BB1 45

4.12 อัตราส่งของแหล่งกำเนิด ขนาดคิวของสวิตช์ Link Utilization 48

4.13 อัตราส่งของแหล่งกำเนิด ขนาดคิวของสวิตช์ Link Utilization 48

4.14a ACR (Allowed Cell Rate) 49

4.14b ขนาดคิวของสวิตช์ 49

4.15 อัตราการส่งของแหล่งกำเนิด ขนาดคิวของสวิตช์ Link Utilization 51

4.16 อัตราการส่งของแหล่งกำเนิด ขนาดคิวของสวิตช์ Link Utilization 51

4.17 อัตราการส่งของแหล่งกำเนิด ขนาดคิวของสวิตช์ Link Utilization 54

4.18 อัตราการส่งข้อมูลของแหล่งกำเนิด ขนาดคิวของสวิตช์ Link Utilization 58

5.1 กลไกการควบคุมความคับคั่งและการป้อนกลับแบบ ER 63

5.2 การปรับเปลี่ยนอัตราการส่งข้อมูลของแหล่งกำเนิด 64

5.3 การทำงานของ ERICA 67

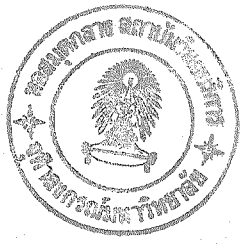
5.4 Queue Control Function ของ ERICA 69

5.5 Two Nodes Switched Configuration 70

5.6 Three Nodes Switches Configuration 70

5.7 Parking Lot Configuration 70
5.8 Generic Fairness Configuration I 70
5.9 Generic Fairness Configuration II 71
5.10 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 73
5.11 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 73
5.12 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 74
5.13 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 77
5.14 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 77
5.15 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 80
5.16 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 80
5.17 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 82
5.18 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 82
5.19 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 85
5.20 อัตราการส่งข้อมูลของการแหล่งกำเนิด ความยาวของคิวที่สวิตช์ Link Utilization 85

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



บทที่ 1
บทนำ

ความเป็นมาของปัญหา

จากการวิจัยและพัฒนาระบบโครงข่าย ATM ในช่วงทศวรรษที่ผ่านมาก่อให้เกิดการกำหนดมาตรฐานการเชื่อมต่อที่จำเป็นต่าง ๆ สำหรับเป็นพื้นฐานที่สำคัญต่อการพัฒนาระบบในลำดับขั้นที่ลงรายละเอียดมากขึ้นต่อไป ข้อกำหนดที่สำคัญเรื่องหนึ่งที่ได้มีการตกลงเป็นมาตรฐานแล้วก็คือการจัดแบ่งรูปแบบการให้บริการของโครงข่ายออกเป็น 5 ประเภท โดยการให้บริการแต่ละประเภทจะมีความเหมาะสมกับความต้องการในการรับส่งข้อมูลของทราฟฟิกในแต่ละประเภทที่แตกต่างกันไป หนึ่งในประเภทการให้บริการที่มีความเหมาะสมกับทราฟฟิกประเภทดาต้าคือ การให้บริการ ABR คุณลักษณะที่สำคัญของการให้บริการประเภทนี้คือ เวลาที่ใช้รับส่งข้อมูลไม่จำเป็นต้องกระทำอย่างต่อเนื่องและไม่เร่งด่วน นั่นคือในช่วงที่ระบบมีความแออัดคับคั่งของทราฟฟิกโครงข่ายก็จะไม่ทำการส่งข้อมูลประเภทนี้เลยหรือถ้าส่งก็ในปริมาณที่น้อย แต่เมื่อใดที่โครงข่ายมีแบนด์วิดท์เหลือใช้หลังจากที่ได้ให้บริการทราฟฟิกประเภทอื่น ๆ จนเพียงพอแล้วจึงจะทำการรับส่งข้อมูลประเภท ABR

ปัญหาหนึ่งที่สำคัญต่อการทำงานของการให้บริการแบบ ABR ก็คือกรรมวิธีหรือแนวทางในการจัดการกับปริมาณการรับส่งทราฟฟิกที่เลือกใช้บริการประเภทนี้ นั่นคือการรับส่งข้อมูล ABR จะต้องมีปริมาณไม่มากเกินไปจนกระทบต่อคุณภาพการรับส่งข้อมูลประเภทอื่น ๆ และในขณะเดียวกันระบบก็ควรจะส่งผ่านข้อมูลแบบ ABR ให้ได้ปริมาณมากที่สุดเพื่อให้การใช้ช่องสัญญาณเกิดประโยชน์สูงสุด อุปกรณ์สื่อสารที่มีบทบาทต่อการควบคุมการรับส่งข้อมูล ABR คือ แหล่งกำเนิดข้อมูลและสวิตช์แต่ละตัวในโครงข่าย ที่ผ่านมาได้มีการคิดค้นวิธีการต่าง ๆ อยู่ในระดับหนึ่งแล้ว แต่ก็ยังไม่มีวิธีการใดที่ได้รับการยอมรับให้เป็นมาตรฐานสากล ในงานวิจัยนี้เป็นอีกความพยายามหนึ่งในการที่จะคิดค้นหาแนวทางเลือกที่จะเป็นประโยชน์ต่อการพัฒนาทางด้านนี้

วัตถุประสงค์และขอบเขต

1 วัตถุประสงค์

ศึกษาพัฒนาและเปรียบเทียบวิธีการควบคุมปริมาณการส่งข้อมูล ABR ในโครงข่าย ATM เพื่อให้การใช้แบนด์วิดท์ของโครงข่ายในการส่งข้อมูล ABR มีประสิทธิภาพมากที่สุดโดยที่ต้องไม่มีผลกระทบต่อการส่งข้อมูล CBR และ VBR โดยงานวิจัยนี้จะศึกษาและเปรียบเทียบสมรรถนะของวิธีการควบคุมความคับคั่ง 2 วิธีหลัก คือ EFCI และ ERICA

2 ขอบเขตของงานวิจัย

ทำการศึกษาวิธีการควบคุมความคับคั่งในโครงข่าย ATM 2 วิธีหลักคือ EFCI (Explicit Forward Congestion Indication) และ ERICA (Explicit Rate Indication for Congestion Avoidance) โดยจะทำการทดสอบและเปรียบเทียบสมรรถนะของวิธีการทั้ง 2 แบบโดยอาศัยโปรแกรมคอมพิวเตอร์ในการจำลองการทำงาน ทั้งนี้การควบคุมความคับคั่งของทั้ง 2 วิธีจะพิจารณาจาก จำนวนเซลล์ที่ส่งผ่านสวิตช์ ปริมาณแบนด์วิดท์ที่เหลือในช่องสัญญาณ และขนาดของคิวในสวิตช์ เป็นองค์ประกอบหลักในการควบคุมอัตราการส่งข้อมูลของแหล่งกำเนิดข้อมูล ABR

ประโยชน์ที่ได้รับจากการวิจัย

1. โปรแกรมคอมพิวเตอร์ที่มีขีดความสามารถในการจำลองการทำงานของโครงข่าย ATM ที่ใช้เทคนิคการควบคุมความคับคั่งแบบ EFCI และ ERICA สำหรับใช้ในการทดสอบสมรรถนะของระบบ โปรแกรมนี้พัฒนาขึ้นโดยใช้ Visual C++ และได้ตรวจสอบความถูกต้องโดยการเปรียบเทียบผลที่ได้กับโปรแกรมอื่นที่มีขีดความสามารถเดียวกัน โปรแกรมนี้มีประโยชน์ต่อคณะผู้วิจัยในระยะยาว เพราะสามารถนำมาพัฒนาต่อเพื่อใช้ทดสอบแนวคิดใหม่ ๆ ได้อย่างรวดเร็วยิ่งขึ้น

2. เข้าใจถึงคุณลักษณะ กลไกการทำงาน และสมรรถนะของวิธีการควบคุมความคับคั่งทั้ง 2 แบบ EFCI และ ERICA ซึ่งจะเป็นประโยชน์ต่อการพัฒนากรรมวิธีการควบคุมที่มีประสิทธิภาพที่สูงยิ่งขึ้น

3. บทความทางวิชาการที่นำเสนอในงานประชุมทางวิชาการภายในประเทศจำนวน 2 ฉบับ

บทที่ 2
หลักการพื้นฐานระบบ ATM

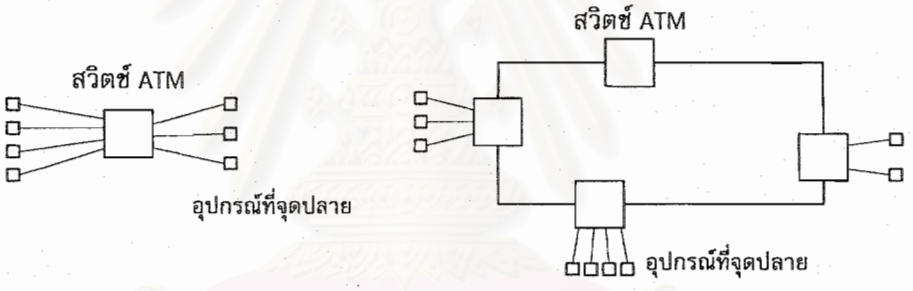
บทนำ

Asynchronous Transfer Mode (ATM) เป็นเทคโนโลยีการรับและส่งข้อมูลแบบใหม่ที่ได้รับการออกแบบมาเพื่อให้สามารถรองรับการสื่อสารข้อมูลชนิดต่าง ๆ เช่น เสียง (voice) ภาพ (image) วิดีโอ (video) ข้อมูลประเภทดาต้า (data) และ มัลติมีเดีย (multimedia) ภายในโครงข่ายเดียวกันได้ หลักการของระบบ ATM อาศัยการแบ่งข้อมูลที่จะส่งออกเป็นเซลล์เล็ก ๆ ขนาด 53 ไบต์ โดยมีลักษณะการส่งคล้ายกับ packet switched networks การที่กำหนดให้เซลล์มีขนาดเล็กเพื่อที่ให้การส่งข้อมูลมีดีเลย์ (delay) น้อย ซึ่งหมายความว่าโครงข่ายสามารถใช้รองรับการส่งข้อมูลประเภท real time เช่น สัญญาณเสียงได้ และการที่กำหนดให้เซลล์มีขนาดคงที่ก็เพื่อที่จะทำให้การออกแบบสวิตช์ง่ายขึ้น ซึ่งช่วยให้การสร้างระบบโครงข่ายสามารถใช้ฮาร์ดแวร์ (hardware) เป็นองค์ประกอบหลักได้ ปัจจัยเหล่านี้ทำให้โครงข่าย ATM มีขีดความสามารถในการรับส่งข้อมูลที่มีความเร็วสูงมาก ๆ ได้โดยที่ยังสามารถควบคุมขนาดของดีเลย์ให้อยู่ในระดับที่เหมาะสม

ในปีค.ศ. 1989 ระบบ ATM ได้รับเลือกให้เป็นเทคโนโลยีพื้นฐานที่เหมาะสมกับการนำไปใช้ในการพัฒนาระบบสื่อสาร B-ISDN (Broadband-Integrated Services Digital Networks) สำหรับอนาคตจากองค์การระหว่างประเทศ ITU-T และต่อมาในปีค.ศ. 1991 กลุ่มบริษัทผู้ผลิตอุปกรณ์ทางด้านสื่อสารโทรคมนาคมได้รวมตัวกันขึ้นเพื่อพัฒนาและกำหนดทิศทางของเทคโนโลยี ATM เพื่อให้อุปกรณ์ที่แต่ละบริษัทผลิตขึ้นสามารถทำงานร่วมกันได้ภายใต้มาตรฐานเดียวกัน กลุ่มดังกล่าวมีชื่อเรียกว่า The ATM Forum ในช่วงหลายปีที่ผ่านมากลุ่มนี้มีจำนวนสมาชิกเพิ่มมากขึ้นอย่างรวดเร็ว (จากสมาชิกเพียง 4 ในช่วงเริ่มแรก จนมีสมาชิกมากกว่า 900 ในช่วงเวลา เพียง 5 ปี ในปัจจุบันกลุ่มนี้ก็ยังคงมีบทบาทสำคัญอย่างยิ่งต่อการร่างข้อกำหนดต่าง ๆ ของเทคโนโลยี ATM อย่างต่อเนื่อง หมายเหตุ The ATM forum ไม่ใช่องค์การระหว่างประเทศที่ทำหน้าที่กำหนดมาตรฐาน ดังนั้นข้อกำหนดที่ร่างขึ้นจึงมิใช่มาตรฐานสากลที่แท้จริง หากแต่ข้อกำหนดเหล่านี้ได้รับการยอมรับอย่างแพร่หลายจากองค์การหรือบริษัทที่เกี่ยวข้อง ด้วยเหตุนี้ข้อกำหนดที่ออกโดย The ATM forum จึงอาจจะกล่าวว่าเป็นมาตรฐานระหว่างประเทศโดยนัย

องค์ประกอบของโครงข่าย ATM

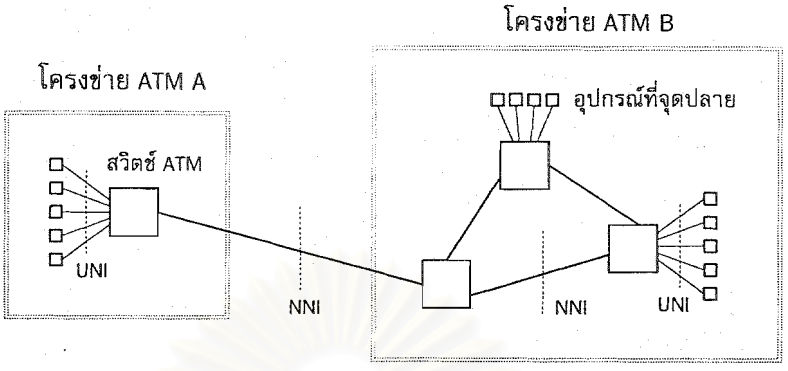
โครงข่าย ATM ประกอบด้วย 2 ส่วนหลักคือ ส่วนของสวิตช์ (switch) และ อุปกรณ์ที่จุดปลาย (endpoint) สวิตช์นั้นทำหน้าที่เชื่อมต่ออุปกรณ์ที่จุดปลายหลาย ๆ ชุดเข้าด้วยกัน ซึ่งสำหรับในระบบโครงข่ายขนาดเล็ก ๆ แล้ว อาจจะใช้สวิตช์เพียงตัวเดียวในการต่อเชื่อมอุปกรณ์ที่จุดปลายทั้งหมดได้ แต่ถ้าหากเป็นโครงข่ายที่มีขนาดใหญ่ขึ้นจำเป็นจะต้องมีการใช้สวิตช์หลาย ๆ ตัวมากขึ้น โดยที่สวิตช์เหล่านี้ก็จะต่อเชื่อมถึงกันเป็นโครงสร้างรูปแบบ ๆ หนึ่ง ดูตัวอย่างของโครงข่าย ATM ในรูปที่ 2.1 ประกอบ ส่วนตัวอย่างของอุปกรณ์ที่จุดปลายที่ต่อเชื่อมอยู่กับสวิตช์ ATM ก็มีอยู่มากมายหลายชนิด เช่น เครื่องคอมพิวเตอร์ประเภทต่าง ๆ PCs workstations และ supercomputers กล้องวิดีโอ โมเด็ม xDSL เป็นต้น



รูปที่ 2.1 ตัวอย่างของโครงข่าย ATM

มาตรฐานการเชื่อมต่อของอุปกรณ์สื่อสารในระบบ ATM สามารถแบ่งออกได้เป็น 2 กลุ่ม คือ user-network interface (UNI) และ network-node interface (NNI) ดูรูปที่ 2.2 ประกอบ UNI เป็นส่วนของการเชื่อมต่อระหว่างอุปกรณ์จุดปลายกับสวิตช์ ATM หรือก็คือจุดต่อระหว่างผู้ใช้กับโครงข่าย ATM นั่นเอง ส่วน NNI ก็คือการเชื่อมต่อระหว่างโครงข่าย ATM 2 โครงข่าย หรือระหว่างอุปกรณ์สวิตช์ ATM 2 ชุด จุดเชื่อมต่อทั้งสองแบบมีหน้าที่แตกต่างกัน ส่วนของ UNI มีหน้าที่ติดต่อกับผู้ใช้บริการในช่วงการขอเริ่มการติดต่อสื่อสาร ช่วงที่มีการรับส่งข้อมูล และการสิ้นสุดการติดต่อสื่อสาร ส่วนจุดเชื่อมต่อ NNI ทำหน้าที่รับส่งข้อมูลทั้งในส่วนของผู้ใช้และสัญญาณควบคุม ระหว่างสวิตช์ที่ติดกันหรือระหว่างโครงข่าย

ของสมาคมกลาง สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

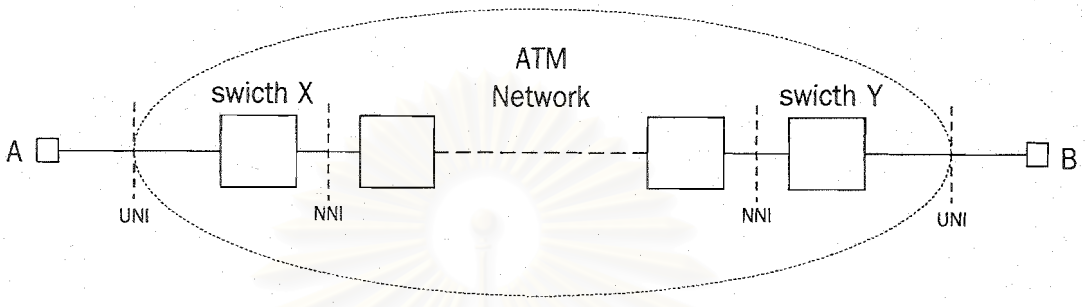


รูปที่ 2.2 มาตรฐานการเชื่อมต่อ UNI และ NNI ภายในโครงข่าย ATM

ขั้นตอนการติดต่อขอเริ่มการสื่อสาร (call establishment)

สมมติว่าอุปกรณ์สื่อสารที่จุดปลาย A ต้องการขอเริ่มการติดต่อกับอุปกรณ์สื่อสาร B เช่น ต้องการขอประชุมทางวิดีโอโดยผ่านโครงข่าย ATM (ดูรูปที่ 2.3 ประกอบ) ทั้งสองฝ่ายจะต้องมีการตกลงกันในรายละเอียดต่าง ๆ ถึงความพร้อมของแต่ละฝ่ายก่อนที่จะมีการส่งสัญญาณวิดีโอระหว่างกันได้ ซึ่งมีขั้นตอนในการทำดังต่อไปนี้ เริ่มแรกจะต้องมีการกำหนดและสร้าง VC (vitual connection) ระหว่างอุปกรณ์สื่อสาร A และ B ขึ้นก่อน โดย A จะแจ้งความจำนงขอสร้างช่องสัญญาณเชื่อมต่อกับ B ไปที่โครงข่าย ATM ซึ่งส่วนของโครงข่ายก็จะทำการจัดสรรแบนด์วิดท์ส่วนหนึ่งในโครงข่ายที่มีขนาดใหญ่เพียงพอที่จะรองรับการประชุมทางวิดีโอได้ตามคุณภาพของบริการที่ A ต้องการ พิจารณารูปที่ 2.3 A จะติดต่อขอเชื่อมต่อกับ B โดยการส่งสัญญาณซิกเนลลิ่งไปที่สวิตช์ X โดยอาศัยโปรโตคอล UNI สวิตช์ X ก็จะทำการติดต่อกับสวิตช์ตัวอื่น ๆ เพื่อพิจารณาว่าภายในโครงข่ายยังมีแบนด์วิดท์เหลือพอที่จะเชื่อมต่อระหว่าง A กับ B หรือไม่ ในการติดต่อส่วนนี้ก็จะอาศัยโปรโตคอล NNI ถ้าหากมีแบนด์วิดท์เพียงพอก็จะต่อเชื่อมระหว่างสวิตช์ X และ Y เข้าด้วยกัน แล้วสวิตช์ก็ทำการส่งสัญญาณซิกเนลลิ่งไปที่ B เพื่อบอกถึงการขอเชื่อมต่อของ A กับ B ถ้าหาก B มีความประสงค์จะติดต่อกับ A และอยู่ในสภาวะที่จะทำการติดต่อได้ B ก็จะส่งสัญญาณซิกเนลลิ่งตอบรับกลับไปที่สวิตช์ Y ซึ่งสัญญาณนี้จะถูกส่งต่อกลับไปที่ A โดยผ่านสวิตช์ X ตามโปรโตคอลของ ATM นั้นได้กำหนดไว้ว่าเซลล์ทุกเซลล์ของการติดต่อระหว่างอุปกรณ์คู่ใดคู่หนึ่งจะต้องถูกส่งผ่านบนเส้นทางเดียวกันเสมอทั้งขาไปและขากลับ นอกจากนี้การส่งของแต่ละเซลล์จะ

ต้องเรียงตามลำดับที่ถูกต้องเสมอ จากที่กล่าวมาทั้งหมดนี้จะเห็นว่ารูปแบบการสื่อสารในโครงข่าย ATM เป็นการสื่อสารประเภท Connection-Oriented



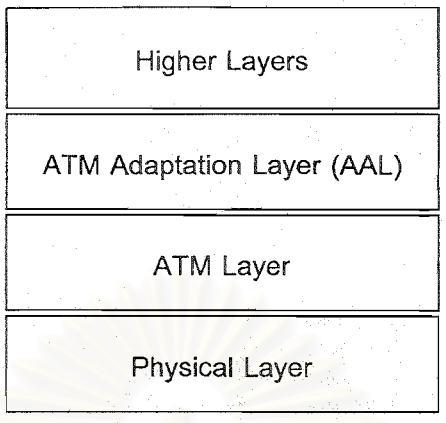
รูปที่ 2.3 การขอเริ่มการติดต่อระหว่าง A กับ B ผ่านโครงข่าย ATM

การแบ่งชั้นโปรโตคอล

โปรโตคอลในระบบ ATM สามารถแบ่งออกได้เป็น 4 ชั้น (layer) คือ

1. physical layer
2. ATM adaptation layer (AAL)
3. ATM layer
4. higher layer protocols

แต่ละชั้นโปรโตคอลจะมีหน้าที่แตกต่างกันอย่างชัดเจน เช่น physical layer กำหนดรูปแบบและเทคโนโลยีที่ใช้ในการรับส่งข้อมูล ตัวอย่างโปรโตคอลที่สามารถนำมาใช้ได้คือ SONET หรือ SDH ชั้นของ AAL มีหน้าที่ในการแปลงข้อมูลของผู้ใช้บริการแต่ละประเภทให้อยู่ในรูปแบบที่เหมาะสมกับการส่งผ่านโครงข่าย ATM ส่วนชั้น higher layer protocols จะเป็นส่วนของโปรโตคอลรูปแบบอื่น ๆ ที่อาจจะนำมาส่งผ่านโครงข่าย ATM หรือจะเป็นโปรโตคอลของ ATM เองในชั้นที่สูงขึ้น ในรายงานวิจัยฉบับนี้จะกล่าวถึงส่วนของ ATM layer เป็นหลัก



รูปที่ 2.4 การแบ่งชั้นโปรโตคอลในระบบ ATM

Physical Layer

ใน Physical Layer ประกอบด้วยชั้นย่อย 2 ส่วนคือ

1. lower physical media dependent (PMD) sublayer
2. higher transmission convergence (TC) sublayer

ในชั้นย่อย PMD เป็นส่วนที่เกี่ยวข้องกับการกำหนดชนิดของสื่อกลางที่ใช้ในการส่งบิตข้อมูล เช่น อาจจะเป็น UTP, coaxial cable, fiber หรือ wireless และในแต่ละชนิดของสื่อกลางที่ใช้นั้น ชั้นย่อย PMD ก็ยังระบุถึงรายละเอียดของวิธีการส่งบิตข้อมูลที่เหมาะสมกับสื่อกลางชนิดนั้น ๆ ด้วย เช่น bit transfer และ bit alignment นอกจากนี้ยังจะอาจรวมไปถึงวิธีที่ใช้สำหรับทำ line coding , opto-electronic conversion, modulation และ demodulation จะเห็นได้ว่าชั้น PMD เป็นส่วนที่เกี่ยวข้องโดยตรงกับสื่อกลางที่ใช้โดยจะกำหนดรายละเอียดของการรับส่งบิตข้อมูลที่แตกต่างกันสำหรับสื่อกลางแต่ละชนิด

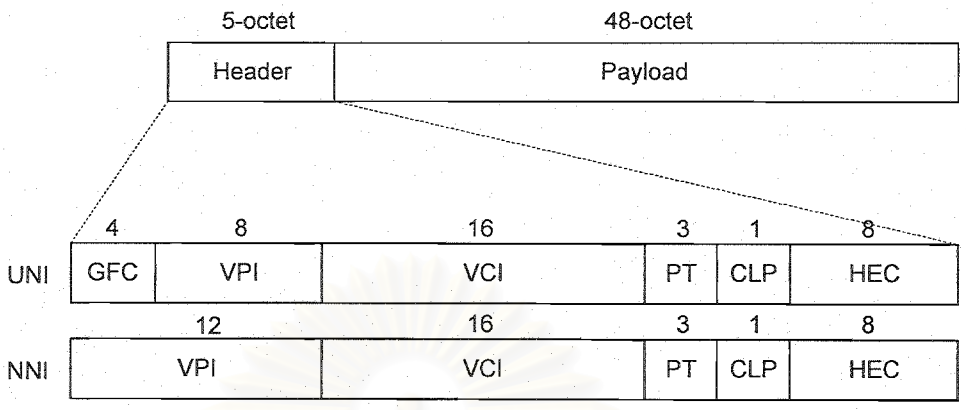
ส่วนของชั้นย่อย TC จะไม่สนใจกับลักษณะการส่งหรือชนิดของสื่อกลาง แต่จะทำหน้าที่จัดการกับเซลล์ที่มาจาก ATM layer ให้สามารถส่งผ่านสื่อกลางนั้น ๆ ได้ ดังนั้นจะเห็นว่าชั้นย่อยนี้เองที่ทำให้การทำงานของ ATM layer ไม่ได้ขึ้นอยู่กับชนิดของสื่อกลางที่ใช้เลย ตัวอย่างของชั้นย่อย TC คือ SONET

ตารางที่ 2.1 ตัวอย่างมาตรฐานการติดต่อ UNI ใน Physical layer ที่กำหนดโดย ATM forum

Private Network				
Bit Rate	PMD: Physical Media	Distance	TC	Comments
155.52 Mbps	UTP-Category 5 (data grade)	100 m	STS-3c	NRZ
155.52 Mbps	Single mode fiber	2 km	STS-3c	
	Multimode fiber	2 km		
	Coaxial pair	900 ft.		
622.08 Mbps	Single mode fiber	2 km	STS-12	
Public Network				
Bit Rate	PMD: Physical Media	Distance	TC	Comments
155.52 Mbps	Single mode fiber	15 km	STS-3c	
622.08 Mbps	Single mode fiber	15 km	STS-12	

ATM Layer

โครงสร้างของเซลล์ ATM ประกอบด้วย 2 ส่วนคือ ส่วนหัวหรือเฮดเดอร์ (header) และส่วนของข้อมูล (payload) ดังที่แสดงในรูปที่ 2.5 ในส่วนหัวนั้นมีความยาวเท่ากับ 5 octet และส่วนของข้อมูลมีความยาวเท่ากับ 48 octet สังเกตว่ารูปแบบของเซลล์มีอยู่ 2 ประเภททั้งนี้ขึ้นอยู่กับลักษณะและจุดหรือบริเวณของการใช้งานว่าเป็น UNI หรือ NNI โดยจะแตกต่างกันก็เฉพาะตรงส่วนของ 4 บิตแรก ในกรณีของ UNI จะใช้ทำหน้าที่เป็น GFC (Generic Flow Control) ซึ่งยังมิได้มีการกำหนดเป็นมาตรฐานการใช้งานที่แน่นอน ส่วนในกรณีของ NNI จะกำหนดให้เป็นส่วนหนึ่งของ VPI (Virtual Path Identifier)



รูปที่ 2.5 โครงสร้างของเซลล์ ATM

แต่ละส่วนของเฮดเดอร์ในเซลล์มีหน้าที่ดังต่อไปนี้

1. Virtual Connection Identifier (VCI) เป็นค่าที่กำหนดให้สำหรับการเชื่อมติดต่อสื่อสารของผู้ใช้ โดยแต่ละการเชื่อมต่อก็จะได้ค่า VCI ที่แตกต่างกันไป
2. Virtual Path Identifier (VPI) เป็นค่าที่ใช้งานในลักษณะที่คล้ายกันกับ VCI หากแต่ VPI ค่า ๆ หนึ่งใช้ในการระบุถึงกลุ่มของ VCI จำนวนหนึ่ง
3. The payload type (PT) เป็นตัวบ่งบอกว่าเซลล์นี้เป็นเซลล์ประเภทใด คือเป็นเซลล์ข้อมูลของผู้ใช้หรือเป็นเซลล์ที่บรรจุสัญญาณควบคุมเพื่อใช้ในการจัดการภายในโครงข่าย
4. The cell loss priority (CLP) มีความยาวเพียง 1 บิต ถ้าบิตนี้ถูกเซตเป็น 1 เซลล์เหล่านี้จะถือว่าเป็นเซลล์ที่มีความสำคัญไม่มากนัก ส่วนของโครงข่ายสามารถที่จะทิ้งเซลล์เหล่านี้หากเกิดความคับคั่งขึ้นในระบบ แต่ถ้าค่า CLP = 0 เซลล์เหล่านี้ถือว่ามีความสำคัญและโครงข่ายจะต้องพยายามส่งผ่านเซลล์เหล่านี้ให้สำเร็จ
5. The header error control (HEC) มีหน้าที่ในการตรวจจับว่ามีความผิดพลาดของบิตเฉพาะในส่วนของเฮดเดอร์เกิดขึ้นหรือไม่ ส่วนของข้อมูล (payload) มิได้มีการตรวจสอบเลย ค่าของ HEC ทั้ง 8 บิตได้จากการนำ 4 octet แรกของเฮดเดอร์ไปหารด้วยโพ

ลิโนเมียล x^8+x^2+x+1 เศษที่ได้นำมา EXOR กับ 01010101 แล้วนำผลที่ได้ไปบรรจุลงใน HEC ที่ภาครับก็จะนำข้อมูลที่รับได้มาผ่านกระบวนการที่กลับกันกับที่ภาคส่ง

ประเภทของการให้บริการ

ในการออกแบบโครงข่ายที่สามารถรองรับข้อมูลหลากหลายประเภทพร้อม ๆ กันได้นั้นเป็นเรื่องที่ค่อนข้างยุ่งยากและซับซ้อนมาก เพราะการสื่อสารข้อมูลแต่ละชนิดมีความต้องการคุณภาพในการส่งที่แตกต่างกัน ยกตัวอย่างเช่น ในการรับส่งสัญญาณเสียง ถ้าหากมีการดีเลย์ของเซลล์ในระหว่างการส่งของข้อมูลมากเกินค่าค่าหนึ่ง เช่น 500 ms เซลล์เหล่านี้เมื่อถึงที่ภาครับจะไม่มีประโยชน์เลย แต่ถ้าเป็นการส่งข้อมูลประเภทดาต้าการดีเลย์ของเซลล์ไม่ถือเป็นเรื่องสำคัญนักขอเพียงแต่เซลล์ทุกเซลล์เดินทางถึงจุดหมายโดยไม่เกิดการสูญเสียระหว่างทาง จากความหลากหลายของระดับความต้องการของการสื่อสารที่แตกต่างกันไปในแต่ละประเภทของทราฟฟิกนี้เองทำให้การที่จะออกแบบระบบที่สามารถจัดการกับความต้องการที่แตกต่างกันของทราฟฟิกแต่ละประเภทพร้อม ๆ กันเป็นเรื่องที่กระทำได้ยากมากโดยเฉพาะอย่างยิ่งในสภาวะปัจจุบันที่มีการให้บริการสื่อสารในรูปแบบใหม่ ๆ เกิดขึ้นมากมาย จากปัญหาดังกล่าวนี้เอง กลุ่มผู้ที่เกี่ยวข้องกับการพัฒนาและวิจัยโครงข่าย ATM จึงได้พยายามจัดแบ่งประเภทของการให้บริการออกเป็น 5 ประเภทใหญ่ โดยที่การให้บริการของแต่ละประเภทจะมีคุณภาพที่แตกต่างกันไป เพื่อการสื่อสารข้อมูลแต่ละชนิดสามารถเลือกใช้ประเภทของการให้บริการที่เหมาะสมกับความต้องการได้

ในปี ค.ศ. 1996 กลุ่มของผู้ที่มีบทบาทสำคัญต่อการพัฒนาและกำหนดทิศทางของเทคโนโลยี ATM ที่มีชื่อเรียกว่า The ATM Forum ได้ตกลงกันเพื่อออกมาตรฐานกำหนดประเภทของการให้บริการออกเป็น 5 ประเภท ตามคุณภาพของการให้บริการ (Quality of Service หรือเรียกย่อ ๆ ว่า QoS) ดังนี้คือ

- CBR Constant Bit Rate
- rt-VBR Real-Time Variable Bit Rate
- nrt-VBR Non-Real-Time Variable Bit Rate
- UBR Unspecified Bit Rate

- ABR Available Bit Rate

โดยคุณภาพของการให้บริการ (QoS) จะวัดจากค่าพารามิเตอร์ต่าง ๆ ดังนี้คือ

- Peak-to-peak Cell Delay Variation (peak-to-peak CDV)

- Maximum Cell Transfer Dealy (maxCTD)

- Cell Loss Ratio (CLR)

Constant Bit Rate (CBR) การให้บริการประเภทนี้ผู้ใช้จะตกลงกับส่วนของโครงข่ายถึงค่า PCR (Peak Cell Rate) ที่ต้องการในช่วงเริ่มต้นก่อนการรับส่งข้อมูล ในระหว่างการรับส่งข้อมูลผู้ใช้จะได้รับอนุญาตให้ส่งข้อมูลในอัตราสูงสุดเท่ากับ PCR ตลอดช่วงเวลาการใช้บริการ ส่วนทางด้านของโครงข่ายจะต้องจัดสรรแบนด์วิดท์ที่เพียงพอกับความต้องการอย่างต่อเนื่อง และต้องประกันว่าเซลล์ข้อมูลที่รับส่งจะมีดีเลย์ที่ไม่เกินค่า Maximum Cell Transfer Delay (maxCDT) เสมอ การให้บริการแบบนี้จึงเหมาะสมกับการส่งข้อมูลที่มีอัตราการส่งคงที่ เช่น เสียงหรือวิดีโอที่ยังไม่ได้ผ่านขบวนการบีบอัดสัญญาณ (compression) สังเกตว่าข้อมูลที่อาศัยการรับส่งข้อมูลประเภท CBR จะได้รับการรับประกันว่าจะไม่มีการสูญหายของเซลล์ข้อมูล และมีค่าการดีเลย์เชิงเวลาในระดับที่ผู้ใช้ยอมรับได้

Real-Time Variable Bit Rate (rt-VBR) ออกแบบไว้สำหรับใช้ในการรับส่งข้อมูลที่มีอัตราการส่งไม่คงที่ และต้องการการรับส่งสัญญาณที่ส่งได้อย่างรวดเร็วทันเวลาและต่อเนื่อง (real-time) ก่อนที่จะเริ่มการให้บริการผู้ใช้จะต้องตกลงและกำหนดค่าพารามิเตอร์ 3 ค่า คือ Peak Cell Rate (PCR), Sustainable Cell Rate (SCR) และ Maximum Burst Size (MBS) กับส่วนของโครงข่ายไว้ก่อน ในส่วนของโครงข่ายก็จะต้องเตรียมแบนด์วิดท์ที่เพียงพอที่ให้แน่ใจว่าเซลล์ข้อมูลจะไม่เกิดการดีเลย์เกินค่า maxCTD ทั้งนี้ทางโครงข่ายอาจจะไม่ต้องจัดสรรแบนด์วิดท์ที่มีขนาดเท่ากับ PCR ก็ได้เนื่องจากการให้บริการประเภทนี้สามารถใช้ประโยชน์จากการทำ Statistical Multiplexing เพื่อเพิ่มประสิทธิภาพการใช้ช่องสัญญาณ

Non-Real-Time (nrt-VBR) มีไว้สำหรับรับส่งข้อมูลที่มีคุณลักษณะเป็นเบิรสต์ (bursty traffic) และการดีเลย์ของเซลล์ข้อมูลไม่ส่งผลกระทบกับคุณภาพของการใช้งาน ก่อนการเริ่มการ

รับส่งข้อมูล ผู้ใช้จะต้องตกลงกับโครงข่ายถึงค่าพารามิเตอร์ที่สำคัญ 3 ค่า คือ PCR, SCR และ MBS เช่นเดียวกับกรณีของ rt-VBR การให้บริการประเภทนี้อาจจะได้ประโยชน์จากการทำ Statistical Multiplexing ทั้งนี้ผู้ใช้ยอมให้มีเซลล์สูญเสียได้บางส่วน แต่ต้องมีค่าที่ค่อนข้างต่ำมาก

Unspecified Bit Rate (UBR) คือ การส่งข้อมูลที่ไม่มีการกำหนดอัตราการส่งข้อมูล และอาจมีการสูญเสียของเซลล์ได้ ใช้รองรับแหล่งกำเนิดข้อมูลที่ไม่จำเป็นต้องทราบอัตราการส่งข้อมูล เช่น การสื่อสารข้อมูลคอมพิวเตอร์ เนื่องจากการที่ข้อมูลที่อยู่บนการเชื่อมต่อประเภท UBR จะไม่ได้รับการรับประกันการสูญหายของข้อมูล ดังนั้นเพื่อให้การรับส่งมีความถูกต้องและแน่นอน การควบคุมข้อผิดพลาดในการส่งจึงต้องกระทำโดยชั้นโปรโตคอลที่เหนือกว่าชั้น ATM ขึ้นไป เช่น ใช้ โปรโตคอล TCP

Available Bit Rate (ABR) เป็นการให้บริการที่เหมาะกับการส่งข้อมูลที่ต้องไม่มีการสูญเสียของเซลล์ข้อมูล แต่มิได้ได้มีการประกันว่าเซลล์ข้อมูลจะได้รับการส่งอย่างรวดเร็ว การส่งแบบ ABR มีไว้สำหรับรองรับแหล่งกำเนิดข้อมูลที่ไม่ทราบอัตราส่งข้อมูลที่แน่นอน เช่น การสื่อสารข้อมูลคอมพิวเตอร์ ในส่วนของการควบคุมความคับคั่งของข้อมูล จะกระทำโดยการป้อนกลับข้อมูลการติดขัดข้องของระบบโดยผ่านเซลล์พิเศษที่เรียกว่า Resource Management (RM) มายังผู้ส่งเพื่อใช้ในการคำนวณอัตราการส่งข้อมูลที่เหมาะสม กลไกการทำงานที่กล่าวมานี้ช่วยทำให้ระบบสามารถใช้แบนด์วิดท์ที่เหลือจากการบริการแบบอื่นได้อย่างมีประสิทธิภาพ การให้บริการแบบนี้ผู้ใช้จะกำหนดค่าพารามิเตอร์ 2 ค่า คือ Peak Cell Rate (PCR) และ Minimum Cell Rate (MCR) ในระหว่างการส่งแหล่งกำเนิดข้อมูลจะต้องควบคุมอัตราการส่งมิให้เกินค่า PCR และสามารถที่จะคาดหวังจากทางโครงข่ายว่าแหล่งกำเนิดข้อมูลจะสามารถส่งข้อมูลได้ด้วยอัตราอย่างน้อยเท่ากับ MCR

เราสามารถเลือกวิธีการส่งแบบใดแบบหนึ่งที่เหมาะสมในการส่งข้อมูลที่เราต้องการได้ ตัวอย่างเช่น การส่งแบบ CBR จะมีความเหมาะสมกับการสื่อสารทางเสียงเพราะปริมาณข้อมูลที่จะส่งมีอัตราที่คงที่ ขณะที่การส่งแบบ VBR มีความเหมาะสมในการส่งสัญญาณวิดีโอซึ่งมีความต้องการในการใช้แบนวิดท์ (bandwidth) ที่ไม่แน่นอน และ การส่งแบบ ABR ก็ใช้ได้ดีในการส่งข้อมูลดาต้าซึ่งต้องการให้การส่งแน่นอนและไม่มีการสูญเสียของเซลล์เลย

โดยปกติแล้วระบบโครงข่าย ATM จะพยายามส่งข้อมูลประเภท CBR และ VBR ก่อน เพราะต้องการให้เกิดความแน่นอนว่าข้อมูลเหล่านี้จะถูกส่งได้ทันเวลาตามค่า QoS ที่ตั้งไว้ และเมื่อใดที่โครงข่ายมีแบนวิดท์เหลือใช้จึงจะส่งข้อมูลแบบ ABR จากรูปที่ 2.6 ซึ่งแสดงลักษณะตัวอย่างลักษณะการใช้แบนวิดท์ของข้อมูลประเภท CBR และ VBR จะเห็นว่าในบางช่วงเวลาการใช้แบนวิดท์ของ CBR และ VBR มีปริมาณน้อย ซึ่งแบนวิดท์ของช่องสัญญาณส่วนนี้น่าจะสามารถนำมาใช้ในการส่งข้อมูล ABR ได้ในปริมาณมาก เพื่อให้การใช้ช่องสัญญาณเกิดประโยชน์สูงสุด ในทางกลับกันถ้ามีการใช้แบนวิดท์ของข้อมูล CBR และ VBR มาก ปริมาณของการส่งข้อมูลของ ABR จะต้องลดลงด้วย เพื่อมิให้ส่งผลกระทบต่อ QoS ของการส่งข้อมูล CBR และ VBR

รูปที่ 2.6 ตัวอย่างปริมาณการใช้แบนด์วิดท์ของช่องสัญญาณข้อมูล CBR และ VBR

ปัญหาที่เราสนใจในโครงงานวิจัยนี้ก็คือ การศึกษาหาแนวทางและวิธีในการควบคุมการส่งข้อมูลประเภท ABR เพื่อให้การส่งข้อมูล ABR เป็นไปอย่างมีประสิทธิภาพมากที่สุดคือส่งออกไปให้มากที่สุดและเร็วที่สุดในช่วงเวลาที่โครงข่ายมีแบนด์วิดท์เหลือใช้ โดยที่จะต้องไม่ไปกระทบต่อคุณภาพการให้บริการ (QoS) ของการส่งข้อมูลประเภท CBR และ VBR ทั้งนี้เพื่อที่จะทำให้การใช้แบนด์วิดท์ของโครงข่ายที่มีอยู่จำกัดเป็นไปอย่างมีประสิทธิภาพมากที่สุดและเกิดประโยชน์สูงสุด

พื้นฐานการควบคุมการรับส่งข้อมูล ABR

ดังที่กล่าวไว้แล้วว่า อัตราการส่งข้อมูลแบบ ABR จากแหล่งกำเนิดข้อมูลแต่ละแห่งจะขึ้นอยู่กับสถานะและปริมาณแบนด์วิดท์ของช่องสัญญาณที่เหลืออยู่ภายในระบบโครงข่าย ดังนั้นทางโครงข่ายจะต้องมีวิธีในการบอกสถานะของแบนด์วิดท์ไปยังแหล่งกำเนิดข้อมูลเพื่อใช้ในการ

ควบคุมอัตราการส่งให้เหมาะสม เราสามารถแบ่งวิธีการบอกสถานะของโครงข่ายออกได้เป็น 4 วิธี คือ

1. No information ไม่มีการส่งข้อมูลใด ๆ จากส่วนของโครงข่ายไปที่แหล่งกำเนิดข้อมูลเลย
2. A binary congestion indication ใช้ข้อมูลเพียง 1 บิตเพื่อบอกว่ามีความแออัดคับคั่งของช่องสัญญาณในการส่งผ่านข้อมูลภายในโครงข่ายหรือไม่
3. Detailed congestion indication บอกข้อมูลสถานะความแออัดคับคั่งของโครงข่ายโดยละเอียด
4. Explicit bandwidth (or rate) information บอกข้อมูลเกี่ยวกับปริมาณแบนด์วิดท์หรืออัตราการส่งที่แหล่งกำเนิดข้อมูลสามารถส่งได้โดยตรงเลย

สำหรับวิธีแรกแหล่งกำเนิดข้อมูลจะต้องตรวจสถานะของโครงข่ายเองทั้งหมด เช่นอาจจะส่งเซลล์พิเศษออกไปและจับเวลาดูว่าเซลล์นั้นใช้เวลานานเท่าใดในการส่งผ่านโครงข่ายและเดินทางกลับมาอีกครั้ง ถ้าเวลาที่ใช้ในการส่งเซลล์นี้นานก็แสดงว่าช่องสัญญาณภายในโครงข่ายในขณะนั้นมีความแออัดสูง ข้อมูลนี้จะช่วยให้แหล่งกำเนิดข้อมูลสามารถปรับอัตราการส่งข้อมูลให้เหมาะสมกับสภาพของโครงข่ายได้ สังเกตว่าวิธีนี้ความรับผิดชอบในการควบคุมการใช้แบนด์วิดท์จะอยู่ที่แหล่งกำเนิดข้อมูลแทบทั้งหมด ส่วนของโครงข่ายแทบไม่ต้องทำอะไรเลย

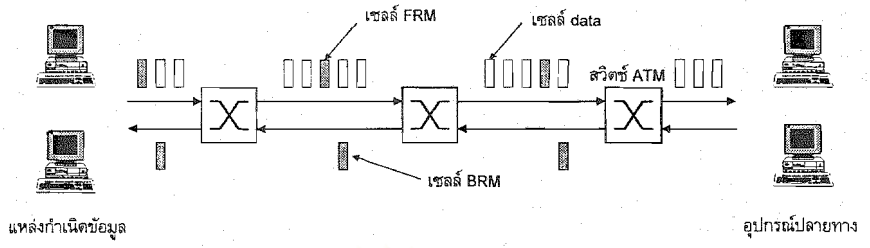
วิธีที่สองแหล่งกำเนิดข้อมูลได้รับข้อมูลเกี่ยวกับสถานะของโครงข่ายมากขึ้นโดยได้รับข้อมูลโดยตรงจากโครงข่าย แต่ข้อมูลที่ได้รับก็ค่อนข้างจำกัดเพราะใช้เพียงแค่บิตเดียว คือจะบอกเพียงว่าโครงข่ายมีความแออัดหรือไม่ แต่จะไม่รู้ว่าความแออัดที่เกิดขึ้นอยู่ในส่วนใดของโครงข่าย วิธีที่สามแก้ปัญหาของวิธีที่สองโดยเพิ่มข้อมูลที่เกี่ยวกับการแออัดมากขึ้น เช่นบอกเลยว่าส่วนใดของโครงข่ายที่เกิดการแออัด แต่นั่นหมายถึงว่าจะต้องมีการใช้เซลล์พิเศษในการส่งข้อมูลเหล่านี้ ซึ่งจะทำให้เกิดการสูญเสียของแบนด์วิดท์บางส่วนในโครงข่ายเพื่อใช้ในการส่งรายละเอียดของความแออัด

วิธีสุดท้ายเป็นวิธีที่ส่วนของโครงข่ายนั้นมีความรับผิดชอบในการควบคุมการใช้แบนด์วิดท์ของโครงข่ายมากที่สุด โดยสวิตช์ภายในโครงข่ายแต่ละตัวจะต้องทำการคำนวณเพื่อหาค่าขนาดของแบนด์วิดท์ที่เหมาะสมสำหรับให้แหล่งกำเนิดข้อมูล ABR แต่ละแห่งได้ใช้งาน โดยค่าที่คำนวณได้นี้จะถูกส่งผ่านช่องสัญญาณควบคุมไปบอกแหล่งกำเนิดสัญญาณทุก ๆ แห่ง เพื่อให้ได้รับทราบถึงขนาดแบนด์วิดท์ที่มีเหลืออยู่สำหรับแหล่งกำเหนิดข้อมูล ABR แต่ละแหล่ง และทำการปรับอัตราการส่งข้อมูลให้เหมาะสมต่อไป วิธีนี้เป็นวิธีที่มีประสิทธิภาพที่สุด แต่ก็มีความซับซ้อนมากที่สุดด้วย

จากผลของการศึกษา เราพบว่างานวิจัยในปัจจุบันให้ความสนใจกับวิธีการควบคุมการส่งข้อมูลประเภท ABR แบบที่สองและแบบที่สี่มากเป็นพิเศษ เพราะเป็นวิธีที่เหมาะสมกับการนำมาใช้งานในทางปฏิบัติ ดังนั้นโครงการวิจัยนี้จึงมุ่งเน้นและศึกษาเฉพาะสองวิธีนี้เท่านั้น ซึ่งเราจะได้กล่าวถึงในรายละเอียดต่อไป

กลไกการป้อนกลับสัญญาณควบคุม

การควบคุมการรับส่งข้อมูลแบบ ABR จะอาศัยเซลล์ชนิดพิเศษที่เรียกว่าเซลล์ RM (resource management cell) ในการป้อนกลับสัญญาณควบคุมระหว่างอุปกรณ์สวิตช์และแหล่งกำเนิดข้อมูล โดยปกติเซลล์ RM จะถูกสร้างขึ้นจากแหล่งกำเนิดข้อมูล แล้วแทรกไปกับเซลล์ข้อมูลปกติ (data cell) ทุก ๆ ครั้งที่ได้ส่งเซลล์ข้อมูลธรรมดาออกไปเป็นจำนวน Nrm-1 เซลล์ (Nrm ที่ใช้กันทั่วไปมีค่าเท่ากับ 32) เซลล์ RM ที่ส่งออกจากแหล่งกำเนิดข้อมูล (source) มักจะเรียกว่าเป็นเซลล์ Forward RM (FRM) เมื่อเซลล์ดังกล่าวเดินทางไปถึงที่ปลายทาง (destination) เซลล์นั้นก็จะถูกส่งกลับไปที่ต้นทางผ่านเส้นทางเดิม สำหรับเซลล์ RM ที่ส่งไปในทิศทางขากลับนี้จะเรียกว่าเซลล์ Backward RM (BRM) สังเกตว่าเซลล์ RM จะถูกส่งผ่านสวิตช์ส่วนต่าง ๆ ของโครงข่ายที่เกี่ยวข้องทั้งหมด ทั้งในทิศขาไปและในทิศทางย้อนกลับ ดังนั้นสวิตช์แต่ละแห่งก็สามารถจะบรรจุข้อมูลที่เกี่ยวข้องกับการควบคุมความคับคั่งที่เหมาะสมไปให้แหล่งกำเนิดข้อมูลแต่ละแห่งเพื่อปรับอัตราการส่งให้เหมาะสมได้ รูปที่ 2.7 แสดงตัวอย่างการรับส่งข้อมูลเพียงทิศทางเดียวบนโครงข่าย ATM พร้อมการป้อนกลับของสัญญาณควบคุม สำหรับการส่งข้อมูลในทิศทางตรงข้ามก็จะมีลักษณะเดียวกัน



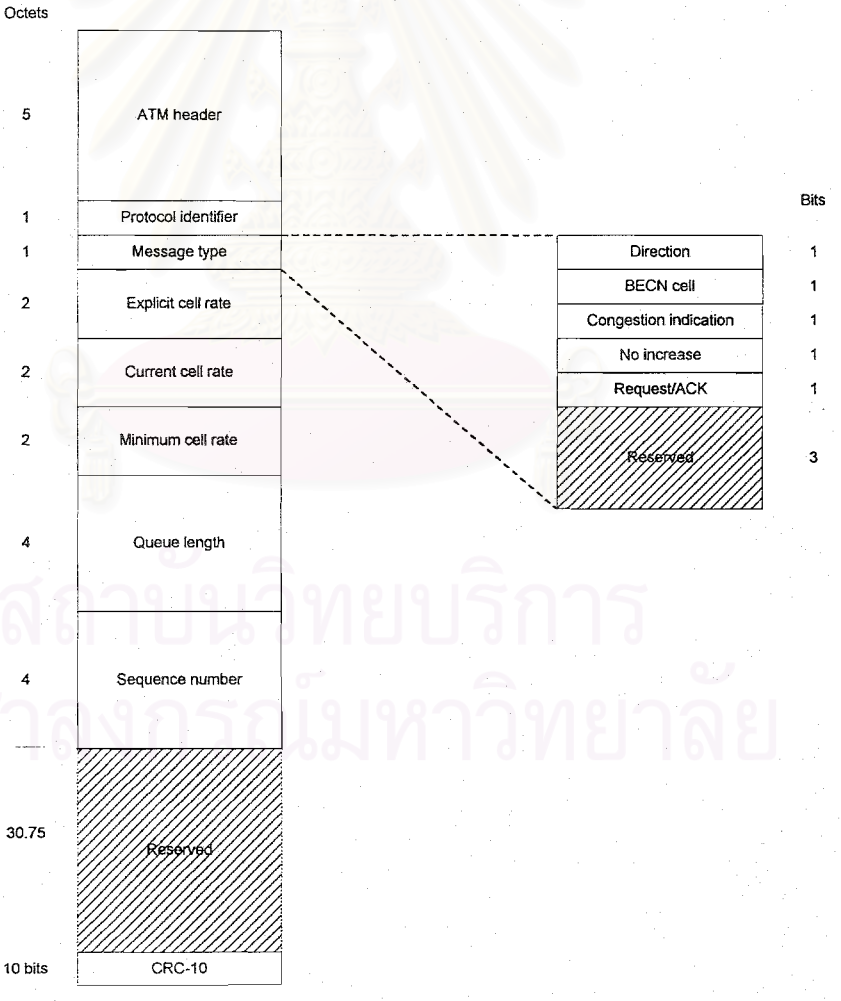
รูปที่ 2.7 แสดงการส่งผ่านเซลล์ข้อมูลและเซลล์ RM ในการเชื่อมต่อแบบ ABR

โครงสร้างของเซลล์ RM

สำหรับโครงสร้างของเซลล์ RM ที่ใช้ในการส่งสัญญาณควบคุมป้อนกลับมีลักษณะดังที่แสดงในรูปที่ 2.8 ซึ่งมีส่วนประกอบดังนี้

1. Header (5 octets) : ในส่วนเฮดเดอร์ของเซลล์ ATM กำหนดให้ค่า PT=110 เพื่อบ่งบอกว่าเป็นเซลล์ RM เซลล์เหล่านี้ใช้สำหรับควบคุมอัตราการส่งข้อมูลใน VC (virtual channel) หนึ่ง ๆ โดยที่ค่า VCI และ VPI จะมีค่าเหมือนกับเซลล์ข้อมูลธรรมดา ในทำนองเดียวกัน การควบคุมอัตราการส่งใน VP (virtual path) คือจะมี ค่า VPI เหมือนกัน และใช้ค่า VCI = 6
2. Protocol identifier (1 octet) : เป็นตัวบอกประเภทการบริการของเซลล์ RM ตัวนี้ เช่น สำหรับการบริการแบบ ABR ใช้ ID = 1
3. Message type (1 octet) : ประกอบด้วยตัวชี้บ่งขนาด 1 บิต ดังต่อไปนี้
   3.1 Direction (DIR) : บอกทิศทาง คือ เซลล์ FRM (DIR = 0) และ เซลล์ BRM (DIR = 1)
   3.2 BECN cell (BN) : เป็นตัวบอกว่าเซลล์ RM ตัวนี้สร้างมาจากที่ไหน BN = 0 เมื่อเซลล์ถูกสร้างมาจากแหล่งกำเนิดข้อมูล และ BN = 1 เมื่อเซลล์นั้นสร้างมาจาก ส่วนของสวิตช์หรืออุปกรณ์ปลายทาง
   3.3 Congestion indication (CI) : CI =1 เพื่อแสดงว่าโครงข่ายมีความคับคั่งเกิดขึ้น
   3.4 No increase (NI) : NI = 1 เป็นการแสดงถึงการไม่อนุญาตให้แหล่งกำเนิดข้อมูลเพิ่มอัตราการส่ง
   3.5 Request/acknowledge (RA) : ยังไม่มีการใช้งานตามข้อกำหนดของ ATM Forum
4. Explicit cell rate (2 octets) : ใช้ในการจำกัดค่าอัตราการส่ง ACR ของแหล่งกำเนิดข้อมูล

5. Current cell rate (2 octets) : เป็นค่า ACR ปัจจุบัน ซึ่งค่านี้เป็นค่าที่อุปกรณ์สวิตช์ใช้ในการหาค่า ER
6. Minimum cell rate (2 octets) : ค่านี้ถูกกำหนดสำหรับแหล่งกำเนิดข้อมูล โดยค่านี้นำมาคำนวณเพื่อแบ่งความจุในโครงข่าย
7. Queue length (4 octets) : ยังไม่มีการใช้งานตามข้อกำนดของ ATM Forum
8. Sequence number (4 octets) : ยังไม่มีการใช้งานตามข้อกำหนดของ ATM Forum
9. CRC-10 (10 bits) : เป็นรหัสที่ใช้สำหรับตรวจจับความผิดพลาดของ RM payload (ข้อมูลทั้งเซลล์ยกเว้นส่วนของเฮดเดอร์)



รูปที่ 2.8 โครงสร้างของเซลล์ RM

คุณลักษณะการให้บริการแบบ ABR

โดยสรุปแล้วลักษณะของการให้บริการแบบ ABR มีคุณสมบัติดังต่อไปนี้

1. การเชื่อมต่อแบบ ABR จะใช้ความจุที่เหลือจากการเชื่อมต่อแบบ CBR และ VBR ดังนั้น ABR จึงเป็นตัวเพิ่มค่า utilization ของโครงข่ายโดยไม่มีผลกระทบต่อคุณภาพของการให้บริการหรือ QoS ของการเชื่อมต่อแบบ CBR และ VBR เลย
2. การเชื่อมต่อหนึ่ง ๆ ของ ABR จะมีลักษณะเป็นพลวัต (dynamic) คืออาจมีการเปลี่ยนแปลงค่าอัตราการส่งของข้อมูลในช่วงระหว่างค่า MCR และ PCR โดยค่า MCR อาจมีค่าเท่ากับ 0 ก็ได้ แต่ถ้า MCR มีค่าไม่เท่ากับ 0 แล้ว แสดงว่าโครงข่ายต้องสามารถรับประกันว่าแหล่งกำเนิดข้อมูลนั้นสามารถส่งข้อมูลได้ด้วยอัตราการส่งอย่างต่ำเท่ากับค่า MCR แต่กระนั้นในบางช่วงเวลาแหล่งกำเนิดข้อมูลอาจจะส่งข้อมูลที่อัตราการส่งที่น้อยกว่าค่า MCR ได้
3. การที่โครงข่ายมีกระบวนการการป้อนกลับไปยังแหล่งกำเนิดข้อมูล ABR เพื่อให้ ABR มีการใช้ช่องสัญญาณในปริมาณที่เหมาะสม มีผลทำให้ในบางช่วงเวลาแหล่งกำเนิดข้อมูลมีข้อมูลในปริมาณที่มากกว่าที่ช่องสัญญาณจะรับได้ ดังนั้นข้อมูลบางส่วนอาจจะต้องถูกจัดเก็บไว้ในบัฟเฟอร์เพื่อรอให้ช่องสัญญาณสื่อสารว่างลง คุณลักษณะดังกล่าวทำให้การบริการแบบ ABR นี้เหมาะกับการให้บริการที่สามารถทนต่อการเปลี่ยนแปลงอัตราการส่งและมีค่าการหน่วงเวลาที่ไม่สามารถคาดเดาได้
4. สำหรับแหล่งกำเนิดข้อมูลแบบ ABR มีการปรับแต่งอัตราการส่งข้อมูลได้เพื่อรองรับขบวนการป้อนกลับ และเป็นการรับประกันอัตราส่วนของการสูญหายของข้อมูลที่มีค่าน้อย ๆ ซึ่งเป็นจุดเด่นของการบริการแบบ ABR

การทำงานของแหล่งกำเนิดข้อมูล

ในการรับส่งข้อมูลของแหล่งกำเนิดข้อมูลบนการเชื่อมต่อแบบ ABR มีตัวแปรที่เกี่ยวข้องกับอัตราการส่งข้อมูลทั้งหมด 4 ตัว ที่กำหนดคุณลักษณะของการส่งข้อมูล ตัวแปรทั้งสี่ตัวสามารถอธิบายได้ดังต่อไปนี้

1. Allowed cell rate (ACR) : อัตราการส่งข้อมูลที่อนุญาติให้แหล่งกำเนิดข้อมูลส่งได้ในปัจจุบัน โดยแหล่งกำเนิดข้อมูลอาจส่งข้อมูลในอัตราเท่าใดก็ได้ระหว่าง 0 ถึง ACR

2. Minimum cell rate (MCR) : เป็นค่าน้อยที่สุดของ ACR นั่นคือโครงข่ายจะอนุญาตให้แหล่งกำเนิดข้อมูลส่งข้อมูลได้อย่างน้อยเท่ากับ MCR เสมอ อย่างไรก็ตามค่า MCR อาจถูกตั้งให้เท่ากับ 0 ก็ได้
3. Peak cell rate (PCR) : เป็นค่ามากที่สุดของ ACR
4. Initial cell rate (ICR) : เป็นที่ ACR ค่าตอนเริ่มต้น

แหล่งกำเนิดข้อมูลจะเริ่มต้นโดยการกำหนดให้ค่า ACR = ICR หลังจากนั้นค่า ACR ก็จะเปลี่ยนแปลงไปเรื่อย ๆ ขึ้นอยู่กับขบวนการการป้อนกลับของโครงข่าย โดยการป้อนกลับในที่นี้จะอยู่ในรูปของการส่งเซลล์ RM กลับมายังแหล่งกำเนิดข้อมูลเป็นช่วง ๆ ในแต่ละเซลล์ RM จะประกอบด้วย 3 ส่วนหลักที่ใช้ในขบวนการป้อนกลับ ดังต่อไปนี้

1. Congestion indication (CI) bit
2. No increase (NI) bit
3. Explicit cell rate (ER)

โดยแหล่งกำเนิดข้อมูลจะตอบสนองกับข้อมูลในเซลล์ RM ตามกฎต่อไปนี้

แหล่งกำเนิดข้อมูลจะทำการตรวจสอบบิต 2 บิต ที่ได้มาจากขบวนการป้อนกลับก่อน ถ้าหากมีการอนุญาตให้การเพิ่มอัตราการส่งข้อมูลได้ แหล่งกำเนิดข้อมูลก็จะเพิ่มอัตราการส่งขึ้นเป็นค่าคงที่เท่ากับ RIFxPCR โดยที่ค่า RIF (rate increase factor) เป็นค่าสัดส่วนของการเพิ่มอัตราการส่งข้อมูล แต่ถ้าระบบมีความคับคั่งเกิดขึ้นแหล่งกำเนิดข้อมูลก็ทำการการลดอัตราการส่งข้อมูลลง การลดนี้จะเป็นการลดลงแบบเอ็กโปเนนเชียล (exponential) ซึ่งมีค่าเท่ากับ RDFxACR โดยค่า RCF (rate decrease factor) คือค่าคงที่สัดส่วนของการลดอัตราการส่งข้อมูล ในขั้นตอนท้ายสุดแหล่งกำเนิดข้อมูลก็จะตรวจสอบค่า ACR และ ER ถ้า ER มีค่าน้อยกว่า ACR แหล่งกำเนิดข้อมูลจะลดค่า ACR ให้เท่ากับค่า ER อย่างไรก็ตามการปรับค่าของ ACR นี้จะมีค่าอยู่ระหว่างค่า PCR และ MCR เสมอ จากที่กล่าวมาทั้งหมดสามารถสรุปหลักการทำงานได้ดังตารางต่อไปนี้

ตารางที่ 2.2 การตอบสนองของแหล่งกำเนิดข้อมูลต่อค่าที่อ่านจากเซลล์ RM

NI	CI	Action
0	0	ACR = max[MCR, min[ER, PCR, ACR+RIFxPCR]]
0	1	ACR = max[MCR, min[ER, ACR(1-RIF)]]
1	0	ACR = max[MCR, min[ER, ACR]]
1	1	ACR = max[MCR, min[ER, ACR(1-RIF)]]

การผลิตและค่าเริ่มต้นของเซลล์ RM

โดยปกติจะเป็นหน้าที่ของแหล่งกำเนิดข้อมูลที่จะต้องผลิตเซลล์ RM ขึ้นมาแล้วแทรกไปกับเซลล์ข้อมูลธรรมดาเป็นช่วง ๆ ค่าเริ่มต้นของเซลล์ RM จะถูกกำหนดให้เป็นไปตามที่แสดงไว้ในตารางที่ 2.3 เช่น บิต CI จะถูกเซตให้เป็น 0 เสมอ ในบางสถานการณ์อาจจะเป็นไปได้ว่าสวิตช์หรือแม้แต่อุปกรณ์ปลายทางเองก็สามารถที่จะผลิตเซลล์ RM ขึ้นมาเองได้ เช่นเกิดความคับคั่งอย่างรุนแรงทำให้เกิดความจำเป็นที่จะต้องรีบส่งสัญญาณควบคุมไปบอกแหล่งกำเนิดข้อมูลให้ลดอัตราการส่งลงทันที

ตารางที่ 2.3 การกำหนดค่าตั้งต้นของเซลล์ RM

ส่วนของบิต	สร้างโดยแหล่งกำเนิดข้อมูล	สร้างโดยสวิตช์หรืออุปกรณ์ปลายทาง
Direction (DIR)	0	1
BECN Cell (BN)	0	1
Congestion Indication (CI)	0	0 หรือ 1
No increase (NI)	0 หรือ 1	0 หรือ 1
Explicit Cell Rate (ECR)	<= PCR	ค่าอัตราการส่งข้อมูลใดๆ
Current Cell Rate (CCR)	ACR	0
Minimum Cell Rate (MCR)	MCR	0

หอสมุดกลาง ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

การทำงานของสวิตช์

เพื่อรองรับการให้บริการแบบ ABR อุปกรณ์สวิตช์ ATM จะมีหน้าที่ 2 อย่างคือ

1. Congestion control : เพราะการบริการแบบ ABR เป็นการบริการที่ต้องการการสูญเสียเซลล์ที่น้อยที่สุด ดังนั้นขบวนการควบคุมอัตราการส่งข้อมูลของ ABR จึงจำเป็นต้องมีในสวิตช์ เพื่อควบคุมให้แหล่งกำเนิดข้อมูลส่งข้อมูลในอัตราการส่งข้อมูลที่โครงข่ายสามารถรองรับได้ สำหรับการทำงานแบบนี้สวิตช์จะต้องตรวจสอบความยาวของคิว (queue) และต้องส่งสัญญาณเพื่อบอกให้ลดอัตราการส่งข้อมูลเมื่อคิวของบัฟเฟอร์เริ่มเต็ม
2. Fair capacity allocation : อุปกรณ์สวิตช์ ATM แต่ละตัวควรแบ่งความจุให้ทุก ๆ การเชื่อมต่อที่ผ่านสวิตช์อย่างเท่าเทียมกัน (fair share) และเมื่อเกิดการคับคั่งขึ้น สวิตช์จะต้องลดอัตราการส่งข้อมูลของการเชื่อมต่อที่มีการใช้ความจุมากกว่าที่ควรจะเป็น (คือค่า fair share นั่นเอง)

การทำงานของสวิตช์สำหรับรองรับการควบคุมความคับคั่ง และการแบ่งความจุอย่างเท่าเทียมกันนี้ สามารถแบ่งออกเป็น 2 ประเภทใหญ่ๆ คือ binary feedback schemes ซึ่งใช้เฉพาะ EFCI, CI และ NI bits เท่านั้น และ explicit rate feedback schemes ที่มีการใช้ ER field ด้วย สำหรับโครงการวิจัยนี้จะกล่าวถึงผลการศึกษาของทั้ง 2 วิธีในรายละเอียดต่อไป ส่วนตัวแปรต่าง ๆ ที่เกี่ยวข้องกับการทำงานของการรับส่งประเภท ABR ได้นำมาสรุปไว้ในตารางที่ 2.4

ตารางที่ 2.4 ตัวแปรต่างๆของ ABR

Label	ชื่อ	คำอธิบาย	Default
PCR	Peak cell rate	อัตราการส่งข้อมูลสูงสุดที่กำหนดไว้ที่ source	-
MCR	Minimum cell rate	อัตราการส่งข้อมูลต่ำสุดของ source ที่ network รับประกัน	0
ICR	Initial cell rate	ค่าเริ่มต้นของ ACR ; อัตราการส่งข้อมูลที่ source ควรส่งตอนเริ่มต้น หรือหลังจากมีการหยุดส่ง	PCR
RIF	Rate increase factor	ค่าสัดส่วนการเพิ่มอัตราการส่งข้อมูล	1/16
Nrm		จำนวน cell ที่มากที่สุดที่ source จะส่งระหว่าง FRM cell	32

		ที่ติดกัน	
Mrm		ควบคุมการแบ่ง bandwidth ระหว่าง FRM, BRM และ data cell	2
RDF	Rate decrease factor	ค่าอัตราส่วนที่ใช้ควบคุมการลดลงของอัตราการส่งข้อมูล	1/16
ACR	Allowed cell rate	ค่าขอบเขตบนของอัตราการส่งข้อมูลของ source ซึ่งค่านี้จะปรับตามขบวนการป้อนกลับมีค่าในช่วง MCR และ PCR	-
CRM		จำนวนของ FRM cell ที่สามารถส่งได้โดยไม่มีการรับ BRM cell	2^{19}-1
ADTF	ACR decrease time factor	เวลาระหว่างการส่ง RM cell ก่อนอัตราการส่งจะลดลงเป็น ICR	0.5 ms
Trm		ค่าขอบเขตบนของเวลาระหว่าง FRM cell ที่ติดกัน ของ active source	100 ms
FRTT	Fixed round-trip time	ผลรวมของเวลาที่ใช้ในการเดินทางไปกลับระหว่าง source กับปลายทาง	-
TBE	Transient buffer exposure	จำนวนเซลล์ที่ source สามารถส่งได้ก่อนได้รับเซลล์ RM ตัวแรก	2^{24}-1
CDF	Cutoff decrease factor	ควบคุมการลดค่า ACR เมื่อทำงานร่วมกับ CRM	1/16
TCR	Tagged cell rate	ค่าขอบเขตบนของอัตราการส่ง out-of-rate FRM cell	10 cells

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 3
โครงสร้างของสวิตช์ ATM

บทนำ

สวิตช์เป็นอุปกรณ์หลักที่สำคัญในโครงข่ายทุกประเภท เพราะมีหน้าที่ในการเชื่อมต่อผู้ใช้บริการแต่ละคนเข้าด้วยกันตามที่ต้องการ สำหรับในระบบ ATM นั้น เนื่องจากเทคโนโลยีที่ใช้มีลักษณะของการส่งผ่านข้อมูลที่แตกต่างไปจากทั้งโครงข่ายโทรศัพท์ธรรมดาที่มีการทำงานในลักษณะของ circuit switching mode และโครงข่ายข้อมูลแบบดาต้าที่มีการทำงานในลักษณะของ packet switching mode ดังนั้นการนำโครงสร้างของสวิตช์ที่มีอยู่มาใช้กับโครงข่าย ATM โดยตรงทันทีจึงไม่เหมาะสมนัก ด้วยเหตุนี้ในหลายปีที่ผ่านมานักวิจัยจำนวนมากได้ให้ความสำคัญกับการคิดค้นและพัฒนารูปแบบโครงสร้างของสวิตช์ที่เหมาะสมกับระบบ ATM โดยเฉพาะ เท่าที่ผ่านมาได้มีการคิดค้นสวิตช์รูปแบบต่าง ๆ ไว้มาก สวิตช์แต่ละประเภทมีคุณลักษณะและสมรรถนะที่แตกต่างกันไป ในบทนี้จะกล่าวถึงหลักการและโครงสร้างพื้นฐานการทำงานของสวิตช์รูปแบบต่าง ๆ หมายเหตุ มาตรฐานของ ATM นั้นมิได้มีการกำหนดรายละเอียดในส่วนของการสร้างสวิตช์ของระบบ ATM ไว้เลย ดังนั้นบริษัทผลิตอุปกรณ์ ATM แต่ละแห่งสามารถที่จะใช้โครงสร้างของสวิตช์ที่ตนเองได้พัฒนาขึ้นซึ่งอาจจะแตกต่างกับสวิตช์จากบริษัทอื่นได้

ตำแหน่งและการจัดการของบัฟเฟอร์ในสวิตช์

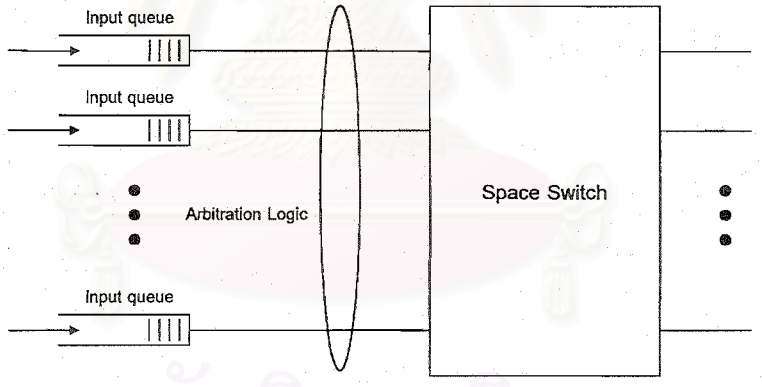
องค์ประกอบที่สำคัญอย่างหนึ่งของสวิตช์ก็คือบัฟเฟอร์ (buffer) บัฟเฟอร์มีหน้าที่เก็บเซลล์ข้อมูลไว้ชั่วคราวในสภาพที่สวิตช์ยังไม่สามารถส่งเซลล์เหล่านั้นออกเนื่องจากการติดขัดของเส้นทางที่จะส่งออก การใช้งานบัฟเฟอร์ภายในสวิตช์แต่ละประเภทอาจมีความแตกต่างกันไปตามตำแหน่งและลักษณะของการจัดการบัฟเฟอร์ ซึ่งโดยทั่วไปสามารถแบ่งประเภทของการใช้บัฟเฟอร์ออกได้เป็น 3 ประเภทตามตำแหน่งการวางของบัฟเฟอร์

1. Input queueing
2. Output queueing
3. Central queueing

การวางตำแหน่งของบัฟเฟอร์ไว้ที่จุดต่างกันส่งผลกระทบโดยตรงต่อสมรรถนะการรับส่งของเซลล์ และความซับซ้อนของวงจรภายในสวิตช์ ในรายงานฉบับนี้จะกล่าวถึงเฉพาะสวิตช์ประเภท Input และ output queuing เท่านั้น

Input queueing

Input queueing เป็นรูปแบบของการวางบัฟเฟอร์ไว้ที่ตำแหน่งขาเข้าแต่ละขาของสวิตช์ ดังนั้นเซลล์แต่ละเซลล์ที่เข้าสู่สวิตช์จะถูกบรรจุลงในบัฟเฟอร์เพื่อรอการส่งออก ดูรูปที่ 3.1 ประกอบ ข้อดีของสวิตช์ที่วางบัฟเฟอร์ในตำแหน่งขาเข้าก็คือ สวิตช์จะไม่เกิดปัญหาของการแออัดหรือชนกันของเซลล์ภายในสวิตช์ (internal contention) เพราะสวิตช์สามารถควบคุมและจัดการกับการส่งออกเซลล์ได้ตามปรารถนา ในการควบคุมการส่งเซลล์ออกนั้นสามารถกระทำได้หลายรูปแบบ ตั้งแต่แบบที่ง่าย ๆ คือการวนรอบของขาเข้าแต่ละขา (round robin) เพื่อส่งเซลล์ออก หรือแบบที่มีความซับซ้อนขึ้นที่มีการพิจารณาถึงระดับของคิวในบัฟเฟอร์



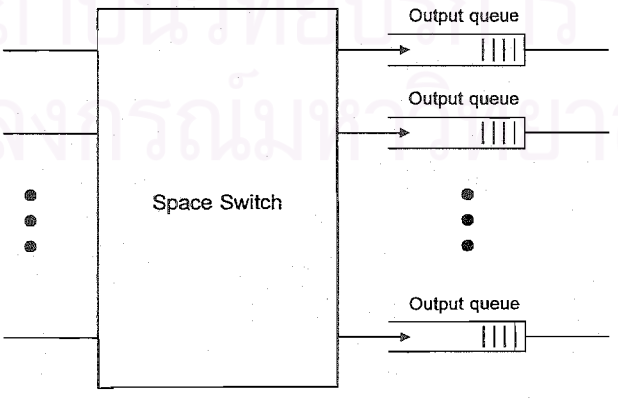
รูปที่ 3.1 โครงสร้างของสวิตช์แบบที่มีการวางบัฟเฟอร์ที่ขาเข้า (input queuing)

ปัญหาหลักที่เกิดกับสวิตช์ประเภทนี้คือ ปัญหา HOL (head of line) ที่เกิดขึ้นเนื่องจากการที่เซลล์ที่อยู่ที่ตำแหน่งหัวของบัฟเฟอร์ที่ขาเข้าขาหนึ่ง ไปกีดกันมิให้เซลล์ที่อยู่ถัดมาได้รับการส่งออก สาเหตุเพราะในช่วงเวลาดังกล่าวเส้นทางขาออกที่เซลล์ตำแหน่งหัวของคิวต้องการออกเกิดมีเซลล์จากขาเข้าอื่น ๆ ต้องการออกด้วยเช่นกันทำให้เกิดการแออัดขึ้น และโดยปกติจะมีเพียงเซลล์เดียวเท่านั้นที่จะออกไปได้ในแต่ละไทม์สล็อต ดังนั้นเมื่อเซลล์ที่ตำแหน่งหัวของคิวไม่ได้รับการส่งออก เซลล์ที่อยู่ในลำดับต่อมาก็ไม่สามารถส่งออกด้วยเช่นกันเพราะต้องรอให้เซลล์แรกได้รับการส่งออกก่อน ผลกระทบของ HOL ทำให้สมรรถนะในการส่งผ่านเซลล์ของสวิตช์มีค่าที่ค่อนข้างต่ำคือเพียง

58% เท่านั้น ปัญหาดังกล่าวสามารถแก้ไขได้หากอนุญาตให้เซลล์ที่อยู่ถัดมาได้รับการพิจารณาในการส่งออกด้วย ซึ่งจากผลการศึกษาพบว่าสมรรถนะในการส่งเซลล์ของสวิตช์มีค่าเพิ่มขึ้นเป็น 90% ได้ ถ้าอนุญาตให้พิจารณาเซลล์สำหรับการส่งออกที่หัวคิวได้มากถึง 10 เซลล์พร้อม ๆ กัน อย่างไรก็ตามการทำในลักษณะนี้มีผลทำให้สวิตช์มีความซับซ้อนมากขึ้น และทำให้การเรียงลำดับของเซลล์ที่ส่งออกเปลี่ยนไป จึงอาจทำให้เซลล์เมื่อเดินทางถึงจุดหมายต้องมีการเรียงลำดับเซลล์กันใหม่ให้ถูกต้อง

Output queuing

Output queuing เป็นรูปแบบของสวิตช์ที่มีการวางบัฟเฟอร์ไว้ที่ตำแหน่งขาออกแต่ละขาของสวิตช์ ดังนั้นเซลล์แต่ละเซลล์จากที่ขาเข้าของสวิตช์ทั้งหมดจะสามารถส่งออกไปที่ขาออกของสวิตช์เดียวกันในเวลาเดียวกันได้ โดยเซลล์เหล่านี้ทั้งหมดจะถูกบรรจุลงในบัฟเฟอร์เพื่อรอการส่งออก การที่สวิตช์จะสามารถทำงานในลักษณะนี้ได้ขาออกแต่ละขาจะต้องสามารถทำงานได้ที่ความเร็วสูงมากคือ N เท่าของความเร็วที่ขาเข้า โดย N คือจำนวนขาเข้าของสวิตช์ ปัญหาที่เกิดขึ้นก็คือความเร็วในการทำงานของสวิตช์ขึ้นอยู่กับขนาดของสวิตช์ นั่นคือยิ่งสวิตช์มีขนาดใหญ่ขึ้นเท่าใด บัฟเฟอร์ขาออกก็ยิ่งที่จะต้องทำงานให้เร็วเพิ่มขึ้นตาม ปัญหานี้ส่งผลให้การออกแบบสวิตช์ขนาดใหญ่มีความซับซ้อนขึ้น สังเกตว่าปัญหาดังกล่าวนี้มิได้เกิดขึ้นกับในกรณีของ input queuing แต่กระนั้นสวิตช์แบบ output queuing ก็มีข้อดีตรงที่มีสมรรถนะในการส่งผ่านเซลล์ที่สูงกว่าสวิตช์แบบ input queuing สำหรับในงานวิจัยนี้ได้เลือกใช้สวิตช์ประเภท output queuing เป็นพื้นฐานของระบบโครงข่าย



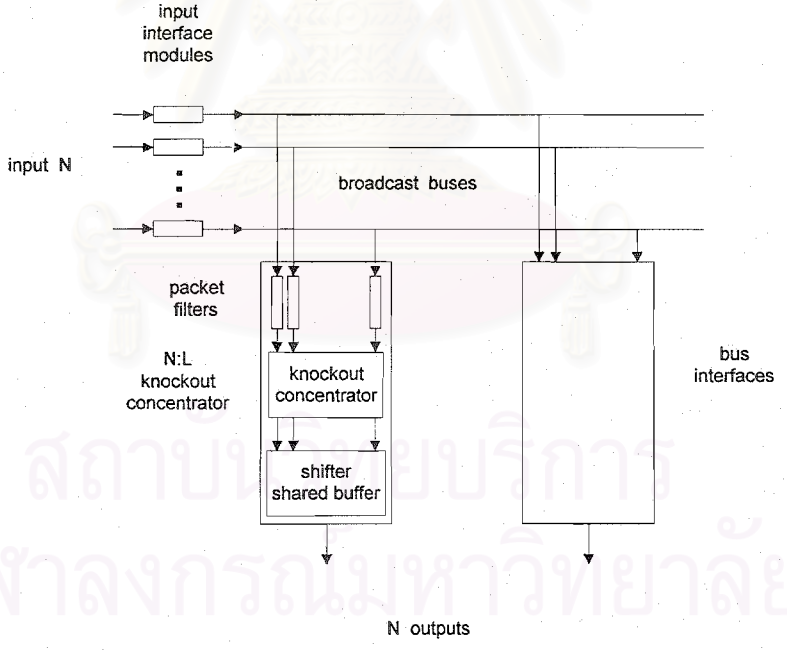
รูปที่ 3.2 โครงสร้างของสวิตช์แบบที่มีการวางบัฟเฟอร์ที่ขาออก (output queuing)

สวิตช์ Knockout

ในที่นี้จะขอยกตัวอย่างโครงสร้างของสวิตช์ประเภท output queuing แบบหนึ่งที่สามารถนำมาใช้ในโครงข่าย ATM ที่มีสมรรถนะตรงตามที่จำเป็นสำหรับงานวิจัยนี้ได้ สวิตช์นี้มีชื่อเรียกว่าสวิตช์ knockout สวิตช์ชนิดนี้มีโครงสร้างพิเศษที่มีคุณสมบัติที่น่าสนใจหลายประการ เช่น องค์ประกอบต่าง ๆ ภายในสวิตช์ไม่จำเป็นจะต้องทำงานที่ความเร็วสูงมาก ๆ เพราะมีการใช้การประมวลสัญญาณแบบขนาน (parallel) และเราสามารถขยายขนาดของสวิตช์ได้โดยง่าย

ลักษณะโครงสร้างโดยรวมของสวิตช์แบบ knockout ประกอบด้วย 2 ส่วนหลักดังที่แสดงในรูปที่ 3.3 คือ

1. Broadcast Buses
2. Bus Interface

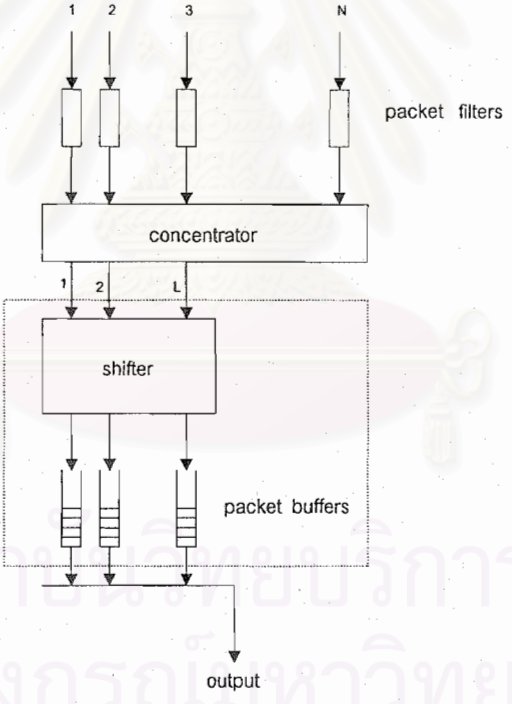


รูปที่ 3.3 โครงสร้างของสวิตช์ Knockout ขนาด NxN

Broadcast Buses เป็นส่วนที่ทำหน้าที่กระจายเซลล์จากพอร์ตขาเข้าของสวิตช์แต่ละขาไปต่อที่ขาเข้าของ Bus Interface ทุก ๆ ชุด ซึ่งหมายความว่าจะมีเซลล์ที่เหมือน ๆ กันส่งไปที่ Bus Interface แต่ละชุด ในส่วนนี้จะไม่มีปัญหาของการสูญเสียของเซลล์เกิดขึ้นเลย

พิจารณาในส่วนของ Bus Interface ซึ่งโดยปกติแล้วจะมีทั้งสิ้น N ชุดสำหรับสวิตช์ขนาด NxN จำนวนพอร์ตขาเข้าของ Bus Interface แต่ละชุดก็มีจำนวนทั้งสิ้น N พอร์ตด้วยเพื่อรับเซลล์ต่อจากส่วนของ Broadcast Buses จากขาเข้าของสวิตช์ทั้ง N พอร์ต ภายใน Bus Interface แต่ละชุดประกอบด้วย 3 ส่วนย่อยคือ Packet Filters, N:L Knockout Concentrator และ Shifter& Shared Buffers แต่ละส่วนมีโครงสร้างและหน้าที่ดังนี้

packet filters: ทำหน้าที่ตรวจสอบว่าเซลล์แต่ละเซลล์ที่ได้รับเข้ามามีความต้องการที่จะออกไปที่พอร์ตขาออกของ Bus Interface ชุดนั้น ๆ หรือไม่ หากเซลล์ดังกล่าวต้องการจะออกณ Bus Interafce นั้น ส่วนของ Packet Filter ก็จะปล่อยให้เซลล์นั้นผ่านต่อและเข้าไปที่ Concentrator แต่ถ้าไม่ใช่เซลล์ดังกล่าวก็จะถูกทิ้งไป



รูปที่ 3.4 โครงสร้างของ Bus interface

Concentrator: เซลล์ที่ผ่าน packet filter ได้จะเข้าสู่ concentrator ซึ่งมีขนาดสัดส่วนของจำนวนขาเข้าต่อจำนวนขาออกเป็น N:L โดยที่ $L \leq N$ ถ้าในจังหวะเวลาของไทม์สล็อต (tme slot) ใดไทม์สล็อตหนึ่ง มีจำนวนเซลล์ k เซลล์ที่ขาเข้าของ concentrator และ $k \leq L$ เซลล์ทั้งหมดจะได้รับการส่งออก โดยเซลล์เหล่านั้นจะถูกส่งออกไปที่พอร์ต 1 ถึง k ของ concentrator แต่ถ้า $k > L$ จะมีเซลล์เพียง L เซลล์เท่านั้นที่ได้รับการส่งออก โดยจะส่งออกไปพอร์ตที่ 1 ถึง L ของ

concentrator ส่วนเซลล์ที่เหลืออีก k-L เซลล์จะถูกทิ้งไป สังเกตว่าส่วนของสวิตช์ส่วนนี้อาจมีปัญหาการสูญเสียของเซลล์เกิดขึ้นได้ ดังนั้นการเลือกขนาดของ L ที่เหมาะสมจึงเป็นเรื่องสำคัญ

สมมติว่าถ้าเซลล์ที่เข้ามาที่ขาเข้าของสวิตช์แต่ละขาเป็นอิสระต่อกันและมีปริมาณทราฟฟิกที่คิดเป็นเปอร์เซนต์เท่ากับ ρ โดยเซลล์ที่เข้ามาแต่ละเซลล์มีความต้องการที่จะออกไปที่ขาออกแต่ละขาด้วยโอกาสที่เท่า ๆ กัน ดังนั้นความน่าจะเป็นที่เซลล์จำนวน k เซลล์จะไปออกที่ concentrator ในไทม์สล็อตเดียวกัน (P_k) มีค่าเท่ากับ

$$P_k = C_k^N \left(\frac{\rho}{N}\right)^k \left(1-\frac{\rho}{N}\right)^{N-k} \qquad k = 0,1,\ldots N \tag{3.1}$$

และความน่าจะเป็นที่เซลล์จะถูกทิ้งโดย concentrator ที่มีขนาด N:L มีค่าเท่ากับ

$$\Pr[\text{packet loss}] = \frac{1}{\rho}\sum_{k=L+1}^{N}(k-L)C_k^N\left(\frac{\rho}{N}\right)^k\left(1-\frac{\rho}{N}\right)^{N-k} \tag{3.2}$$

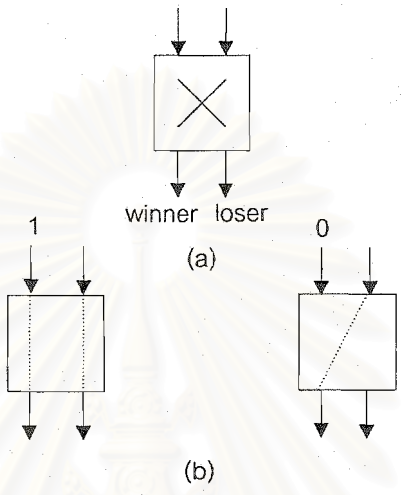
สำหรับสวิตช์ที่มีขนาดใหญ่มาก ๆ คือ $N \rightarrow \infty$ จะได้ Pr[packet loss] มีค่าเป็น

$$\Pr[\text{packet loss}] = \left[1-\frac{L}{\rho}\right]\left[1-\sum_{k=0}^{L}\frac{\rho^k e^{-\rho}}{k!}\right] + \frac{\rho^L e^{-\rho}}{L!} \tag{3.3}$$

สมการที่ (3.2) และ (3.3) สามารถนำมาใช้ในการหาค่า L ที่เหมาะสมได้ เช่นเมื่อกำหนดให้ $\rho = 0.9$ ซึ่งเป็นค่าของทราฟฟิกที่มีปริมาณค่อนข้างสูงมาก หากกำหนดให้ L = 8 จะพบว่าโอกาสของการสูญเสียของเซลล์ภายใน concentrator มีค่าที่ต่ำกว่า 10^{-6} เสมอสำหรับสวิตช์ที่มีขนาดใด ๆ ก็ได้ เมื่อเพิ่มขนาดของ L ขึ้น โอกาสของการสูญเสียของเซลล์ยิ่งลดต่ำลงอีก เช่น กรณี L = 12 โอกาสของการสูญเสียของเซลล์จะต่ำกว่า 10^{-10} ซึ่งถือว่ามีค่าน้อยมาก ข้อสังเกตที่น่าสนของการวิเคราะห์ตรงนี้ก็คือว่า ค่าของ L ไม่จำเป็นต้องมีขนาดที่ใหญ่นัก

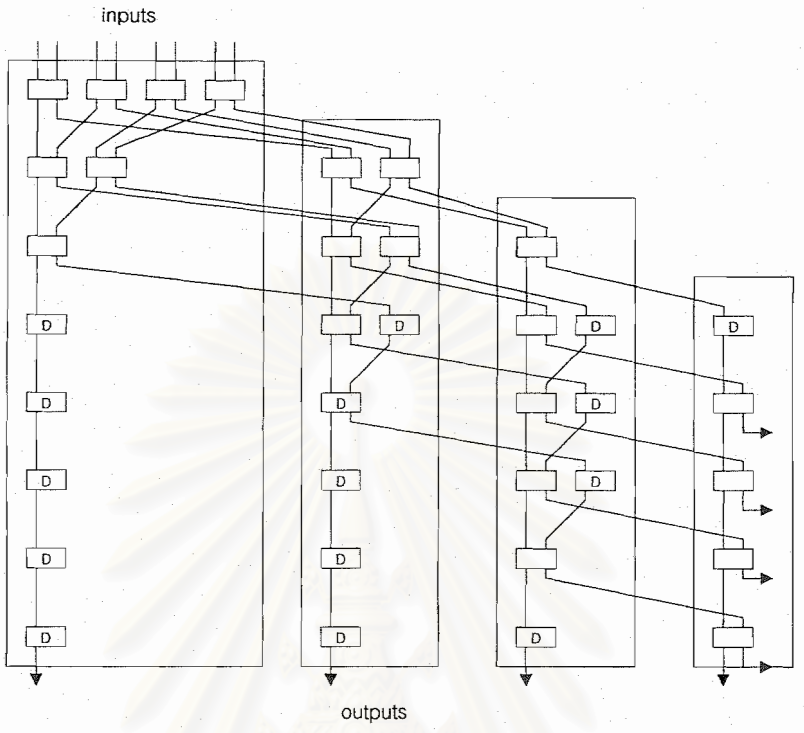
เราสามารถสร้าง concentrator ขนาด N×L ใด ๆ ได้จาก concentrator ขนาด 2×2 ที่มีโครงสร้างดังแสดงในรูปที่ 3.5 จากรูปถ้ามีเซลล์เข้ามาที่ขาเข้าทั้ง 2 ขาพร้อมกัน เซลล์ที่เข้าทางซ้ายมือจะถูกสวิตช์ไปออกที่พอร์ตทางด้านซ้ายมือ และเรียกเซลล์ดังกล่าวว่าเป็นเซลล์ winner ส่วนเซลล์ที่เข้ามาทางขวามือจะถูกสวิตช์ให้ไปออกที่พอร์ตทางด้านขวามือ และเรียกเซลล์นี้ว่าเป็นเซลล์ loser ส่วนกรณีที่มีเซลล์เพียงเซลล์เดียวเข้ามา ไม่ว่าจะเป็นเซลล์ที่เข้ามาทางซ้ายหรือทาง

ขวา เซลล์นั้นจะถูกสวิตซ์ให้เป็นเซลล์ winner เสมอ สังเกตว่าการทำงานของสวิตซ์ในลักษณะนี้เป็นการให้ความสำคัญกับเซลล์ที่เข้ามาทางซ้ายมือมากกว่าเซลล์ที่เข้ามาทางขวามือ



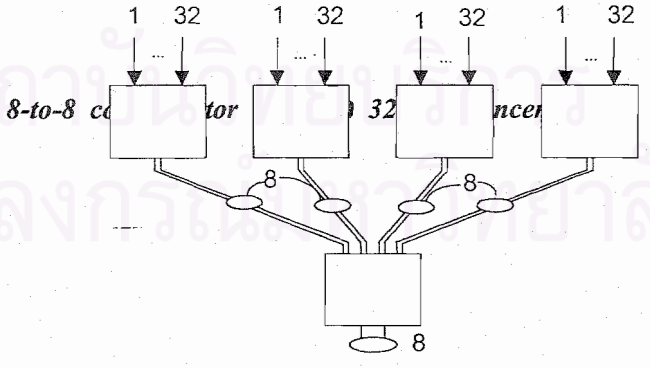
รูปที่ 3.5 (a) 2×2 concentrator switch (b) stage of 2×2 concentrator switch

รูปที่ 3.6 แสดง concentrator ขนาด 8×4 ที่ประกอบขึ้นจาก concentrator ขนาด 2×2 สำหรับส่วนที่มีเครื่องหมาย 'D' มีหน้าที่ในการหน่วงเวลาเพื่อให้เซลล์ทุก ๆ เซลล์ออกมาที่ขาออกของ concentrator พร้อม ๆ กัน จากรูปจะเห็นว่าเซลล์ที่ขาเข้าของ concentrator ทั้ง N พอร์ต จะมีการแข่งขันกันเป็นคู่ ๆ ในรอบแรก ผลที่ได้คือมีเซลล์ที่ชนะจำนวน N/2 เซลล์ (winner) และเซลล์ที่แพ้อีก N/2 เซลล์ (loser) กลุ่มของเซลล์ที่ชนะในรอบแรกนี้จะนำไปแข่งขันในรอบต่อ ๆ ไปจนเหลือผู้ชนะเพียงหนึ่งเซลล์ ซึ่งเซลล์ดังกล่าวก็เป็นเซลล์ที่ส่งออกที่ขาออกที่ 1 ของ concentrator ส่วนเซลล์ที่เหลือ N-1 ก็จะทำการแข่งขันในลักษณะที่คล้ายเดิมจนได้ผู้ชนะเพียงเซลล์เดียว ส่วนผู้แพ้ที่เหลืออีก N-2 เซลล์ก็ทำการแข่งขันในลักษณะเดิมจนเหลือผู้ชนะเพียง 1 เซลล์ และเซลล์ดังกล่าวก็ถูกส่งออกที่ขาออกขาที่ 3 ของ concentrator การแข่งขันจะกระทำจนได้ผู้ชนะจำนวนทั้งสิ้นเท่ากับ L เซลล์ สำหรับกรณีที่ k > L จะมีเซลล์บางส่วนที่ไม่ชนะเลยหลังจากการแข่งขันสิ้นสุดลง ซึ่งเซลล์เหล่านี้ก็คือเซลล์ที่จะถูกทิ้งไป



รูปที่ 3.6 โครงสร้างของ concentrator ขนาด 8:4

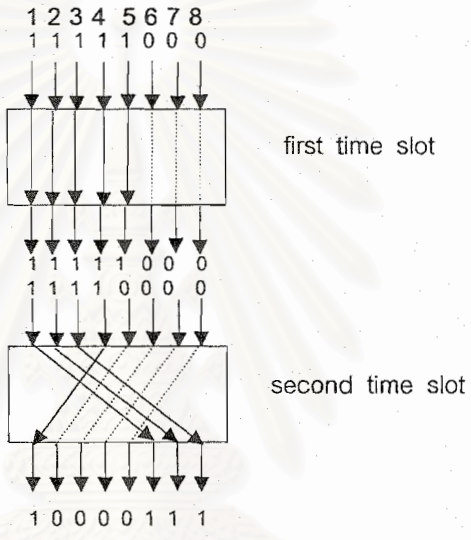
สำหรับ concentrator ที่มีขนาดใหญ่สามารถสร้างขึ้นจาก concentrator ขนาดเล็กได้ ยกตัวอย่างเช่น concentrator ขนาด K'L:L สามารถสร้างจาก concentrator ขนาด KL:L มาประกอบกันเป็นโครงสร้างรูป tree จำนวน j แถว ดูตัวอย่างรูปที่ 3.7 (L = 8, K = 4 และ j = 2)



รูปที่ 3.7 ตัวอย่างการสร้าง concentrator ขนาด 128:8 จาก concentrator ขนาด 32:8

Shifter & Shared buffer: พอร์ตขาเข้าของ shifter ทั้ง L พอร์ตจะต่อเชื่อมอยู่กับขาออกของ concentrator โดยมีหน้าที่รับเซลล์ที่ออกจาก concentrator และส่งผ่านต่อไปที่ shared

buffer เนื่องจากอุปกรณ์ concentrator จะส่งเซลล์ออกมาที่ขาออกเป็นจำนวน k เซลล์ในแต่ละไทม์สล็อต ซึ่งเซลล์เหล่านี้จะถูกจัดให้ออกที่พอร์ตซ้ายสุดก่อนและพอร์ตที่ถัดมาจนครบ k พอร์ตเสมอ ดังนั้นเพื่อป้องกันไม่ให้มีเซลล์ไปกระจุกกันที่พอร์ตทางด้านซ้าย ซึ่งเมื่อมีส่งต่อไปบรรจุลงที่ Shared buffer จะทำให้บัฟเฟอร์ทางด้านซ้ายมีการใช้งานมากกว่าบัฟเฟอร์ที่อยู่ถัดออกมาทางด้านขวา ด้วยเหตุนี้ส่วนของ shifter จึงมเราสามารถอธิบายการทำงานของ shifter โดยอาศัยตัวอย่างในรูปที่ 3.8 (L = 8)



รูปที่ 3.8 ตัวอย่างการทำงานของ filter function

จากรูปที่ 3.8 ใน time slot แรกมี 5 packets จาก outputs ของ concentrator เข้าสู่ 5 inputs แรกของ shifter ใน time slot นี้ packet จะถูกสวิตซ์ให้ออกที่ outputs 1-5 ของ shifter โดยตรงและเข้าสู่ buffer ที่ 1-5 ใน time slot ที่ 2 มี 4 packets จาก outputs ของ concentrator เข้าสู่ input 1-4 ของ shifter และเนื่องจากใน time slot ที่ 1 มีการใส่ packet ใน buffer ที่ 1-5 ดังนั้นใน time slot นี้จึงเลื่อนให้ 4 packet ที่เข้า shifter ออกที่ output 6 ,7,8 และ 1 ของ shifter (เพื่อเข้า buffer 6 ,7,8 และ 1) ส่วนใน time slot ที่ 3 packet ซึ่งเข้าที่ input 1 ของ shifter จะถูกเลื่อนให้ออกที่ output 2 ของ shifter (เพื่อเข้า buffer 2) จากขบวนการที่กล่าวมาสามารถแสดงเป็นสมการแสดงการเลื่อนสำหรับแต่ละ time slot ได้ดังสมการที่ (3.4)

$$S_{i+1} = (S_i + k_i) \bmod (L) \qquad (3.4)$$

โดย S_i บอกจำนวนในการเลื่อนใน time slot ที่ i และ i บอกหมายเลขของ time slot มีค่าตั้งแต่ 1,2,...

k_i เป็นจำนวน packet ที่เข้าสู่ shifter ใน time slot ที่ i

ในที่นี้เราให้ $S_1 = 0$ (คือไม่มีการเลื่อน packet) และจากตัวอย่างในรูปที่ 3.8 และ สมการที่ (3.4) จะได้ $S_2 = 5$ และ $S_3 = 1$

การนำ packet จาก buffer 1-L ออกสู่ output จะอาศัย token คือ packet ที่ได้รับ token จะมีสิทธิในการส่ง packet ใน time slot นั้น โดยเราจะให้ buffer ที่ 1 ได้รับ token ใน time slot ที่ 1 ถ้า buffer ว่าง token จะยังคงอยู่ที่ buffer ที่ 1 รอจนกระทั่งมี packet ใส่ลงใน buffer และถูกส่งออกสู่ output หลังจากนั้น token จะถูกส่งไป buffer ที่ 2 เพื่อให้สิทธิ์ buffer 2 ในการส่ง packet แล้ว token จะถูกส่งไป buffer อื่น ๆ เพื่อให้สิทธิ์ในการส่ง packet วนจนครบทุก buffer แล้วจึงกลับมาที่ buffer 1 ใหม่

จากขบวนการเก็บ packet ลงใน buffer และการส่ง packet สู่ output port จะสังเกตได้ว่า packet จะถูกส่งและถูกเก็บในลักษณะวนเป็น cyclic ทำให้ที่ time slot ใด ๆ จำนวน packet ในแต่ละ buffer จะไม่แตกต่างกันมากกว่า 1 packet และจะเกิด over flow ก็ต่อเมื่อ buffer ทั้งหมด (L buffer) เต็ม จากที่กล่าวมาจะเห็นว่า buffer จะกระทำต่อ packet ที่เข้ามาในลักษณะ FIFO (first in first out) เมื่อพิจารณาจำนวน buffer ที่ต้องใช้ในแต่ละ bus interface จะเห็นว่าขึ้นอยู่กับ percent load ของ input และขนาดการ loss ของ packet ที่ยอมรับได้ จากตอนต้นถ้าให้ L = 8 loss ที่เกิดขึ้นจะมีค่าน้อยมากเราจึงประมาณว่าที่ L = 8 ทุก packet ที่เข้าสู่ concentrator จะสามารถผ่านออกไปสู่ buffer ได้ (ถือว่าไม่มี loss เกิดใน concentrator)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 4
โครงข่าย ATM ที่ใช้งานสวิตช์แบบ EFCI

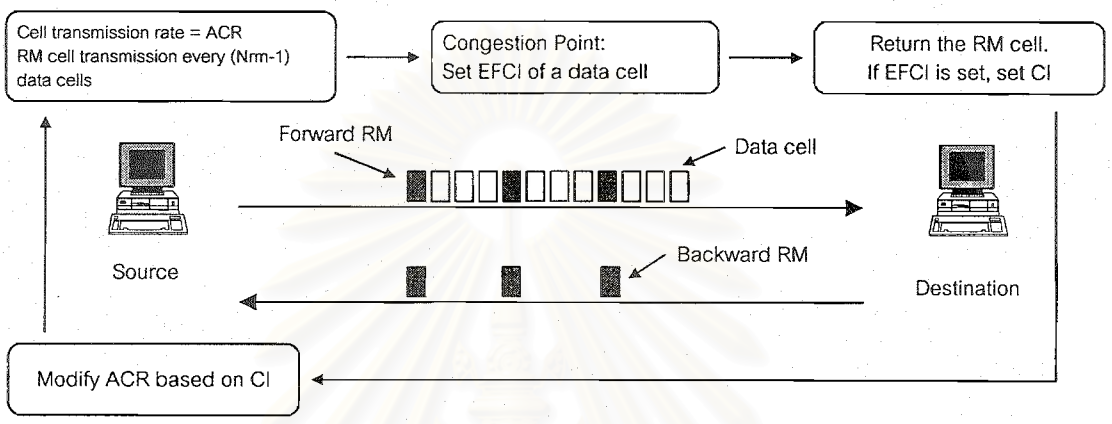
กลไกการควบคุมความคับคั่งของสวิตช์แบบ EFCI นั้นเป็นกระบวนการที่เรียบง่าย เนื่องจากเป็นวิธีที่อาศัยการบันทึกข้อมูลขนาดเพียงบิตเดียวบนเซลล์ข้อมูลเมื่อสวิตช์เกิดภาวะคับคั่ง ส่วนภาระการคำนวณต่าง ๆ จะเป็นหน้าที่ของแหล่งกำเนิดข้อมูลกับปลายทาง สวิตช์ที่ใช้วิธีนี้ในการควบคุมความคับคั่งจะมีชื่อเรียกว่าสวิตช์แบบ EFCI (EFCI Switch) การศึกษาในบทนี้เพื่อต้องการแสดงให้เห็นถึงการทำงานของวิธีการควบคุมความคับคั่งแบบ EFCI และข้อดีข้อเสียของสวิตช์ เพื่อที่จะได้นำไปใช้ในการเปรียบเทียบกับผลของการศึกษาการให้บริการแบบ ABR บนโครงข่าย ATM ที่ใช้งานสวิตช์แบบ ERICA ซึ่งจะได้กล่าวถึงในบทต่อไป ในส่วนต่อไปของบทนี้จะกล่าวถึงหลักการทำงานของการควบคุมความคับคั่งแบบ EFCI รูปแบบของโครงข่ายที่ใช้ในการศึกษา ผลการทดสอบสมรรถนะและการวิเคราะห์รวมทั้งประเด็นอื่น ๆ ที่น่าสนใจ

หลักการทำงานของ EFCI (Explicit Forward Congestion Indication)

วิธีการควบคุมความคับคั่งแบบ EFCI จัดอยู่ในประเภทหนึ่งของวิธีการป้อนกลับแบบไบนารี (Binary Feedback) อาศัยการนำบิตจำนวน 1 บิต ในฟิลด์ PT (Payload Type Field) ที่อยู่ในเฮดเดอร์ (Header) ของเซลล์ข้อมูล (Data Cell) ทุกเซลล์มาใช้ในการแสดงสภาวะคับคั่งที่เกิดขึ้น (เรียกบิตนี้ว่าบิต EFCI) โดยแหล่งกำเนิดข้อมูลจะกำเนิดเซลล์ข้อมูลที่มีบิต EFCI = 0 ซึ่งหมายความว่าไม่เกิดการคับคั่ง สำหรับตัวสวิตช์ซึ่งเป็นโหนดหนึ่ง ๆ ในโครงข่ายจะตรวจสอบขนาดคิวขาออก (จำนวนของเซลล์ข้อมูลที่ถูกนำไปเก็บในบัฟเฟอร์ก่อนที่จะถูกส่งออกไป) ว่าขนาดของคิวมีความยาวเกินกว่าค่า Threshold ที่กำหนดเอาไว้ซึ่งจะทำให้สวิตช์เข้าสู่สภาวะคับคั่ง (Congested Condition) และสภาวะคับคั่งนี้จะหมดไปเมื่อขนาดของคิวลดลงมาต่ำกว่าค่า Threshold สวิตช์ก็จะอยู่ในสภาวะปกติ และเมื่อสวิตช์จะจัดส่งเซลล์ข้อมูลออกไปหากมันอยู่ในภาวะคับคั่งสวิตช์จะตั้งค่าให้บิต EFCI ของเซลล์ข้อมูลนั้นให้เป็น EFCI = 1 แล้วจึงส่งเซลล์ออกไป ซึ่งสวิตช์จะเซตเซลล์ทุกเซลล์ที่ผ่านมันโดยไม่คำนึงว่าเป็นเซลล์ของ VC (Virtual Connection) ใด

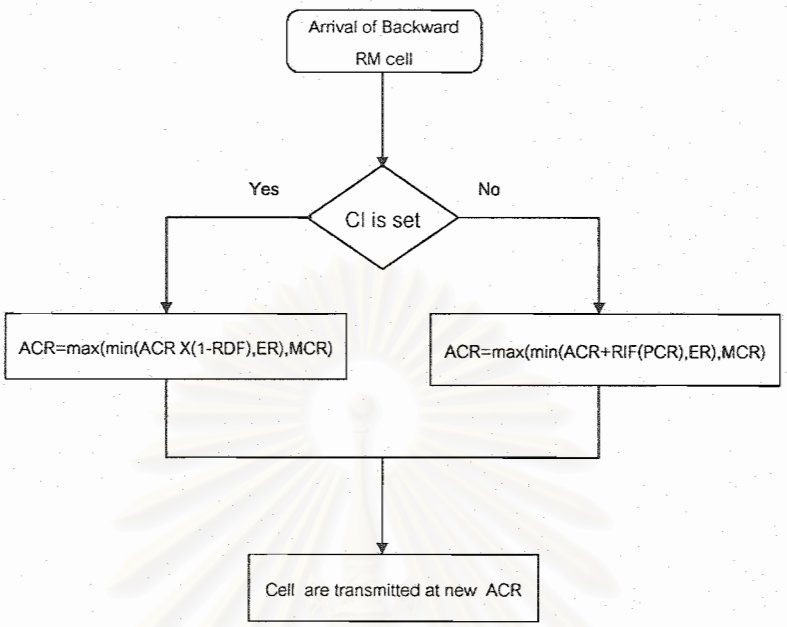
สำหรับแหล่งกำเนิดข้อมูลนอกจากจะให้กำเนิดเซลล์ข้อมูลแล้วยังทำการสร้างเซลล์ RM แบบไปข้างหน้าหรือ FRM (Forward RM Cell) ซึ่งจะถูกส่งออกมาทุก ๆ เซลล์ข้อมูล Nrm –1 เซลล์ และปลายทางจะตรวจสอบบิต EFCI ของเซลล์ข้อมูลที่มันได้รับซึ่งถ้าหากเซลล์ข้อมูลตัวสุดท้าย

ก่อนถึงเซลล์ RM ถูกเซตบิต EFCI ปลายทางก็จะเซตบิต CI ในเซลล์ RM ตัวที่ติดกับเซลล์ข้อมูลดังกล่าว แล้วจึงกลับทิศเซลล์ RM (กลายเป็น Backward RM Cell: BRM) แล้วส่งกลับไปยังแหล่งกำเนิดข้อมูล โดยไม่มีการเปลี่ยนแปลงค่าในบิต NI และฟิลด์ ER



รูปที่ 4.1 กลไกการควบคุมความคับคั่งแบบ EFCI

เมื่อแหล่งกำเนิดข้อมูลได้รับเซลล์ BRM ก็จะทำการตรวจสอบบิต CI ว่าถูกตั้งค่าให้เป็น 1 หรือไม่ ถ้าบิตนี้มิได้ถูกเซตเป็น 1 แหล่งกำเนิดจะทำการเพิ่มอัตราการส่งข้อมูลในอัตรา RIF x PCR (RIF: Rate Increase Factor, PCR: Peak Cell Rate) ในทางกลับกันหากได้รับเซลล์ BRM ที่บิต CI ที่ถูกเซตให้เป็น 1 ก็จะทำการลดอัตราการส่งข้อมูลลงด้วยอัตรา RDF x ACR (RDF: Rate Decrease Factor, ACR: Allowed Cell Rate) ทั้งนี้ในการปรับค่าของ ACR นั้นจะต้องมิให้มีค่าเกิน MCR และก็จะต้องไม่ต่ำกว่าค่า ER ด้วย แต่เนื่องจาก ER มีค่าเริ่มต้นเป็น PCR และในสวิตช์แบบ EFCI นี้ไม่มีการเปลี่ยนแปลงค่านี้ทำให้การตรวจสอบเงื่อนไขนี้เป็นเสมือนการตรวจสอบเพื่อไม่ให้เกิดการส่งที่อัตราสูงกว่า PCR รูปที่ 4.1 แสดงถึงกระบวนการควบคุมที่ได้อธิบายมาจะเห็นว่ามีลักษณะเป็นการป้อนกลับแบบวงปิดระหว่างแหล่งกำเนิดข้อมูลและปลายทางรับข้อมูล สำหรับการปรับเปลี่ยนอัตราการส่งข้อมูลของแหล่งกำเนิดข้อมูลจะแสดงไว้ในรูปที่ 4.2 โดยแต่ละ VC จะมีป้อนกลับเซลล์ RM และการปรับเปลี่ยนอัตราการส่งข้อมูลของตนเอง หากแต่ใช้งานพื้นที่บัฟเฟอร์ที่สวิตช์ร่วมกัน



รูปที่ 4.2 การปรับเปลี่ยนอัตราการส่งข้อมูลของแหล่งกำเนิด

จากหลักการทำงานทั้งหมดของการควบคุมความคับคั่งแบบ EFCI จะมีข้อสังเกตที่น่าสนใจสองประการคือ ข้อแรกการปรับเปลี่ยนอัตราการส่งข้อมูลโดยอาศัยพารามิเตอร์ทั้งสองตัว (RIF และ RDF) น่าจะทำให้อัตราการส่งข้อมูลเกิดการแกว่งตัวเนื่องจากใช้การเพิ่มหรือลดค่าปัจจุบันทีละส่วนไม่ใช่การระบุค่าที่ชัดเจนลงไปเลย ส่วนประเด็นที่สองคือ VC ที่ยาวกว่า (ผ่านสวิตช์มากกว่า) จะมีโอกาสที่บิต EFCI ของเซลล์ข้อมูลจะถูกตั้งค่าให้เป็น 1 มากกว่าเนื่องมาจากสวิตช์ที่เกิดสภาวะคับคั่งจะเซตบิต EFCI ของเซลล์ข้อมูลทุกเซลล์ที่ผ่านตัวมันโดยไม่คำนึงว่าเซลล์นั้นเป็นของ VC ใด ทำให้อัตราการส่งข้อมูลVC ที่มีความยาวกว่ามีโอกาสจะโดนปรับลดมากกว่า ทั้งสองประเด็นนี้จะสามารถสังเกตเห็นได้จากผลการทำ simulation ที่แสดงไว้ในส่วนถัดจากรูปแบบของโครงข่ายที่นำมาศึกษาโดยการทำ simulation ซึ่งเป็นส่วนถัดไป

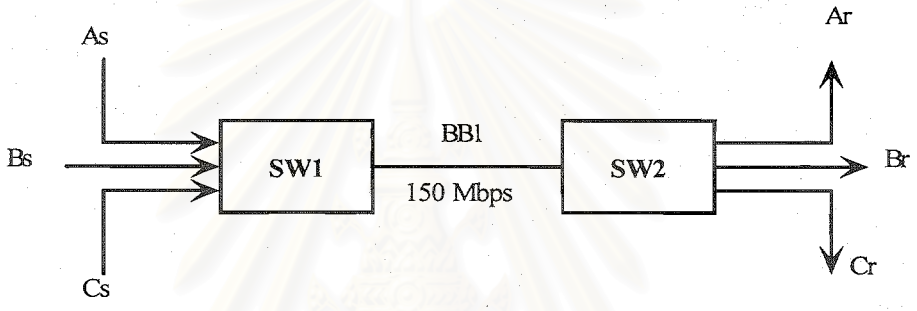
รูปแบบของโครงข่ายที่นำมาศึกษา

เพื่อที่จะศึกษาการให้บริการแบบ ABR รวมถึงต้องทดสอบประเด็นที่ได้ตั้งข้อสังเกตข้างต้นจึงมีรูปแบบของโครงข่ายที่นำมาทำเป็นแบบจำลองของการทำ simulation (Simulation model) ทั้งหมดด้วยกัน 5 แบบ โดยกำหนดให้ลิงค์ระหว่างแหล่งกำเนิดไปยังสวิตช์ และลิงค์ระหว่างปลายทางกับสวิตช์มีระยะทางเป็น 1 กิโลเมตรทั้งในกรณีของ LAN และ WAN

I 20167837

1. Two Nodes Switches Configuration

เพื่อศึกษาถึงคุณสมบัติและการทำงานของสวิตช์แบบ EFCI โดยแบบจำลองประกอบด้วยสวิตช์แบบ EFCI 2 ตัวที่มีคุณสมบัติเหมือนกันหมด, VC ทั้งหมด 3 การต่อเชื่อม, แหล่งกำเนิดข้อมูล ABR แบบส่งข้อมูลตลอดเวลา (Persistent ABR Source) 3 ตัว, ปลายทางรับข้อมูล 3 ตัว และ ลิงค์ขนาดความจุ 150 Mbps เชื่อมระหว่างสวิตช์ (โดยกำหนดให้ BB1 มีความยาว 1 km และ 1000 km สำหรับกรณีของ LAN และ WAN ตามลำดับ[1]) และจากหลักการของ "Max-Min Fairness Criterion" [5] ได้ค่า Fairshare ของแต่ละ VC เป็นดังตารางที่ 4.1



รูปที่ 4.3 Two Nodes Switched Configuration

ตารางที่ 4.1 ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.3

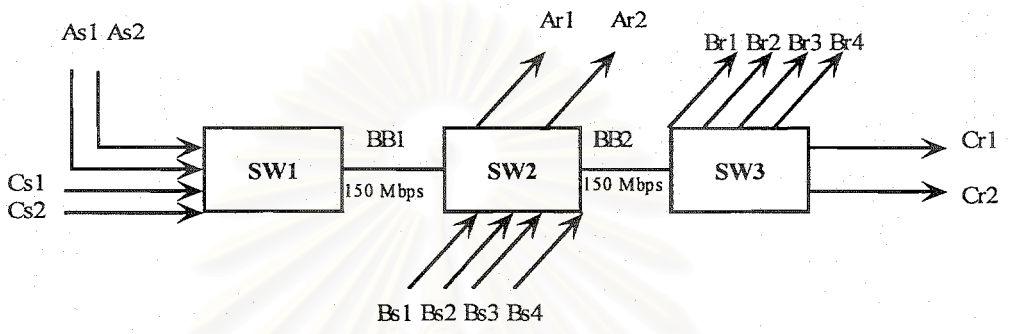
กลุ่มของ VC	จำนวน VC	Fairshare ต่อ VC (Mbps)
A	1	50
B	1	50
C	1	50

2 Three Nodes Switches Configuration

โครงข่ายมีโครงสร้างซึ่งมีสวิตช์แบบ EFCI จำนวน 3 ตัวที่มีคุณสมบัติเหมือนกัน และประกอบด้วย VC ที่มีความยาวแตกต่างกัน โดยมี VC ที่แบบ Single-hop และแบบ Multi-hop ผสมกัน แบ่งเป็นกลุ่ม A (Single-hop, 2 VC), กลุ่ม B (Single-hop, 4 VC) และ กลุ่ม C (Multi-hop, 2 VC) ลิงค์ความจุ 150 Mbps BB1และBB2 เชื่อมสวิตช์ SW1 กับ SW2 และ SW2 กับ SW3

[1]ลิงค์มีค่าประวิงเวลาเป็น 5 ms/1000 km (คิดจากลิงค์เป็น fiber optics มีค่าดัชนีหักเห 1.5 และแสงเดินทางด้วยความเร็ว $3x10^8$ m/s ในสูญญากาศ)

ตามลำดับ (โดยกำหนดให้ BB1, BB2 มีความยาว 1 km และ 1000 km สำหรับกรณีของ LAN และ WAN ตามลำดับ) ลิงค์ที่เกิดความคับคั่งกว่าคือลิงค์ BB2 เนื่องจากมี VC ผ่านถึง 6 VC ขณะที่ลิงค์ BB1 มี VC ผ่าน 4 VC



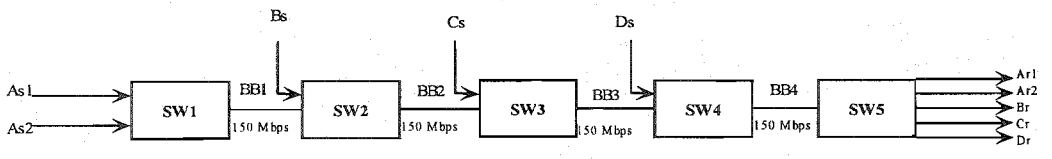
รูปที่ 4.4 Three nodes Switches Configuration

ตารางที่ 4.2 ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.4

กลุ่มของ VC	จำนวน VC	Fairshare ต่อ VC (Mbps)
A	2	50
B	4	25
C	2	25

3 Parking Lot Configuration

แบบจำลองแบบนี้ได้รับความคิดมาจากที่จอดรถที่เป็นช่อง ๆ และมีทางออกทางเดียวเพื่อศึกษาความเท่าเทียมกันในโครงข่าย โดยมีโครงสร้างซึ่งมีสวิตช์แบบ EFCI 5 ตัวคุณสมบัติเหมือนกัน ทุก VC มีทางออกร่วมกันที่สวิตช์ SW5 ทำให้ลิงค์ที่มีความหนาแน่นสูงสุดคือลิงค์ BB4 กำหนดให้ BB1, BB2, BB3, BB4 มีความยาวเท่ากันเป็น 1 km และ 1000 km สำหรับกรณีของ LAN และ WAN ตามลำดับ



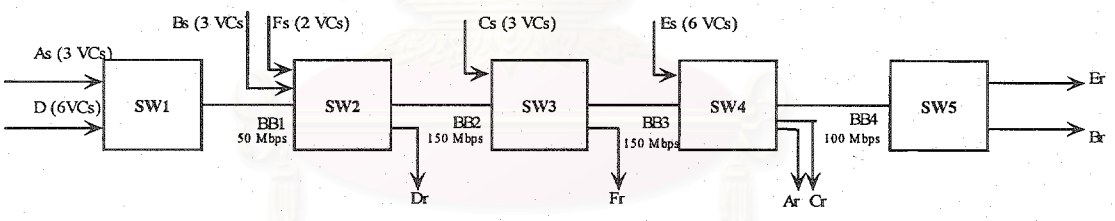
รูปที่ 4.5 Parking Lot Configuration

ตารางที่ 4.3 ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.5

กลุ่มของ VC	จำนวน VC	Fairshare ต่อ VC (Mbps)
A	2	30
B	1	30
C	1	30
D	1	30

4 Generic Fairness Configuration I

หรือเรียกอีกอย่างว่า GFC I เป็นรูปแบบที่นำมาทดสอบความเท่าเทียมกันของโครงข่าย [8] ประกอบด้วยกลุ่มของ VC ที่มีเส้นทางแตกต่างกันผ่านกลุ่มสวิตช์ (โดยที่ลิงค์ BB1, BB2, BB3, BB4 มีความยาวเป็น 1 km และ 1000 km สำหรับกรณีของ LAN และ WAN ตามลำดับ) จะเห็นได้ว่าเมื่อเข้าสู่สภาวะอยู่ตัว (Steady State) แต่ละ VC ควรจะได้รับการจัดสรรแบนด์วิดท์เป็นดังค่า Fairshare ที่ได้แสดงไว้ในตารางที่ 4.4



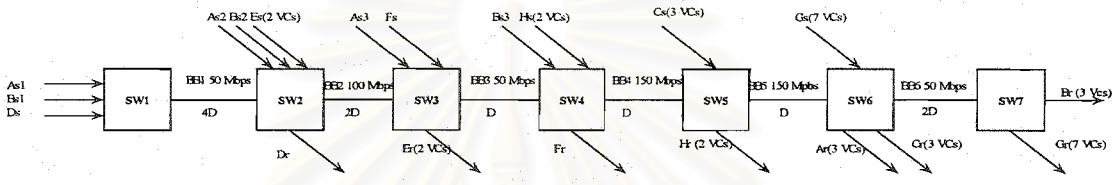
รูปที่ 4.6 Generic Fairness Configuration

ตารางที่ 4.4 ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.6

กลุ่มของ VC	จำนวน VC	Fairshare ต่อ VC (Mbps)
A	3	5.5
B	3	11.1
C	3	33.3
D	6	5.5
E	6	11.1
F	2	50.0

5 Generic Fairness Configuration II

เป็นแบบโครงข่ายที่มีลักษณะค่อนข้างใหญ่คือประกอบด้วยสวิตช์แบบเดียวกันทั้งหมด 7 ตัวเชื่อมต่อกันด้วยลิงค์ที่มีความยาวและขนาดความจุแตกต่างกัน (โดย D มีค่าเป็น 1 km และ 1000 km สำหรับกรณีของ LAN และ WAN ตามลำดับ) และค่า Fairshare ของแต่ละ VC ได้แสดงไว้ในตารางที่ 4.5



รูปที่ 4.7 Generic Fairness Configuration II

ตารางที่ 4.5 ค่า Fairshare ของแต่ละ VC ในโครงสร้างดังรูปที่ 4.7

กลุ่มของ VC	จำนวน VC	Fairshare ต่อ VC (Mbps)
A	3	10
B	3	5
C	3	35
D	1	35
E	2	35
F	1	10
G	7	5
H	2	52.5

6 พารามิเตอร์ของสวิตช์

จากโครงสร้างทั้ง 5 แบบที่กล่าวมานั้นสวิตช์ที่ใช้ในแต่ละแบบจำลองจะเป็นสวิตช์แบบ EFCI ที่มีค่าพารามิเตอร์แสดงดังในตารางที่ 4.6

ตารางที่ 4.6 พารามิเตอร์ของสวิตช์แบบ EFCI

พารามิเตอร์	คำอธิบาย	ค่า
LT	Low Threshold	2500 เซลล์
HT	High Threshold	2500 เซลล์

7 พารามิเตอร์ของแหล่งกำเนิดข้อมูล

แหล่งกำเนิดข้อมูลทุกตัวเป็นแหล่งกำเนิด ABR แบบส่งตลอดเวลา (Persistent ABR Source) ซึ่งตารางที่ 4.7 แสดงค่าพารามิเตอร์ต่างๆ ของแหล่งกำเนิดที่ใช้ในการทำ simulation โดยพารามิเตอร์ชุดนี้ใช้กับทั้งกรณีของ LAN และ WAN

ตารางที่ 4.7 ค่าพารามิเตอร์ของ Source

พารามิเตอร์	คำอธิบาย	ค่า
PCR	Peak cell rate that ABR can be set to	150 Mbps
MCR	Minimum cell rate for ACR	1.50 Mbps
ICR	Initial cell rate value for ACR	7.50 Mbps
Nrm	Number of cells between forward RM cell	32 Cells
RDF	Rate decrease factor	1/128
RIF	Rate increase factor	1/512

สำหรับพารามิเตอร์ RDF และ RIF ค่าที่กำหนดนี้ใช้กับโครงข่ายที่มีโครงสร้างทุกแบบยกเว้นแบบที่หนึ่ง สำหรับแบบที่หนึ่งนั้นจะมีการนำเสนอถึงผลกระทบของค่า RDF และ RIF ที่มีต่อสมรรถนะการทำงานของสวิตช์แบบ EFCI โดยค่าพารามิเตอร์ที่ใช้การศึกษาเพิ่มเข้ามาเฉพาะในโครงข่ายแบบแรกเป็นดังที่แสดงในตารางที่ 4.8

ตารางที่ 4.8 พารามิเตอร์ที่ใช้กับโครงสร้างแบบ Two Nodes Switched Configuration

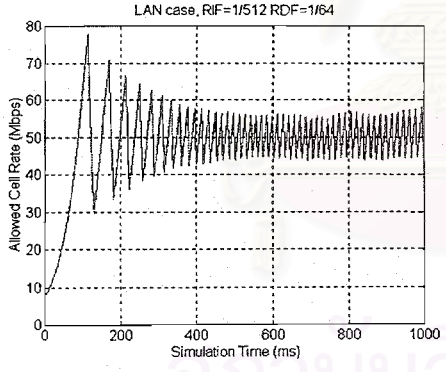
ชุดของพารามิเตอร์	RIF	RDF
1	1/128	1/128
2	1/512	1/64
3	1/128	1/64
4	1/512	1/128

ผลการจำลองการทำงานและการวิเคราะห์

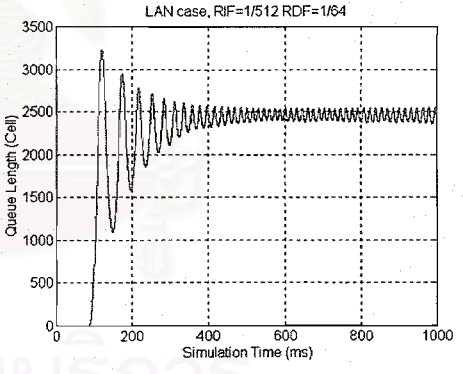
ในการนำเสนอผลที่ได้จากการทำ simulation นั้นแยกได้ตามรูปแบบของโครงสร้างที่นำมาศึกษา โดยในแต่ละโครงสร้างนั้นได้มีการทำ simulation ทั้งในกรณีของ LAN และ WAN เพื่อให้เห็นถึงผลกระทบของ round-trip time delay ที่เพิ่มขึ้นตามความยาวของลิงค์ ที่มีต่อสมรรถนะการทำงานของระบบ ความยาวของลิงค์ที่เพิ่มขึ้นอันแสดงถึงค่า round-trip time delay ที่เพิ่มขึ้นด้วย

1 ผลการ simulation ของโครงสร้าง Two Nodes Switches Configuration

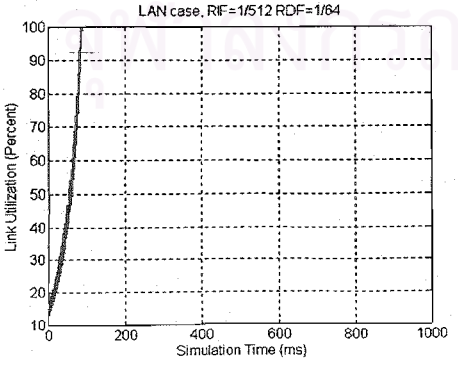
ก่อนที่จะพิจารณาผลการ simulation ของโครงข่ายที่มีค่าพารามิเตอร์ RIF, RDF ต่างๆ ตามข้างต้น เราจะดูถึงการทำงานของการควบคุมความคับคั่งแบบ EFCI โดยพิจารณาค่า ACR, ความยาวคิว, และ link utilization ของโครงข่ายที่มีโครงสร้างดังรูปที่ 4.3 ในกรณีของ LAN และมีค่า RIF=1/512 และ RDF=1/64 ซึ่งจะได้ผลเป็นดังรูปที่ 4.8a ถึง 4.8c



รูปที่ 4.8a อัตราการส่งข้อมูลของ A, B และ C

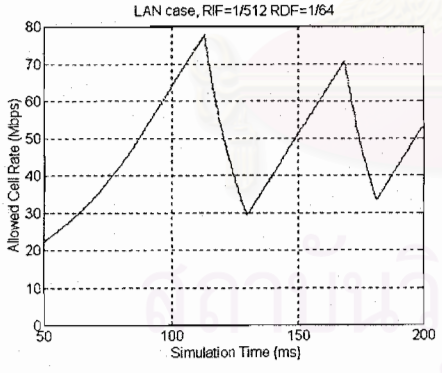


รูปที่ 4.8b ความยาวของคิวที่สวิตช์ SW1

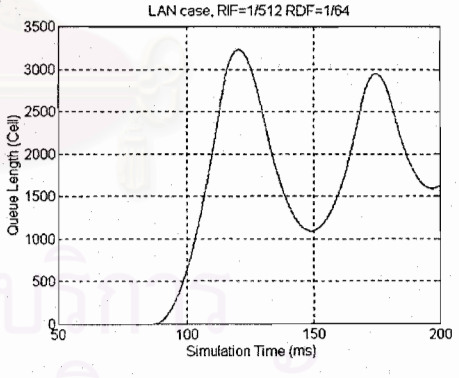


รูปที่ 4.8c Link Utilization

จากรูปจะเห็นว่าอัตราการส่งข้อมูลของแหล่งกำเนิด A, B และ C นั้นจะเป็นไปดังข้อสังเกตที่กล่าวไว้ข้างต้นคือจะมีการแกว่งตัวทั้งในสถานะชั่วขณะและสถานะอยู่ตัว ในสถานะอยู่ตัวขนาดของคิวจะแกว่งตัวอยู่รอบๆ ค่า Threshold ที่กำหนดไว้คือ 2500 เซลล์ ซึ่งถ้าจะพิจารณาให้ละเอียดก็จะเห็นว่าในตอนแรกนั้นคิวเป็นศูนย์เนื่องจากแหล่งกำเนิดทั้งสามยังใช้งานลิงค์ไม่เต็มความจุขนาด 150 Mbps (พิจารณาจากค่า Link Utilization ยังไม่เต็ม 100 เปอร์เซ็นต์) จวบจนที่เวลาประมาณ 90 ms ที่จะเห็นลิงค์ถูกใช้งานเต็ม 100 เปอร์เซ็นต์คิวจะเริ่มมีค่าสูงขึ้น ดังจะเห็นได้จากรูปที่ 4.9a และ 4.9b ซึ่งแสดงให้เห็นเมื่อคิวมีความยาวเกิน Threshold สวิตช์ก็จะเซตบิต EFCI ที่เซลล์ข้อมูลทำให้เกิดการลดอัตราการส่งข้อมูลในเวลาต่อมาจะเห็นว่าแหล่งกำเนิดใช้เวลาไม่นานนักหลังจากที่คิวเกิน threshold ก่อนที่จะเกิดการลดอัตราการส่งข้อมูลเนื่องจากขณะนั้นอัตราการส่งข้อมูลอยู่ที่ค่าสูงซึ่งจำนวนเซลล์ RM ก็จะมากตามไปด้วย (เซลล์ RM มีจำนวน 1 เซลล์ต่อเซลล์ข้อมูล 31 เซลล์) ผลก็คือเกิดการลดอัตราส่งข้อมูล (ACR=ACR – (ACR x RDF)) บ่อย และในทางตรงกันข้ามเมื่อคิวลดจำนวนลงมาต่ำกว่าค่า threshold แหล่งกำเนิดใช้เวลาในการเพิ่มอัตราการส่งมากกว่าในการลด ทั้งนี้และทั้งนั้นเป็นผลจากการที่ค่า RDF มีค่าต่ำกว่า RIF ด้วย



รูปที่ 4.9a อัตราการส่งข้อมูล A, B และ C



รูปที่ 4.9b ความยาวของคิวที่สวิตช์ SW1

นอกจากการพิจารณาสถานะชั่วขณะแล้วเรายังสามารถพิจารณาระบบในสถานะอยู่ตัวได้ในรูปของค่าทรูพุทเฉลี่ย (Average Throughput) และ ค่า Fairness โดยทรูพุทเฉลี่ยก็คือจำนวนข้อมูลซึ่งอยู่ในรูปของจำนวนเซลล์ที่เดินทางจากแหล่งกำเนิดไปยังปลายทางได้โดยวัดจากจำนวนเซลล์ที่ปลายทางได้รับ [12] ซึ่งทรูพุทนี้จะเป็นค่าของแต่ละ VC และนอกจากนั้นเรายังสามารถมองทรูพุทให้มีหน่วยเป็น Mbps ได้ดังนี้

$$Throughput\ (\text{Mbps}) = \frac{\text{Received Cells at Destination (cells)}}{tf - t0\ (\text{seconds})} \times 53(\text{bytes}) \times 8(\text{bits}) \times 10^{-6} \quad (4.1)$$

ซึ่ง t0 และ tf เป็นเวลาที่เริ่มการติดต่อและเวลาสิ้นสุดตามลำดับ

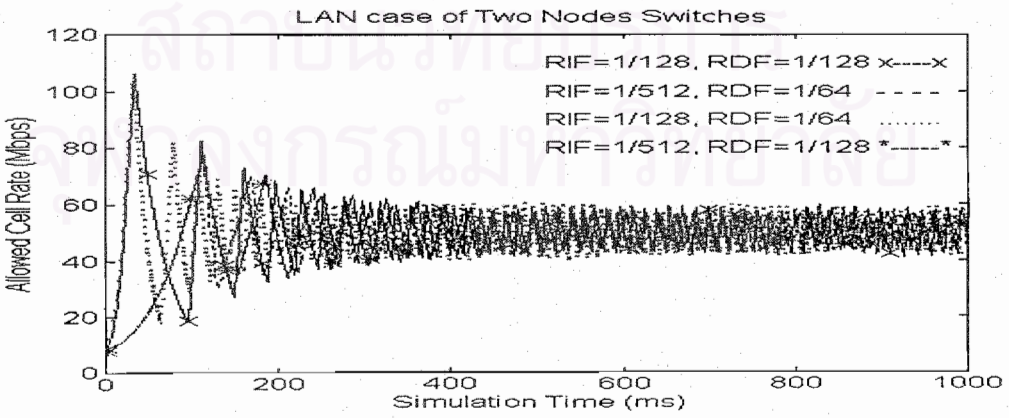
และจากทรูพุทซึ่งอาจจะเรียกได้ว่าเป็นแบนด์วิทด์ที่ VC ได้รับการจัดสรรให้จากโครงข่าย จะสามารถนำไปหาค่า Fairness เพื่อแสดงถึงความเท่าเทียมกันระหว่าง VC

$$Fairness = \frac{\left(\sum_{i}^{n} X_i\right)^2}{n\sum_{i}^{n} X_i^2} \quad (4.2)$$

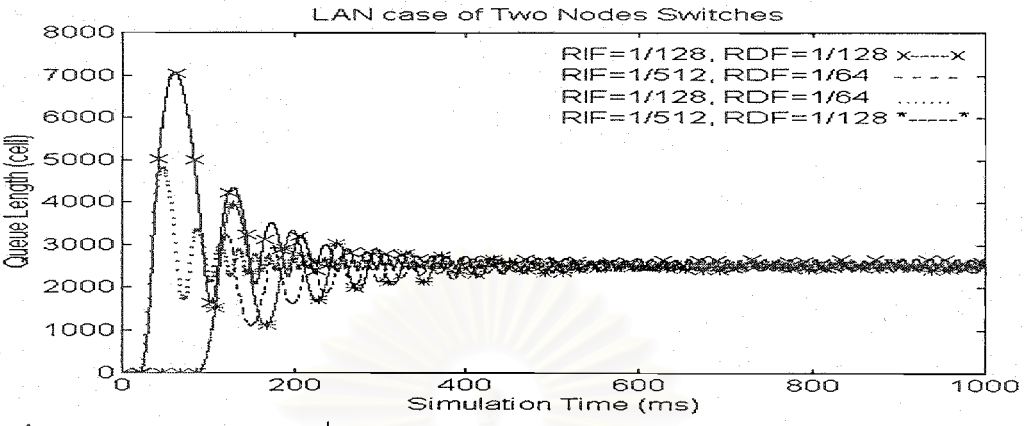
โดย X_i เป็นอัตราส่วนระหว่างค่าทรูพุธกับค่า Fairshare ที่คำนวณได้จาก "Max-Min Criterion"

ค่าต่างๆ เหล่านี้จะใช้ในการแสดงสมรรถนะของโครงข่ายในรูปแบบต่างๆ ที่ได้ทำการ simulation ต่อไป

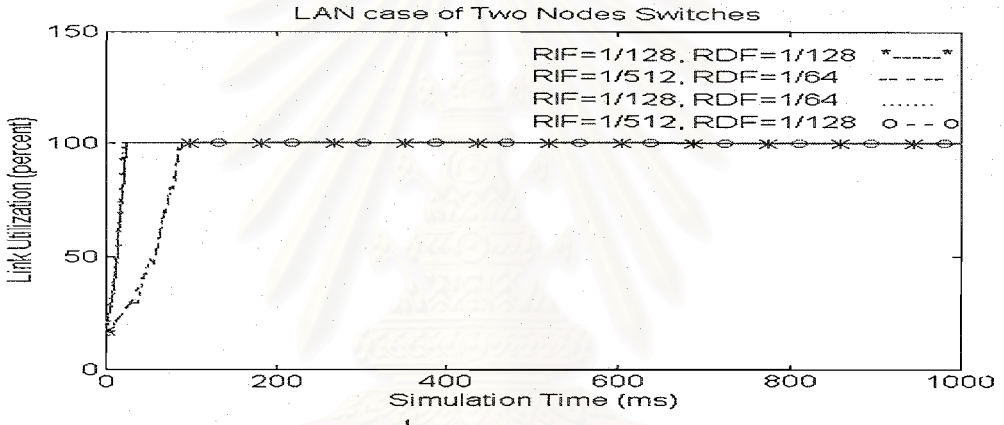
ส่วนต่อไปจะเป็นการแสดงถึงผลการ simulation ของโครงข่ายที่มีโครงสร้างแบบที่ 1 โดยรูปที่ 4.10a แสดงอัตราการส่งข้อมูลของแหล่งกำเนิด A ที่มีพารามิเตอร์ RIF, RDF ต่างๆ ตามตารางที่ 4.8 ส่วนรูปที่ 4.10b แสดงความยาวของคิวที่สวิตช์ SW1 ขณะที่รูปที่ 4.10c แสดงค่า Link Utilization ของ BB1 ซึ่งเป็นลิงค์ที่ต่อเชื่อมสวิตช์ทั้งสองตัวด้วยกัน



รูปที่ 4.10a อัตราการส่งข้อมูลของแหล่งกำเนิด A



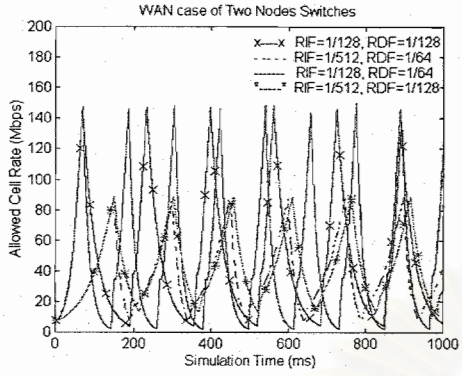
รูปที่ 4.10b ความยาวของคิวที่สวิตช์ SW1 ในโครงสร้าง Two Nodes Switches Configuration

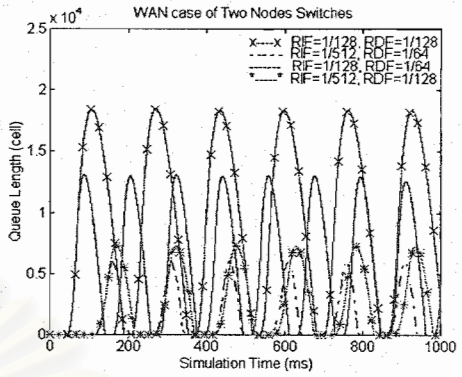


รูปที่ 4.10c Link Utilization

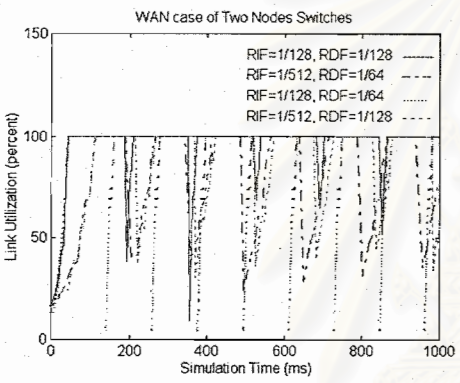
ซึ่งจากผลการ simulation นี้เราเห็นได้ว่าค่า ACR ของแหล่งกำเนิด A นั้นเมื่อเข้าสู่สภาวะอยู่ตัวจะแกว่งตัวอยู่รอบๆ ค่า Fairshare (คือ 50 Mbps) และเมื่อพิจารณาในด้านของคิวแล้ว แหล่งกำเนิดที่มี RIF=1/128, RDF=1/64 คิวจะลู่เข้าสู่ค่า 2500 ซึ่งเป็นค่า Threshold ของสวิตช์ได้เร็วที่สุด ขณะที่แหล่งกำเนิดที่มี RIF=1/128, RDF=1/128 จะทำให้เกิดคิวสูงสุดคือ 7067 เซลล์ ซึ่งเป็นสิ่งที่คาดการณ์ได้ล่วงหน้าเนื่องจากเมื่อเทียบกับอีก 3 กรณีที่เหลือนั้น RIF เป็นค่าที่สูงและ RDF เป็นค่าที่ต่ำอันหมายถึงการเพิ่มอัตราการส่งข้อมูลจะเร็วขณะที่การลดจะเป็นไปได้ช้า

และเมื่อมาดูผลการ simulation ในกรณีของ WAN ซึ่งลิงค์ BB1 มีความยาวเป็น 1 km จะได้ผลดังรูปที่ 4.11a ถึง 4.11c





รูปที่ 4.11a อัตราการส่งข้อมูลของแหล่งกำเนิด A **รูปที่** 4.11b ความยาวของคิวที่สวิตช์ SW1



รูปที่ 4.11c Link Utilization ของ BB1

จะเห็นได้ชัดถึงความแตกต่างจากกรณีของ LAN จากรูปที่ 4.11a จะเห็นถึงการแกว่งตัวที่เพิ่มขึ้นของ ACR เมื่อเทียบกับรูปที่ 4.10a ซึ่งเป็น ACR กรณี LAN อันเนื่องมาจากลิงค์ที่ยาวขึ้นจะส่งผลให้เซลล์ RM ใช้เวลาเดินทางมากขึ้น (Round Trip time เพิ่มขึ้น) และด้วยเวลาที่มากขึ้นนี้จึงทำให้มีจำนวนเซลล์ RM ที่มากขึ้นจึงเกิดการเพิ่มหรือลดอัตราการส่งอย่างต่อเนื่องเป็นช่วงๆ ตามการขึ้นลงของจำนวนเซลล์ในบัฟเฟอร์ของสวิตช์ นอกจากนี้เรายังเห็นผลที่เกิดจากพารามิเตอร์ RIF และ RDF จากรูป 4.11a ถึง 4.11c ไม่ว่าจะเป็นผลต่อขนาดของคิวจะเห็นได้ว่ากลุ่มที่แหล่งกำเนิดมีค่า RIF เป็น 1/512 นั้นขนาดของคิวที่ใหญ่สุดจะไม่เกิน 10000 เซลล์แต่กลุ่มที่แหล่งกำเนิดมีค่า RIF เป็น 1/128 คิวที่ใหญ่ที่สุดมีขนาดถึงประมาณ 13000 และ 18000 เซลล์ ส่วน RDF ที่สูงก็จะทำให้ Link Utilization ต่ำเกินไป

ในส่วนของความเท่าเทียมกันนั้นได้โดยตารางที่ 4.10 โดยการนำข้อมูลจากตารางที่ 4.9 ซึ่งแสดงทรูพุทของแต่ละ VC มาเทียบเป็นเปอร์เซ็นท์กับค่า Fairshare ที่แสดงไว้ในตารางที่ 4.1

ตารางที่ 4.9 Throughput เฉลี่ยของแต่ละ VC ในโครงสร้างแบบ Two Nodes Switches Configuration ที่มีค่า RIF, RDF ต่างๆกัน

ค่าของพารามิเตอร์		ทรูพุท (Mbps):กรณี LAN		
RIF	RDF	A	B	C
1/128	1/128	49.44	49.51	49.32
1/512	1/64	47.69	47.62	47.51
1/128	1/64	49.40	49.51	49.36
1/512	1/128	47.62	47.62	47.59

(ก) กรณี LAN

ค่าของพารามิเตอร์		อัตราการส่งเซลล์เฉลี่ย (Mbps):กรณี WAN		
RIF	RDF	A	B	C
1/128	1/128	46.44	46.48	46.40
1/512	1/64	36.99	36.99	36.99
1/128	1/64	44.57	44.54	44.49
1/512	1/128	41.53	41.53	41.53

(ข) กรณี WAN

ตารางที่ 4.10 เปอร์เซนต์ของ Througput และค่า Fairness ของแหล่งกำเนิด ในโครงสร้างแบบ Two Nodes Switches Configuration ที่มีค่า RIF, RDF ต่างๆกัน

ค่าของพารามิเตอร์		เปอร์เซ็นต์ทรูพุทเทียบกับ Fairshare: กรณี LAN			Fairness(%)
RIF	RDF	A	B	C	
1/128	1/128	98.88	99.02	98.64	100
1/512	1/64	95.38	95.24	95.02	100
1/128	1/64	98.80	99.02	98.72	100
1/512	1/128	95.24	95.24	95.18	100

(ก) กรณี LAN

ค่าของพารามิเตอร์		เปอร์เซ็นต์ทรูพุทเทียบกับ Fairshare: กรณี WAN			Fairness(%)
RIF	RDF	A	B	C	
1/128	1/128	92.88	92.96	92.80	100
1/512	1/64	73.98	73.98	73.98	100
1/128	1/64	88.14	89.08	88.98	100
1/512	1/128	83.06	83.06	83.06	100

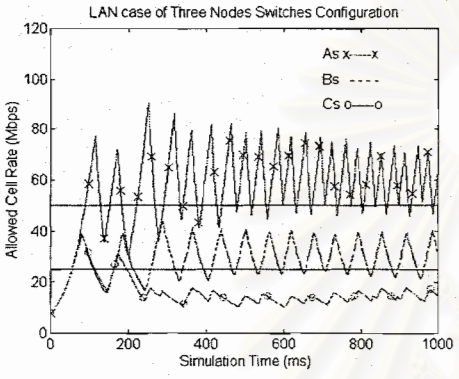
(ข) กรณี WAN

จากตารางที่ 4.9 และ 4.10 จะเห็นได้ว่าในส่วนของค่า Fairness นั้นเราได้ค่า Fairness 100% ซึ่งแสดงถึงความเท่าเทียมกันที่เกิดขึ้นในทุกค่าของ RIF และ RDF ทั้งในการณีของLAN และ WAN ทั้งนี้เนื่องมาจากในโครงสร้างแบบที่ 1 ที่ใช้ในการทำ simulation นั้นแต่ละ VC มีความยาวเท่ากันหมดและเดินทางผ่านสวิตช์จำนวนสองตัวเท่ากันทำให้จึงยังไม่เกิดปัญหา Beatdown แต่ถ้าเราดูในส่วนของอัตราส่งโดยเฉลี่ยที่คิดเป็นเปอร์เซ็นต์เทียบกับ Fairshare นั้นจะเห็นได้ชัดถึงผลของ RIF และ RDF คือ RIF ที่ต่ำก็จะทำให้การเพิ่มอัตราส่งเป็นไปได้ช้าส่งผลให้อัตราส่งเฉลี่ยต่ำไปด้วยขณะเดียวกันค่า RDF ที่สูงก็จะทำให้การลดอัตราส่งเกิดอย่างรวดเร็วส่งผลให้อัตราส่งเฉลี่ยต่ำไปด้วย ทั้งนี้เราได้สังเกตเห็นแล้วจากผลการ simulation ข้างต้นทั้งค่า ACR และ Link Utilization แต่อัตราส่งโดยเฉลี่ยที่สูงนั้นเราจะเห็นได้ว่าส่งผลให้เกิดคิวที่มีขนาดใหญ่ด้วย (สังเกตได้จากรูปที่ 4.10b และ 4.11b) และจากผลที่ได้โครงข่ายที่มีโครงสร้างแบบนี้เราจะเห็นได้ว่าเมื่อ RIF=1/512 และ RDF=1/128 ค่าอัตราการส่งข้อมูลและความยาวคิวจะแกว่งตัวด้วยช่วงการแกว่งที่ต่ำสุดและการที่มีค่า RIF ต่ำจะทำให้สังเกตการเปลี่ยนแปลงในสถานะชั่วขณะได้อย่างชัดเจนจึงเลือกใช้ค่า RIF และ RDF นี้ไปใช้ในโครงข่ายที่มีโครงสร้างแบบอื่นๆ ต่อไป

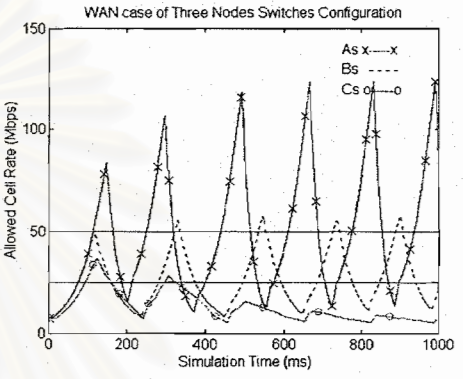
2 ผลการ simulation ของโครงสร้าง Three Nodes Switches Configuration

ในโครงสร้างแบบนี้ VC C จะมีระยะทางที่ยาวกว่า VC A กับ VC B เนื่องจากต้องเดินทางผ่านสวิตช์ถึง 3 ตัวคือ SW1 และ SW2 และ SW3 ขณะที่ VC A ผ่านเพียงสวิตช์ SW1 และ SW2 ส่วน VC B ผ่านสวิตช์ SW2 และ SW3 และจากโครงสร้างสวิตช์ที่มีโอกาสจะเกิดภาวะคับคั่ง มากสุดคือสวิตช์ SW2 ทั้งนี้เนื่องมาจากเป็นสวิตช์ที่มี VC ผ่านถึง 6 เส้นทางด้วยกัน (2 จาก C และ 4 จาก B) ขณะที่ SW1 นั้นมี 4 เส้นทางที่เดินทางผ่านมัน (2 จาก C และ 2 จาก C) โดยที่ลิงค์ขาออก

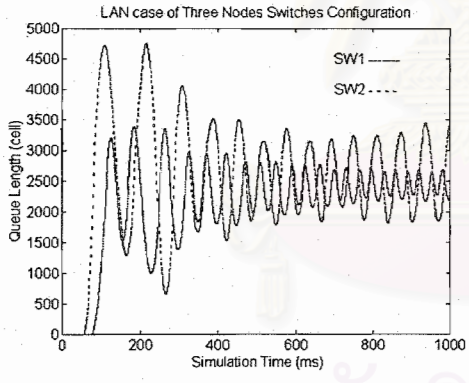
คือ BB1 และ BB2 มีขนาดเท่ากันคือ 150 Mbps ซึ่งผลการ simulation แสดงไว้ดังรูปที่ 4.12a ถึง 4.12c สำหรับกรณี LAN และ 4.13a ถึง 4.13c สำหรับกรณี WAN ในรูปที่ 4.12a และ 4.13a เส้นที่ขีดไว้ที่ระดับ 25 และ 50 Mbps นั้นเป็นเส้นที่แสดงถึงค่า Fairshare ของ VC คือ A ที่ 50 Mbps และ B กับ C ที่ 25 Mbps (ดังเช่นในตารางที่ 4.2)



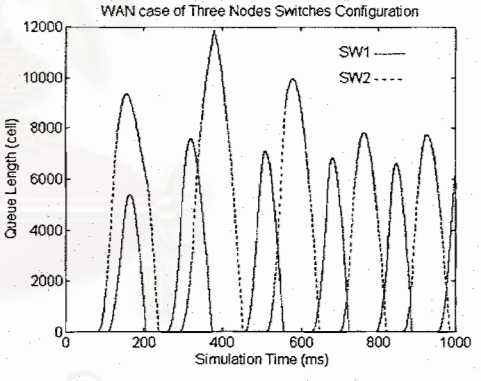
รูปที่ 4.12a อัตราส่งของแหล่งกำเนิด



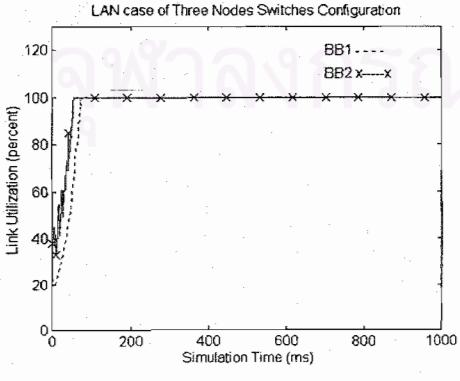
รูปที่ 4.13a อัตราส่งของแหล่งกำเนิด



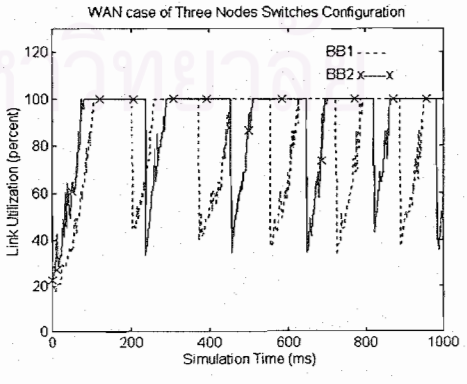
รูปที่ 4.12b ขนาดคิวของสวิตช์



รูปที่ 4.13b ขนาดคิวของสวิตช์

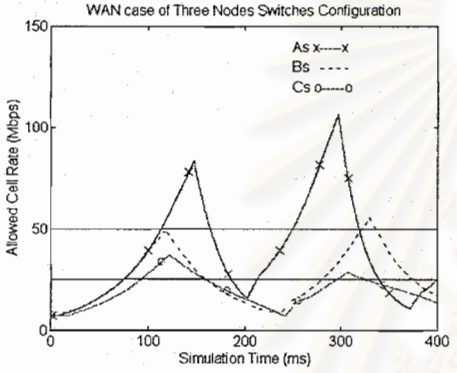


รูปที่ 4.12c Link Utilization

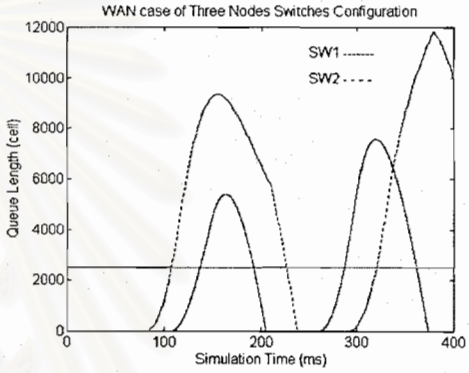


รูปที่ 4.13c Link Utilization

สิ่งที่สามารถสังเกตได้ในจากค่า ACR ที่ได้จากการ simulation ในทั้งกรณีของ LAN และ WAN คือ ACR เกือบทุกค่าของการต่อเชื่อม C อยู่ในระดับที่ต่ำกว่า Fairshare ขณะที่ ACR ของ A และ B นั้นส่วนใหญ่จะอยู่เหนือกว่าค่า Fairshare ซึ่งแสดงให้เห็นถึงปัญหา Beatdown ซึ่งเกิดจาก VC C นั้นเป็นที่ผ่านทั้งลิงค์ BB1 และ BB2 ดังนั้นเซลล์ข้อมูลของเส้นทางนี้จึงมีโอกาสโดนเซต EFCI บิตมากกว่าเซลล์ข้อมูลของ VC A และ VC B ซึ่งถ้าพิจารณาให้ละเอียดจากกรณีของ WAN ในช่วงเวลา 0 ถึง 400 ms จะเห็นได้ชัดเจนดังนี้



รูปที่ 4.14a ACR (Allowed Cell Rate)



รูปที่ 4.14b ขนาดคิวของสวิตช์

ในช่วงแรกสวิตช์ทั้งสองยังมีเซลล์ในคิวไม่ถึงระดับ Threshold แหล่งกำเนิดของทั้ง 3 การต่อเชื่อมก็เพิ่มอัตราการส่งกันไปเรื่อยๆ จากเซลล์ Backward RM ที่ได้รับนั้นไม่โดนเซตบิต CI แต่เมื่อ SW 2 มีคิวถึง Threshold (2500 เซลล์ ที่ประมาณ 100 ms) ก็จะเซตบิต EFCI และด้วยเซลล์ Backward RM ที่แหล่งกำเนิด C และ B ได้รับก็จะปรับลดค่า ACR ลง (จะเห็นว่า C จะเริ่มปรับลดช้ากว่าเนื่องจากเซลล์ RM เดินทางจากสวิตช์ SW2 ไปยังแหล่งกำเนิด C ใช้เวลานานกว่าไปยังแหล่งกำเนิด A) แต่ขณะนั้น A ยังคงเพิ่มอัตราการส่งอยู่เนื่องจาก SW1 ยังมีคิวไม่ถึง Threshold แต่เมื่อถึงเวลา 137 ms SW1 มีคิวถึงค่า Threshold ทำให้ VC A โดนปรับลดอัตราการส่งลงจนถึงเวลาประมาณ 200 ms คิวของ SW1 ลดลงต่ำกว่า Threshold VC A จึงสามารถเพิ่มอัตราส่งได้แต่ VC C ก็ยังปรับลดอยู่เนื่องจากคิวของ SW2 ยังสูงกว่า Threshold อยู่จวบจนประมาณ 250 ms VC C จึงมีโอกาสเพิ่มอัตราการส่งเนื่องจาก SW2 มีคิวที่ลดลงต่ำกว่า Threshold แล้ว และเมื่อเกือบถึงเวลา 300 ms การต่อเชื่อม C ก็โดนปรับลดอัตราการส่งอีกครั้งเนื่องมาจากคิวของ SW1 เกิน Threshold แต่ขณะที่การต่อเชื่อม B ยังคงอยู่ในช่วงเพิ่มค่าต่อไปเพราะคิวของ SW2 ยังไม่ถึง Threshold จะเห็นได้ว่าการต่อเชื่อม C จะโดนปรับลดอัตราการส่งบ่อยกว่าสองเส้นทางที่เหลือ และถ้าหากการต่อเชื่อม A ผ่านสวิตช์ที่เกิดสถานะคับคั่งจำนวนมากกว่านี้ก็จะโดนปรับลดอัตรา

การส่งบ่อยขึ้นเป็นเงาตามตัว ตารางที่ 4.11 จะแสดงถึงทรูพุทของแต่ละ VC และเปอร์เซ็นต์ของทรูพุทเมื่อเทียบค่า Fairshare (ในตารางที่ 4.2) รวมถึงค่า Fairness ในแต่ละกรณีด้วย

ตารางที่ 4.11 ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Three Nodes Swithes Configuration

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	56.21	50	112.42%
A2	56.20	50	112.40%
B1	28.72	25	114.88%
B2	28.72	25	114.88%
B3	28.72	25	114.88%
B4	28.72	25	114.88%
C1	15.85	25	63.40%
C2	15.85	25	63.40%
Fairness		95.52 %	

(ก) กรณี LAN

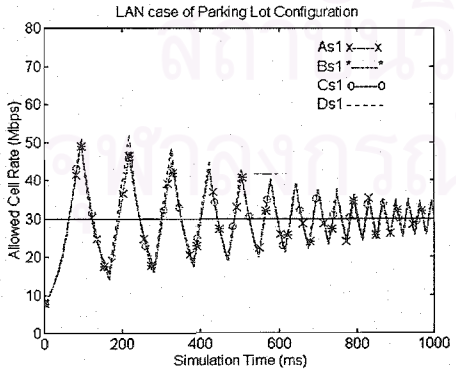
VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	47.73	50	95.46%
A2	47.73	50	95.46%
B1	26.56	25	106.24%
B2	26.56	25	106.24%
B3	26.56	25	106.24%
B4	26.56	25	106.24%
C1	13.00	25	52.00%
C2	13.00	25	52.00%
Fairness		94.18 %	

(ข) กรณี WAN

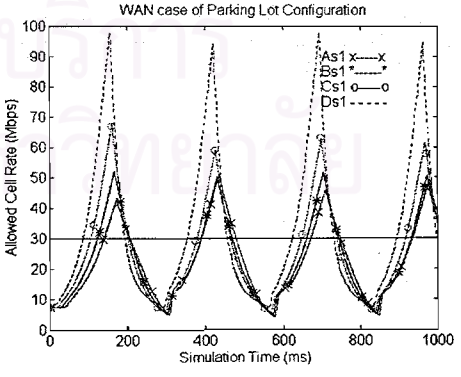
จากตารางที่ 4.11 ทั้ง ก) และ ข) ซึ่งแสดงกรณี LAN และ WAN ตามลำดับสิ่งที่สังเกตเห็นได้ชัดประการแรกก็คือ ค่าทรูพุทที่ไม่ตรงกับ Fairshare ซึ่งเห็นได้จากเปอร์เซ็นต์ของค่าทรูพุทที่แตกต่างกันของแต่ละ VC (กลุ่ม A และกลุ่ม B ใกล้เคียงกันแต่ต่างจากกลุ่ม C อย่างมาก) ทั้งนี้เป็นผลมาจากปัญหา Beatdown ที่ได้แสดงมาแล้ว โดยในตารางที่ 11 ก) นั้น VC ในกลุ่ม A และ B จะมีเปอร์เซ็นต์ของค่าทรูพุทสูงกว่า 100% แสดงถึงอัตราส่งข้อมูลที่สูงกว่า Fairshare แต่ VC ในกลุ่ม C กลับมีเปอร์เซ็นต์ของค่าทรูพุทต่ำกว่า 100% นอกจากในตารางแล้วเรายังสังเกตได้จากรูปที่ 4.11a ที่แสดงค่า ACR ของแต่ละ VC พร้อมทั้งค่า Fairshare ของมันด้วย และจากความไม่เท่าเทียมทันที่เกิดขึ้นนี้ได้ทำให้ค่า Fairness ต่ำกว่า 100% และปัญหานี้จะเห็นได้ชัดเจนขึ้นจากกรณีของ WAN ในตารางที่ 4.11 ข) ซึ่งโดยรวมจะเห็นได้ว่ามีเปอร์เซ็นต์ของค่าทรูพุทต่ำกว่ากรณี LAN ในทุก VC ซึ่งเป็นผลมาจากการแกว่งตัวของค่า ACR และขนาดคิวดังในรูปที่ 4.13a และ 4.13b อันทำให้ Line Utilization ต่ำกว่า 100% ในบางเวลาดังในรูปที่ 4.13.c แต่ที่น่าสังเกตอีกจุกก็คือเปอร์เซ็นต์ของค่าทรูพุทของ VC ในกลุ่ม C นั้นค่อนข้างต่ำมาก (52 %) ซึ่งเห็นได้ชัดจาก ACR ของ C ในรูปที่ 4.13a อันแสดงว่าปัญหา Beatdown นี้จะรุนแรงขึ้นเมื่อลิงค์มีความยาวเพิ่มขึ้น

3 ผลการ simulation ของโครงสร้าง Parking Lot Configuration

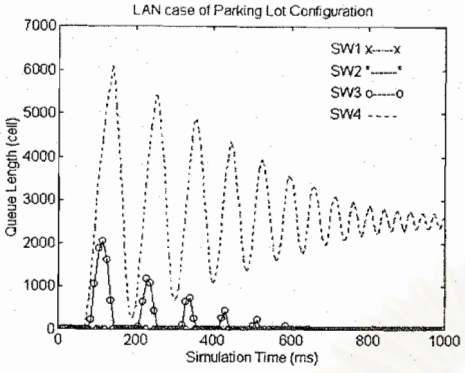
ผลการ simulation ของโครงข่ายที่มีโครงสร้างแบบ Parking Lot Configuration ดังรูปที่ 4.5 นั้นแสดงไว้ในรูปที่ 4.15a ถึง 4.15c สำหรับกรณี LAN และรูปที่ 4.16a ถึง4.16c สำหรับกรณี WAN



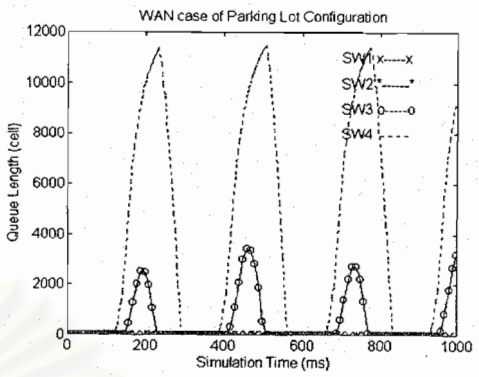
รูปที่ 4.15a อัตราการส่งของแหล่งกำเนิด



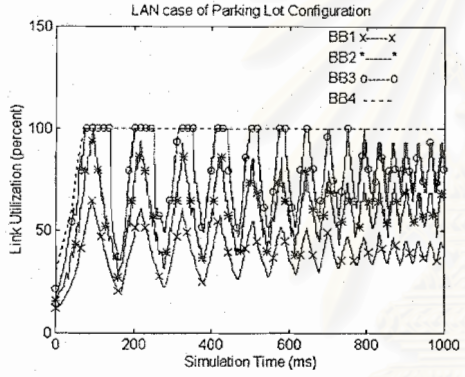
รูปที่ 4.16a อัตราการส่งของแหล่งกำเนิด



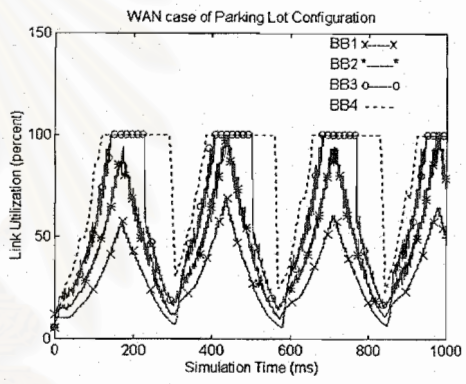
รูปที่ 4.15b ขนาดคิวของสวิตช์



รูปที่ 4.16.b ขนาดคิวของสวิตช์



รูปที่ 4.15c Link Utilization



รูปที่ 4.16.c Link Utilization

เมื่อพิจารณาค่า ACR ของแต่ละแหล่งกำเนิดในรูปที่ 4.15a นั้นพบว่ามีค่าใกล้เคียงกันมากถึงแม้ว่าแต่ละ VC จะมีความยาวแตกต่างกันและเดินทางผ่านสวิตช์จำนวนแตกต่างกัน ที่เป็นเช่นนี้เนื่องจากว่าแม้ตลอดเส้นของทุก VC นั้นผ่านสวิตช์ที่เกิดความคับคั่งเพียงตัวเดียวคือสวิตช์ SW 4 (สังเกตจากขนาดของคิวในรูปที่ 4.15.b) จึงทำให้เกิดการตั้งค่าในบิต EFCI ที่สวิตช์ SW4 เท่านั้นผลก็คือ ACR ของทุก VC มีการเพิ่มหรือลดค่าพร้อมๆ กัน หากแต่สำหรับ Ds1 ที่ค่า ACR ของมันสูงกว่าของเส้นทางอื่นๆ เล็กน้อยนั้นก็เพราะว่าเส้นทาง D นั้นสั้นกว่าเส้นทางอื่นๆเซลล์ RM จึงเดินทางกลับไปยังแหล่งกำเนิดบ่อยกว่า เกิดการเพิ่มค่าได้เร็วกว่า ซึ่งผลของความแตกต่างด้านความยางของเส้นทางนั้นจะสังเกตเห็นได้ชัดเจนในกรณีของ WAN ซึ่งนอกจาก VC ที่มีระยะทางสั้นกว่าจะมีค่า ACR สูงสุดที่สูงกว่า VC มีระยะทางสั้นกว่าแล้วยังเกิดการลดค่าลงก่อนด้วย ด้วยเหตุผลเดียวกันเพราะเซลล์ RM ที่โดนตั้งค่าในบิต EFCI เมื่อสวิตช์ SW4 เกิดสภาวะคับคั่งเดินทางกลับไปยังแต่ละแหล่งกำเนิดด้วยเวลาไม่เท่ากัน แหล่กำเนิด Ds1 ซึ่งอยู่ใกล้สวิตช์ SW4 ที่สุดจึง

เกิดการลดอัตราส่งก่อน แหล่งกำเนิดอื่นๆ สำหรับโครงสร้างแบบนี้จะมีค่าทรูพุท, เปอร์เซ็นต์ทรูพุทของแต่ละ VC รวมถึงค่า Fairness ของทุกเส้นทางดังตารางที่ 4.12 ก) และ ข) ซึ่งเป็นของกรณี LAN และ WAN ตามลำดับ

ตารางที่ 4.12 ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Parking Lot Configuration

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	29.02	30	96.73%
A2	28.95	30	96.50%
B	28.95	30	96.50%
C	29.02	30	96.73%
D	29.72	30	99.07%
Fairness		99.99 %	

(ก) กรณี LAN

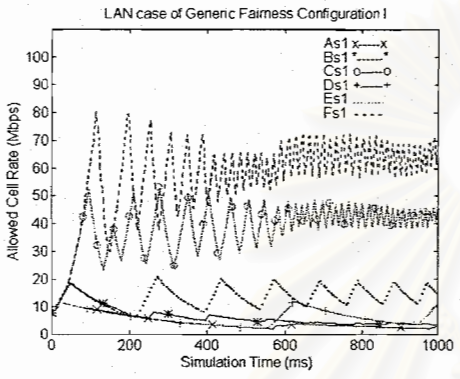
VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	20.82	30	69.40%
A2	20.82	30	69.40%
B	21.63	30	72.10%
C	24.50	30	81.67%
D	32.29	30	107.63%
Fairness		96.82 %	

(ข) กรณี WAN

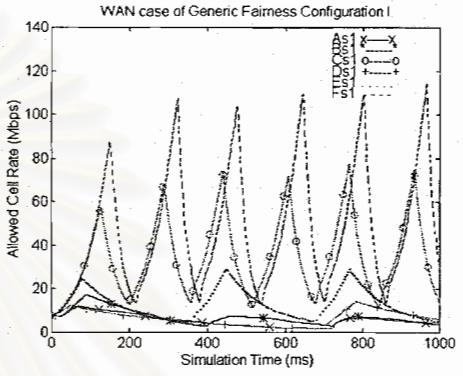
จากตารางที่ 4.12 นี้เราจะเห็นได้ว่าเกิดปัญหาความไม่เทียมกันเกิดขึ้นในกรณีของ WAN ขณะที่ในกรณีของ LAN ไม่เกิดปัญหาทั้งเนื่องจากในกรณีของ LAN มีเพียงสวิตช์ SW4 เท่านั้นที่เกิดสภาวะคับคั่งดังที่อธิบายมาแล้ว ขณะที่ในกรณีของWAN นั้นSW3 ก็เกิดสภาวะคับคั่งด้วยจึงเกิดปัญหา Beatdown นอกจากนั้นยังมีผลของความแตกต่างของระยะทางของแต่ละ VC ที่แตกต่างกันด้วย

4 ผลการ simulation ของโครงสร้าง Generic Fairness Configuration I

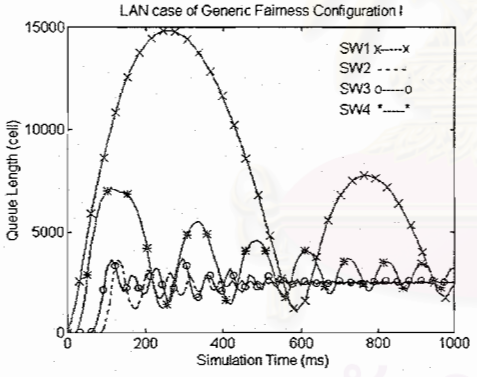
จากโครงสร้างดังรูปที่ 4.6 พบว่าประกอบด้วยกลุ่มของ VC ต่างๆที่มีความยาวและจำนวนสวิตช์ที่เดินทางผ่านแตกต่างกัน ซึ่งผลการ simulation นั้นเป็นดังรูปที่ 4.16a ถึง 4.16.c และ 4.17a ถึง 4.17c สำหรับกรณี LAN และ กรณี WAN ตามลำดับ



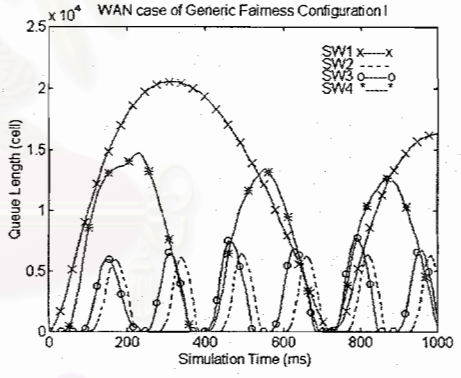
รูปที่ 4.16a อัตราการส่งของแหล่งกำเนิด



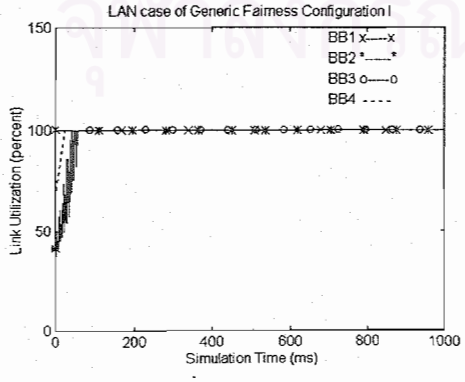
รูปที่ 4.17a อัตราการส่งของแหล่งกำเนิด



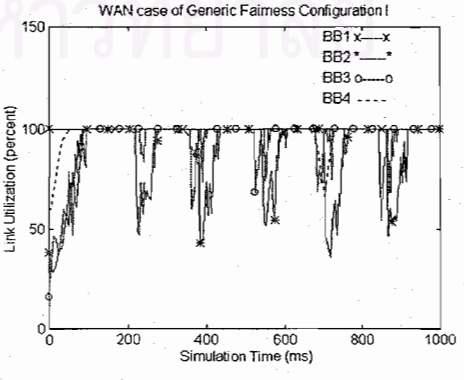
รูปที่ 4.16b ขนาดคิวของสวิตช์



รูปที่ 4.17b ขนาดคิวของสวิตช์



รูปที่ 4.16c Link Utilization



รูปที่ 4.17c Link Utilization

ในโครงสร้างแบบ Generic Fairness Configuration I หรือเรียกอีกอย่างว่า GFC I นี้มีกลุ่มของเส้นทางที่เดินทางเพียง hop เดียวคือ C, D, E และ F และกลุ่มเส้นทางที่ต้องเดินทางผ่านหลาย hop ได้แก่ A และ B ซึ่งกลุ่มเส้นทางที่กล่าวมานั้นมีเส้นทาง B และ E ที่ต้องเดินทางผ่านสวิตช์ SW4 และใช้งานลิงค์ BB4 ร่วมกัน เนื่องจากกลุ่มเส้นทาง E นั้นมีระยะเพียง hop เดียวขณะที่กลุ่มเส้นทาง B มีระยะถึง 3 hop ดังนั้นเมื่อโครงข่ายเข้าสู่สถานะคับคั่งกลุ่มเส้นทาง B จึงมีโอกาสที่บิต EFCI ในเซลล์ข้อมูลถูกตั้งค่าสูงกว่าในกลุ่มเส้นทาง E เห็นได้จากรูปที่ 4.16b และ 4.17b ซึ่งมีบางขณะที่ขนาดคิวของสวิตช์ SW1 นั้นลดต่ำลงมากว่าค่า Threshold ขณะที่คิวของ SW1, SW2 และ SW3 ยังสูงกว่า Threshold อยู่ผลก็คือกลุ่มเส้นทาง E จะสามารถเพิ่มอัตราการส่งได้แต่กลุ่มเส้นทาง B จะยังโดนลดอัตราการส่งข้อมูลอยู่ผลคือจะเกิดปัญหาความไม่เท่าเทียมกันทำให้ ACR ของแต่ละ VC นั้นไม่ตรงกับค่า Fairshare สังเกตได้จากรูปที่ 4.16a และ 4.17a และในตารางที่ 4.13

จากตารางที่ 4.13 ทั้ง ก) และ ข) นี้จะเห็นได้ว่ากลุ่มเส้นทาง C, D, E, F มีค่าเปอร์เซ็นต์ทรูพุทสูงกว่า 100% แสดงว่าได้รับการจัดสรรแบนด์วิดท์เกินค่า Fairshare ขณะที่กลุ่มเส้นทาง A และ B ได้รับการจัดสรรแบนด์วิดท์ต่ำกว่าค่า Fairshare ทั้งนี้ถ้าเราสังเกตรูปที่ 4.17a และ 4.17b จะเห็นได้ว่าคิวของสวิตช์ SW1 และ SW4 นั้นสูงกว่าของสวิตช์ SW2 และ SW3 เนื่องมาจากลิงค์ขาออกของสวิตช์ SW1 มีความจุเพียง 50 Mbps และมี VC ผ่าน 9 VC ส่วนลิงค์ขาออกของสวิตช์ SW4 มีความจุเพียง 100 Mbps และ VC ผ่าน 9 VC เช่นกัน ขณะที่ลิงค์ขาออกของสวิตช์ SW2 และ SW3 มีขนาด 150 Mbps และมีเส้นทางผ่าน 8 และ 9 เส้นทางตามลำดับ ทำให้คิวของสวิตช์ SW2 และ SW3 มีขนาดต่ำกว่าของ SW1 และ SW4 และจะเห็นความแตกต่างของ Link Utilization ของกรณีทั้งสอง ซึ่งกรณี WAN ค่า Link Utilization จะตกลงมาค่าอนข้างมากซึ่งเป็นผลมาจากในเวลานั้นคิวของสวิตช์จะตกลงมาเป็นศูนย์

ตารางที่ 4.13 ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Generic Fairness Configuration I (GFCI)

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	4.48	5.50	81.45%
A2	4.55	5.50	82.73%
A3	4.48	5.50	81.45%
B1	6.42	11.10	57.84%
B2	6.42	11.10	57.84%
B3	6.42	11.10	57.84%
C1	38.09	33.30	114.38%
C2	38.09	33.30	114.38%
C3	38.09	33.30	114.38%
D1	6.07	5.50	110.36%
D2	6.07	5.50	110.36%
D3	6.07	5.50	110.36%
D4	6.07	5.50	110.36%
D5	6.07	5.50	110.36%
D6	6.07	5.50	110.36%
E1	13.41	11.10	120.81%
E2	13.41	11.10	120.81%
E3	13.41	11.10	120.81%
E4	13.41	11.10	120.81%
E5	13.41	11.10	120.81%
E6	13.41	11.10	120.81%
F1	56.49	50.00	112.98%
F2	56.52	50.00	113.04%
Fainess		95.98 %	

(ก) กรณี LAN

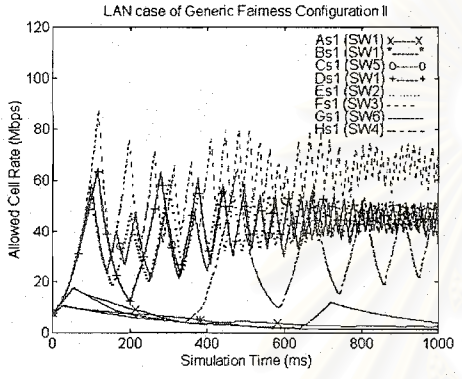
VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	4.89	5.50	88.91%
A2	4.89	5.50	88.91%
A3	4.89	5.50	88.91%
B1	6.91	11.10	62.25%
B2	6.91	11.10	62.25%
B3	6.96	11.10	62.70%
C1	34.52	33.30	103.66%
C2	34.52	33.30	103.66%
C3	34.52	33.30	103.66%
D1	5.78	5.50	105.09%
D2	5.78	5.50	105.09%
D3	5.78	5.50	105.09%
D4	5.78	5.50	105.09%
D5	5.78	5.50	105.09%
D6	5.78	5.50	105.09%
E1	12.70	11.10	114.41%
E2	12.70	11.10	114.41%
E3	12.70	11.10	114.41%
E4	12.70	11.10	114.41%
E5	12.70	11.10	114.41%
E6	12.70	11.10	114.41%
F1	49.37	50.00	98.74%
F2	49.37	50.00	98.74%
Fairness		97.40 %	

(ข) กรณี WAN

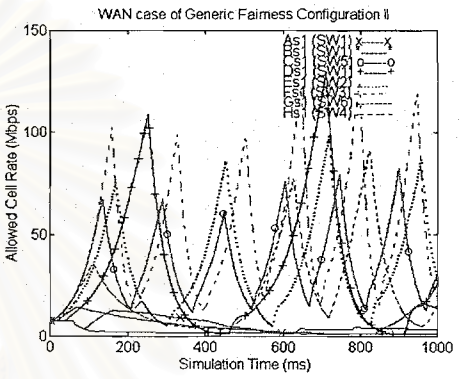
5 ผลการ Simulation ของโครงสร้าง Gerneric Fairness Configruation II

โครงสร้างแบบ Generic Fairness Configuration II ดังที่แสดงไว้ในรูปที่ 4.7 นั้นเมื่อเทียบกับโครงสร้างแบบอื่นๆที่นำมาทดสอบนั้นจัดว่าค่อนข้างใหญ่กว่า ทั้งนี้เมื่อพิจารณาจากรูปที่

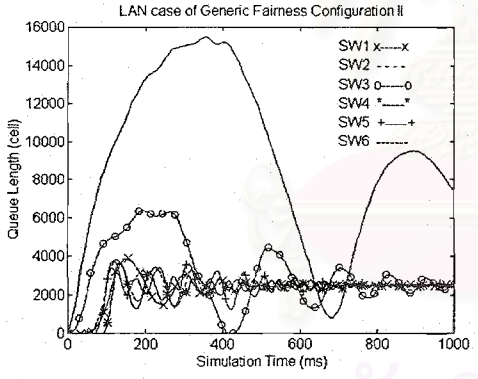
4.7 จะเห็นได้ว่าสวิตช์ SW6 นั้นเป็นสวิตช์ที่เกิดความคับคั่งที่สุดเพราะมี VC ผ่านถึง 10 เส้น ทางขณะที่มีลิงค์ BB6 ซึ่งเป็นลิงค์ขาออกที่มีความจุเพียง 50 Mbps และสามารถสังเกตได้จากผลการ simulation ในรูปที่ 4.18a ถึง 4.18c และ 4.19a ถึง 4.19c สำหรับกรณีของ LAN และ กรณีของ WAN ตามลำดับ



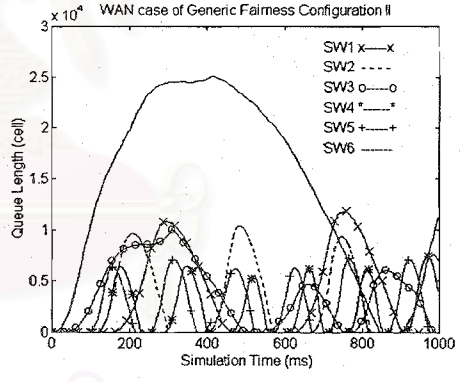
รูปที่ 4.18a อัตราการส่งข้อมูลของแหล่งกำเนิด



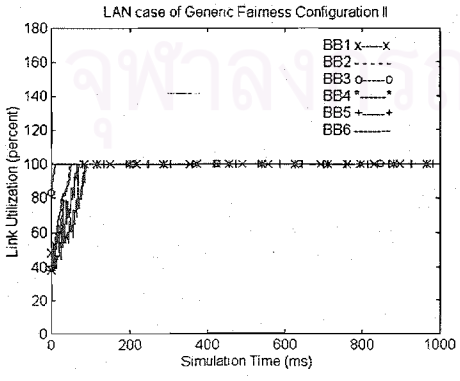
รูปที่ 4.19a อัตราการส่งข้อมูลของแหล่งกำเนิด



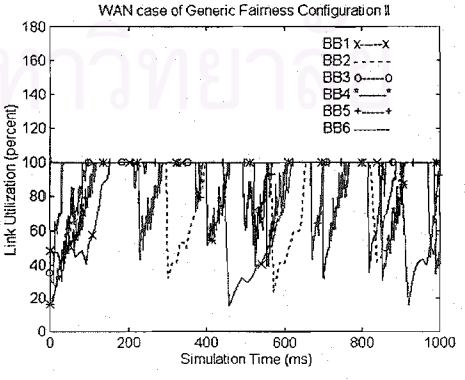
รูปที่ 4.18b ขนาดคิวของสวิตช์



รูปที่ 4.19b ขนาดคิวของสวิตช์



รูปที่ 4.18c Link Utilization



รูปที่ 4.19c Link Utilization

ตารางที่ 4.14 ทรูพุท, เปอร์เซนต์ทรูพุท และ Fairness ของโครงสร้างแบบ Generic Fairness Configuration I (GFCI)

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	5.51	10.00	55.08%
A2	5.96	10.00	59.60%
A3	7.94	10.00	79.38%
B1	4.01	5.00	80.14%
B2	4.01	5.00	80.22%
B3	4.03	5.00	80.69%
C1	38.33	35.00	109.53%
C2	38.32	35.00	109.48%
C3	38.24	35.00	109.24%
D	39.46	35.00	112.75%
E1	39.30	35.00	112.30%
E2	39.23	35.00	112.09%
F	22.09	10.00	220.94%
G1	5.42	5.00	108.42%
G2	5.42	5.00	108.42%
G3	5.42	5.00	108.42%
G4	5.42	5.00	108.42%
G5	5.42	5.00	108.42%
G6	5.42	5.00	108.42%
G7	5.42	5.00	108.42%
H1	56.64	52.50	107.88%
H2	56.59	52.50	107.78%
Fairness		92.02%	

(ก) กรณี LAN

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	5.45	10.00	54.47%
A2	6.18	10.00	61.80%
A3	7.14	10.00	71.41%
B1	1.81	5.00	36.23%
B2	3.68	5.00	73.55%
B3	4.68	5.00	93.57%
C1	35.38	35.00	101.08%
C2	35.38	35.00	101.08%
C3	35.38	35.00	101.08%
D	30.22	35.00	86.36%
E1	32.13	35.00	91.80%
E2	32.13	35.00	91.80%
F	22.54	10.00	225.41%
G1	5.55	5.00	110.93%
G2	5.55	5.00	110.93%
G3	5.55	5.00	110.93%
G4	5.55	5.00	110.93%
G5	5.55	5.00	110.93%
G6	5.55	5.00	110.93%
G7	5.55	5.00	110.93%
H1	49.08	52.50	93.48%
H2	49.08	52.50	93.48%
Fairness		89.01%	

(ข) กรณี WAN

ผลการ simulation ที่ได้จากโครงสร้าง GFC II นี้มีลักษณะสอดคล้องกับผลที่ได้รับจากโครงสร้างแบบต่างๆ ที่ผ่านมาคือ การเกิดปัญหา Beatdown และ Link Utilization ตกลงต่ำกว่า 100 %ในบางช่วงเวลาเมื่อเป็นกรณีของ WAN โดยที่เส้นทางต่างๆ จะมีค่าทรูพุทเฉลี่ย, เปอร์เซ็นต์ทรูพุท รวมถึง Fairness ของโครงข่ายเป็นไปตามตารางที่ 4.14

ผลที่แสดงไว้ในตารางทั้งสองนี้ทำให้เราเห็นอย่างชัดเจนถึงผลจากระยะทางของ VC ที่ส่งผลต่อความเท่าเทียมกันอาทิเช่นในกลุ่มเส้นทาง A (A1, A2, A3) ซึ่งทั้งสามเส้นทางมีทางออกที่สวิตช์ SW6 แต่ความยาวแตกต่างกันและผ่านสวิตช์จำนวนไม่เท่ากันทำให้การต่อเชื่อมที่ยาวอย่างเช่นกรณีของ A1 ซึ่งต้องผ่านสวิตช์ SW1, SW2, SW3, SW4 และ SW5 ก่อนจะไปออกที่ SW6 ขณะที่ A3 ผ่านสวิตช์ SW3, SW4 และ SW5 ก่อนไปออกที่ SW6 ซึ่งเซลล์ RM ของการต่อเชื่อม A1 ก็จะโดนตั้งค่าในบิต EFCI บ่อยกว่าในการต่อเชื่อม A3 ขณะเดียวกันในโครงสร้างแบบ GFC II นี้ยังแสดงให้เห็นอย่างชัดเจนถึงปัญหาที่เกิดกับโครงข่ายที่ใช้สวิตช์แบบ EFCI การต่อเชื่อมที่สั้นอย่างเช่น F ซึ่งผ่านสวิตช์ SW3 เพียงตัวเดียวก่อนไปออกที่สวิตช์ SW4 นั้นมีทรูพุทเฉลี่ยสูงกว่าค่า Fairshare อย่างมากคือคิดเป็น 220.94% ของค่า Fairshare และ 225.41% ของค่า Fairshare ในกรณี LAN และ WAN ตามลำดับ และส่งผลให้ค่า Fairness นั้นต่ำลงไปด้วย

สรุปคุณลักษณะและสมรรถนะโดยรวมของสวิตช์แบบ EFCI

จากผลการศึกษาโครงข่ายที่มีโครงสร้างทั้ง 5 แบบที่ผ่านมา พบว่ามีปัญหาและข้อจำกัดที่เกิดขึ้นในโครงข่าย ATM ที่ใช้สวิตช์แบบ EFCI ดังนี้

1. **การแกว่งตัวของผลตอบสนอง** ผลตอบสนองในที่นี้ก็คืออัตราการส่งของแหล่งกำเนิดหรือ ACR ซึ่งเป็นผลมาจากการปรับเปลี่ยน ACR ด้วยพารามิเตอร์ RIF และ RDF ดังที่กล่าวมาแล้วข้างต้น รวมถึงการแกว่งตัวของความยาวคิว และการแกว่งตัวนี้จะรุนแรงขึ้นเมื่อโครงข่ายมีลิงค์ที่มีความยาวเพิ่มขึ้น ดังจะเห็นได้ว่าผลตอบสนองของกรณี WAN นั้นอาจจะไม่สามารถเข้าสู่สภาวะอยู่ตัวเลยก็ได้ ส่วนกรณี LAN ในสภาวะอยู่ตัวค่า ACR ก็จะยังแกว่งตัวอยู่ในระยะแคบ ๆ

2. **ผลต่อความเท่าเทียมกัน** จากปัญหา Beatdown ที่เกิดขึ้นส่งผลต่อความเท่าเทียมกันในโครงข่าย ทั้งนี้ปัญหานี้เกิดจากหลักการของกลไกการควบคุมความคับคั่งแบบ EFCI ที่สวิตช์จะตั้งค่าบิต EFCI ของเซลล์ข้อมูลทุกเซลล์ที่ผ่านมันเมื่ออยู่ในสภาวะคับคั่ง (มีขนาดคิวสูงเกินค่า Threshold) โดยไม่แยกว่าเป็นเซลล์ข้อมูลของ VC ใด ผลก็คือทุก VC ที่ผ่านสวิตช์ตัวนั้นต้องลดอัตราการส่งข้อมูลลงไป และ VC ที่ผ่านสวิตช์จำนวนมากกว่าก็มีโอกาสจะโดนลดอัตราการส่งสูงกว่าไปด้วย

3. **ขนาดของคิวที่สูง** จะเห็นได้จากกราฟที่แสดงความยาวคิวในแต่ละการทดลองว่าคิวในแต่ละสวิตช์นั้นจะมีค่าสูงสุดที่สูงกว่า Threshold ค่อนข้างมากโดยเฉพาะสวิตช์ที่มี VC ผ่านจำนวนมากและมีลิงค์ขาออกที่ความจุต่ำ ผลจากคิวที่สูงคือข้อมูลจะเกิดการประวิงเวลาที่สูงไปด้วย

4. **Link Utilization ต่ำ** ถึงแม้ว่าโครงข่ายจะมีการใช้งานลิงค์ได้ค่อนข้างเต็ม 100% เมื่ออยู่ในกรณี LAN แต่เมื่อเป็นกรณีของ WAN นั้นกลับพบว่า Link Utilization ตกลงมาจาก 100% ในบางช่วงเวลาทั้งนี้เป็นผลจากการที่ขนาดคิวในสวิตช์ที่มีลิงค์นั้นๆ เป็นลิงค์ขาออกตกลงมาเป็นศูนย์ในเวลานั้น ผลก็คือการใช้งานลิงค์ที่มีความจุค่อนข้างสูงอย่างไม่คุ้มค่า

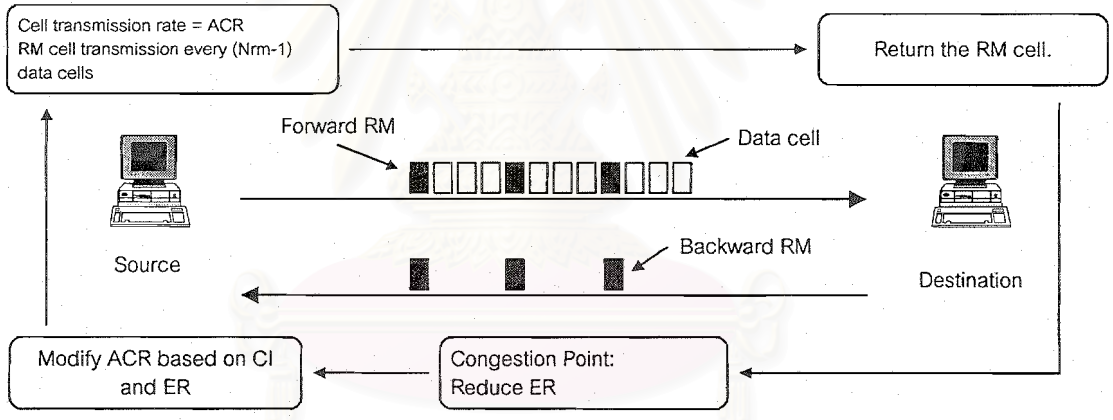
จากปัญหาทุกประการที่กล่าวมานั้นเป็นสิ่งที่เราตั้งสมมติฐานไว้ว่าจะสามารถแก้ไขหรือลดความรุนแรงลงได้โดยอาศัยการนำสวิตช์แบบ ER มาประกอบในโครงข่าย ซึ่งจะได้กล่าวถึงในบทต่อไป

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 5
โครงข่ายเอทีเอ็มที่ใช้งานสวิตช์แบบ ERICA

ในบทนี้จะกล่าวถึงสวิตช์ที่มีกลไกการควบคุมความคับคั่งและการป้อนกลับแบบ ER (Explicit Rate) โดยทั่วไปสวิตช์แบบ ER มีหน้าที่ดังต่อไปนี้ [1]

1) คำนวณค่า Fairshare ของความจุที่แต่ละ VC ควรจะได้รับ
2) ตรวจสอบโหลด (Load) ของสวิตช์ในขณะนั้น และวัดระดับของความคับคั่งที่เกิดขึ้น
3) คำนวณค่า Explicit Rate (ER) สำหรับแต่ละ VC และตั้งค่าดังกล่าวในฟิลด์ ER ของเซลล์ RM ก่อนจะส่งกลับไปยังแหล่งกำเนิด



รูปที่ 5.1 กลไกการควบคุมความคับคั่งและการป้อนกลับแบบ ER

รูปที่ 5.1 แสดงให้เห็นถึงการไหลของเซลล์ เช่นเดียวกับในกรณีของ EFCI เมื่อแหล่งกำเนิดส่งเซลล์ข้อมูลออกไปจำนวน Nrm-1 เซลล์ เซลล์ RM จะถูกส่งออกไปเป็นเซลล์ถัดไป แต่ข้อแตกต่างคือสวิตช์จะมีปรับเปลี่ยนค่าในฟิลด์ ER ของเซลล์ Backward RM และเมื่อแหล่งกำเนิดได้รับเซลล์ RM นั้นจะมีการปรับเปลี่ยนอัตราการส่งข้อมูลตามค่า CI และER ของเซลล์ RM โดยมีการคำนวณค่า ACR ใหม่ดังนี้

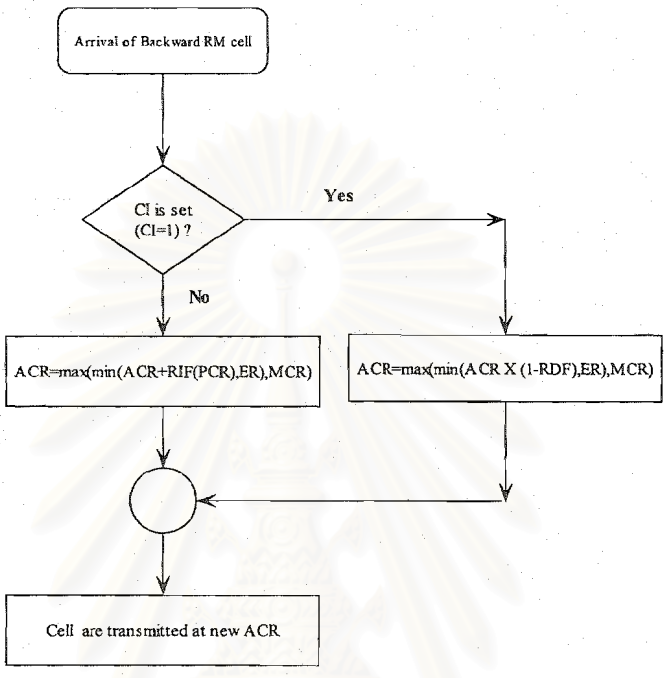
เมื่อ CI = 0 จะเป็นการเพิ่มอัตราการส่งข้อมูล

$$ACR = ACR + RIF \times PCR \tag{5.1}$$

แต่เมื่อ CI = 1 จะเป็นการลดอัตราการส่งข้อมูล

$$ACR = ACR(1 - RDF) \tag{5.2}$$

โดยค่า ACR ที่ได้ต้องไม่สูงกว่าค่า ER ที่อ่านได้จาก เซลล์ RM หากแต่ต้องสูงกว่าค่า MCR ซึ่ง ในรูปที่ 5.2 นี้เป็นการแสดงการปรับเปลี่ยนอัตราการส่งข้อมูลของแหล่งกำเนิด



รูปที่ 5.2 การปรับเปลี่ยนอัตราการส่งข้อมูลของแหล่งกำเนิด

วิธีในการควบคุมความคับคั่งและการป้อนกลับแบบ ER ที่ในโครงงานนี้เลือกใช้เป็นวิธีแบบทีมีชื่อเรียกว่า ERICA+ (Explicit Rate Indication for Congestion Avoidance Plus) [14] ซึ่งเป็นวิธีการที่ได้รับการปรับปรุงมาจากวิธี ERICA โดยทั้งสองวิธีนั้นได้รับการพัฒนาที่ Department of Computer and Information Science, The Ohio State University ซึ่งในส่วนต่อไปจะเป็นการอธิบายหลักการทำงานของ ERICA+

หลักการทำงานของ ERICA+

หลักการทำงานของสวิตช์แบบ ERICA+ จะพิจารณาปริมาณการใช้งานลิงค์ที่ขาออกของสวิตช์เป็นหลัก โดยสวิตช์จะทำการตรวจสอบโหลดของแต่ละลิงค์ตามช่วงระยะเวลาเพื่อนำมาหาค่า Load Factor (z), ความจุ ABR (ABR Capacity), และจำนวนการต่อเชื่อมที่ผ่านสวิตช์ (N) โดยการตรวจวัดค่าต่างๆ จะเกิดขึ้นตามช่วงระยะเวลาหนึ่งเรียกว่า Switch Averaging Intervals (AI) หรือช่วงเวลาเฉลี่ย และค่าต่างๆที่หามาได้จะนำมาคำนวณค่าที่ทำการป้อนกลับไปสู่แหล่ง

กำเนิดโดยผ่านทางเซลล์ RM ต่อไป ลักษณะหนึ่งที่สำคัญของวิธีนี้ก็คือในช่วงเวลาเฉลี่ยหนึ่ง ๆ นั้นสวิตช์จะให้การป้อนกลับแก่แหล่งกำเนิดหนึ่ง ๆ ไม่เกินหนึ่งครั้ง ทั้งนี้เพื่อป้องกันสวิตช์ไม่ให้ส่งค่าป้อนกลับที่ซ้ำกับค่าเดิมไปยังแหล่งกำเนิดหลาย ๆ ครั้งในช่วงเวลาการเฉลี่ยเดียวกัน และเนื่องจากใน VC หนึ่ง ๆ อาจประกอบด้วยสวิตช์หลายตัวค่า ER ที่แหล่งกำเนิดจะได้รับจะเป็นค่าที่ต่ำที่สุดจากสวิตช์ทุกตัวที่อยู่บนเส้นทางของการต่อเชื่อมนั้น สำหรับกระบวนการที่เกิดขึ้นในสวิตช์ที่ใช้หลักการของ ERICA+ นั้นจะสามารถอธิบายได้โดยการกล่าวถึงวิธีการของ ERICA แบบเดิมก่อน จากนั้นจะกล่าวถึงส่วนที่ได้รับการพัฒนาเพิ่มเติมเข้ามาใหม่จนกลายมาเป็นวิธีการแบบ ERICA+

1 หลักการทำงานของ ERICA

ERICA เป็นวิธีที่ปรับอัตราส่งแบบ Explicit Rate เพื่อให้ได้ค่าที่เป็นไปตามหลักเกณฑ์ของ Max-Min Fairness เป็นวิธีการที่ทำงานต่อหนึ่งเส้นทางขาออกหนึ่ง ๆ ของสวิตช์นั้น สวิตช์จะคำนวณค่าตัวแปรต่าง ๆ ทุก ๆ ช่วงเวลาหนึ่งซึ่งค่าเหล่านี้จะแสดงสถานะของโครงข่าย ได้แก่ ค่า z ที่แสดงถึงความคับคั่ง ซึ่งเป็นตามสมการ (5.3) และ ค่า Fairshare ตามสมการที่ (5.4)

$$z = \frac{\text{ความจุขาเข้า}}{\text{ความจุเป้าหมาย}} \tag{5.3}$$

โดย

ความจุขาเข้า คือ ค่าอัตราส่งขาเข้ารวมกันของทุกการต่อเชื่อมที่ผ่านเส้นทางขาออกเดียวกันของสวิตช์นั้น สามารถหาได้จากการวัดข้อมูลขาเข้าในช่วงเวลาหนึ่ง

ความจุเป้าหมาย คือ ค่าอัตราการส่งข้อมูลขาออกที่ต้องการ มีค่าเท่ากับอัตราส่วนตัวหนึ่งคูณกับความจุ ABR ทั้งหมด

$$Fairshare = \frac{\text{ความจุเป้าหมาย}}{\text{จำนวนการต่อเชื่อม}} \tag{5.4}$$

โดย

จำนวนการเชื่อมต่อ คือ จำนวน VC ที่ส่งผ่านเส้นทางขาออกหนึ่งในสวิตช์นั้น

การคำนวณหาค่า z ใหม่จะเกิดขึ้นทุกครั้งที่สิ้นสุดช่วงระยะเวลาหนึ่งเรียกว่า ช่วงเวลาในการเฉลี่ย (Averaging Interval –AI) ERICA เป็นวิธีที่พยายามจัดการทราฟฟิกให้มี ค่า z เข้าใกล้ 1 ค่า ER จะถูกคำนวณเพื่อคำนึงถึงความเท่าเทียมกันระหว่างการต่อเชื่อมต่าง ๆ เมื่อค่า z< 1 จะถือว่าไม่มีความคับคั่งให้ ER มีค่าประมาณกับค่าที่ส่งเดิม แต่หากค่า z > 1 แสดงว่าเกิดความคับ

คั่งและจะให้ค่า ER เป็นค่า Fairshare จะเห็นว่าค่า ER ที่ได้นั้นจะเท่าเทียมกันสำหรับทุก ๆ การต่อเชื่อม เมื่ออยู่ในสถานะคงตัวแล้วค่า z จะมีค่าประมาณ 1 ซึ่งแสดงถึงการใช้ความจุของลิงค์ได้อย่างคุ้มค่า หากมีการต่อเชื่อมใดที่ไม่สามารถส่งได้ที่อัตราส่งเท่ากับ Fairshare ทำให้ส่วนที่เหลือจาก Fairshare นั้นไม่ได้ถูกใช้งาน ดังนั้นจึงมีตัวแปร VCshare เพื่อแก้ปัญหานี้ โดย VCshare จะมีค่าตามสมการ

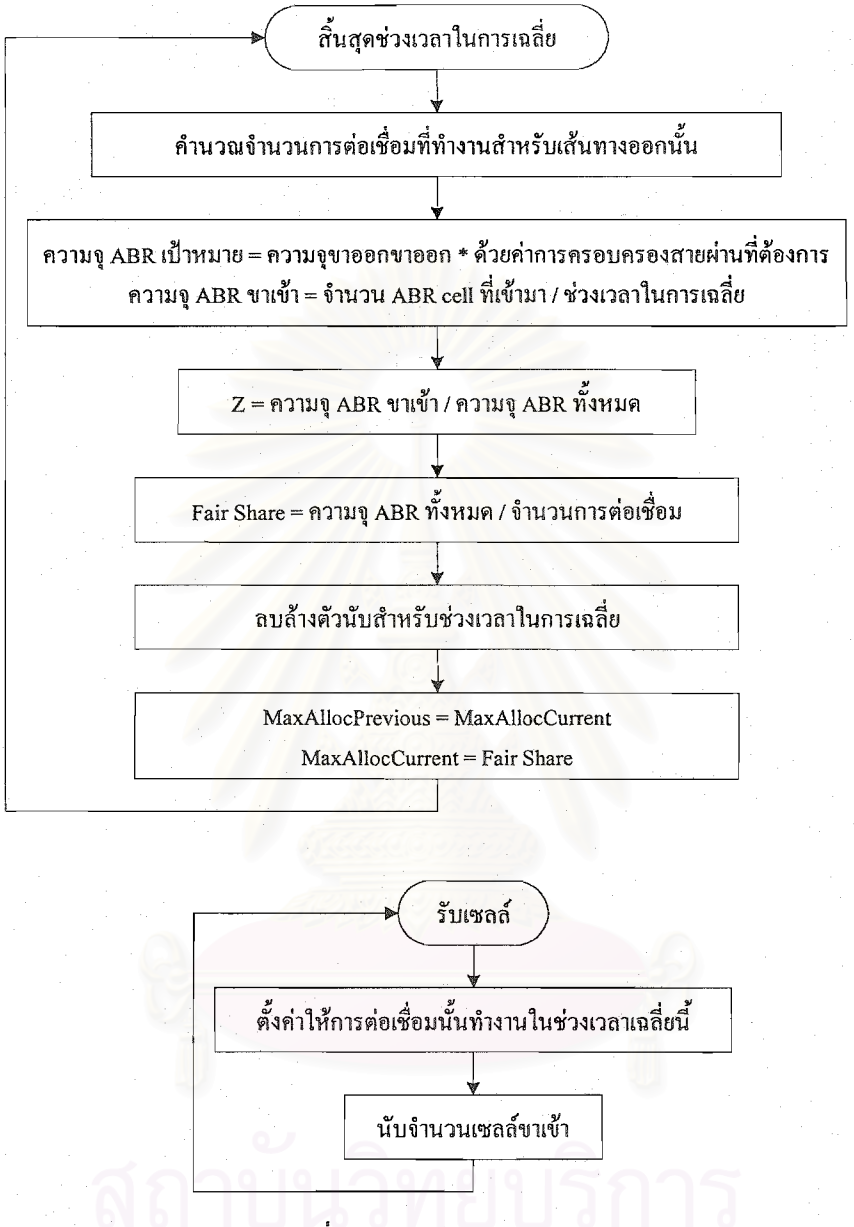
$$VCShare = \frac{CCR[VC]}{z} \tag{5.5}$$

โดย

CCR คือ ความเร็วในการส่งข้อมูลของแหล่งกำเนิด

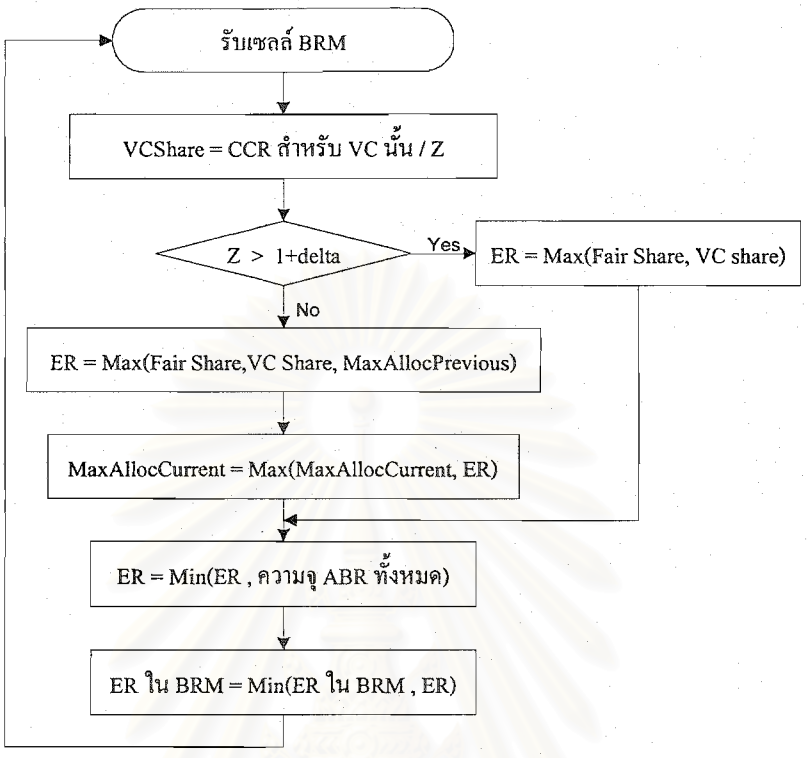
ค่า ER ที่ส่งกลับไปให้นั้นจะเป็นค่ามากที่สุดระหว่าง VCshare และ Fairshare เมื่อมีแหล่งกำเนิดใดใช้งานได้ไม่ถึง Fairshare จะทำให้ค่า z น้อยกว่าหนึ่ง ค่า VCshare จะมีค่ามากขึ้น ทำให้การต่อเชื่อมอื่น สามารถเพิ่มความเร็วในการส่งของตนเองให้เป็น VCshare ซึ่งมากกว่า Fairshare ได้ เป็นการชดเชยกับความสามารถในการส่งที่เสียไปกับแหล่งกำเนิดที่ส่งได้ไม่เต็มที่ให้กับแหล่งกำเนิดอื่น ๆ ลำดับการทำงานของวิธี ERICA สามารถแสดงได้ดังรูปที่ 5.3

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 5.3 การทำงานของ ERICA

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 5.3 การทำงานของ ERICA (ต่อ)

2 ส่วนเพิ่มเติมจาก ERICA แบบเดิม

จากส่วนที่แล้วที่กล่าวว่าค่าความจุเป้าหมายมีค่าเท่ากับอัตราส่วนตัวหนึ่งคูณกับความจุ ABR ทั้งหมด อัตราส่วนที่ว่านี้คือฟังก์ชันของคิว, $f(Q)$ และได้ว่า

$$\text{ความจุเป้าหมาย} = f(Q) \times \text{ความจุ ABR ทั้งหมด} \tag{5.6}$$

ซึ่งฟังก์ชัน $f(Q)$ มีชื่อเรียกว่า "*queue control function*" ซึ่งมีค่าเป็น

$$f(Q) = \begin{cases} \max(QDLF, \dfrac{a \times Q_0}{(a-1) \times Q + Q_0}) & for \quad Q > Q_0 \\ \dfrac{b \times Q_0}{(b-1) \times Q + Q_0} & for \quad 0 \le Q \le Q_0 \end{cases} \tag{5.7}$$

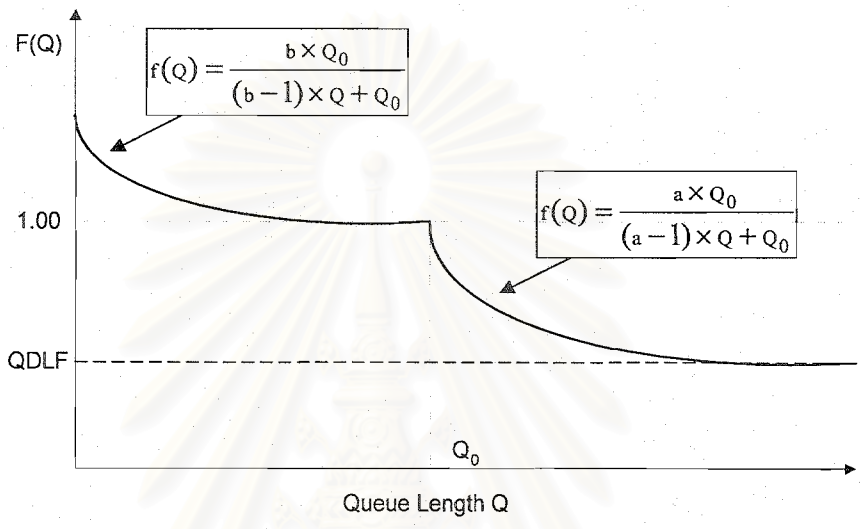
โดย

QDLF คือ Queue Drain Limit Factor ซึ่งเป็นค่า f(Q) ต่ำสุดที่ตั้งไว้

a , b คือ เป็นค่าคงที่ที่แสดงถึงความเร็วในการลดลงของค่า f(Q)

Q_0 คือ ขนาดหน่วยความจำที่แสดงถึงความคับคั่ง โดยถูกตั้งค่าไว้ที่ค่าที่เหมาะสม

$f(Q)$ มีรูปร่างของฟังก์ชันดังรูปที่ 5.4



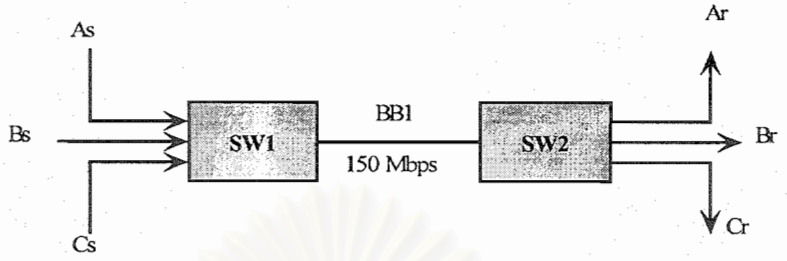
รูปที่ 5.4 Queue Control Function ของ ERICA

รูปแบบของโครงข่ายที่นำมาศึกษา

ในบทนี้เราอาศัยแบบจำลองในการทำ simulation ทั้ง 5 แบบที่ใช้ในบทที่แล้วมาใช้ในการศึกษาเพื่อต้องการเปรียบเทียบให้เห็นถึงความแตกต่างจากวิธีในการควบคุมความคับคั่งและการป้อนกลับของสวิตช์ทั้งสองประเภทคือ EFCI และ ERICA+ โดยในแต่ละแบบจำลองต่อไปนี้กำหนดให้สวิตช์ทุกตัวเป็นสวิตช์แบบ ERICA+ ซึ่งมีพารามิเตอร์ต่าง ๆ เหมือนกันหมด (ค่าของพารามิเตอร์จะกล่าวถึงต่อไป)

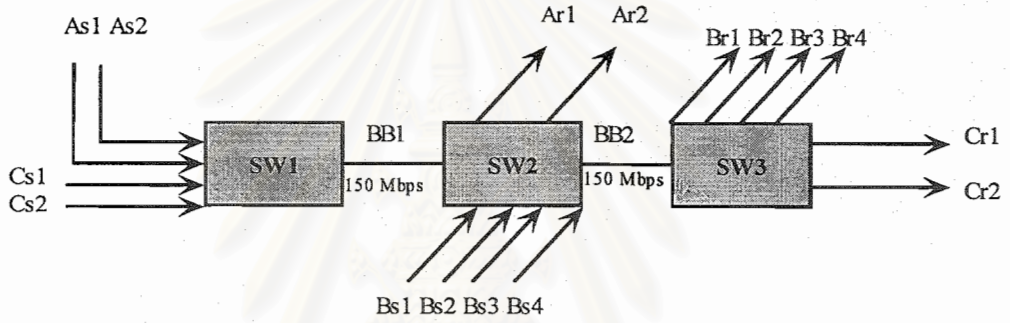
การศึกษาจะทำ simulation โครงสร้างในแต่ละแบบต่อไปนี้ทั้งกรณี LAN และ WAN ซึ่งข้อแตกต่างก็คือลิงค์ที่เชื่อมระหว่างสวิตช์ (BB1, BB2, ...,BB6) มีความยาวเป็น 1 กิโลเมตรในกรณี LAN และ 1000 กิโลเมตรในกรณี WAN ยกเว้นในโครงสร้างแบบที่ 5 หรือชื่อว่า GFC II กำหนดให้ D มีความยาว 1 กิโลเมตรในกรณี LAN และ 1000 กิโลเมตรในกรณี WAN กำหนดให้ลิงค์ระหว่างแหล่งกำเนิดไปยังสวิตช์ และลิงค์ระหว่างปลายทางกับสวิตช์มีระยะทางเป็น 1 กิโลเมตรทั้งในกรณีของ LAN และ WAN โครงสร้างทั้ง 5 แบบมีลักษณะดังนี้

1. Two Nodes Switches Configuration



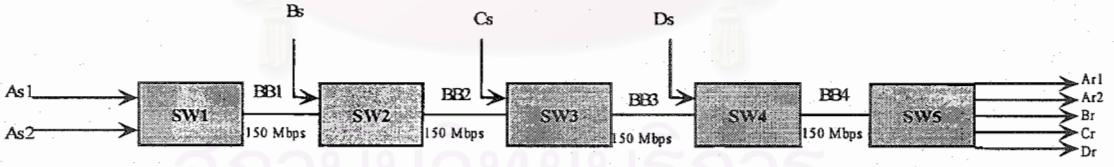
รูปที่ 5.5 Two Nodes Switched Configuration

2. Three Nodes Switches Configuration



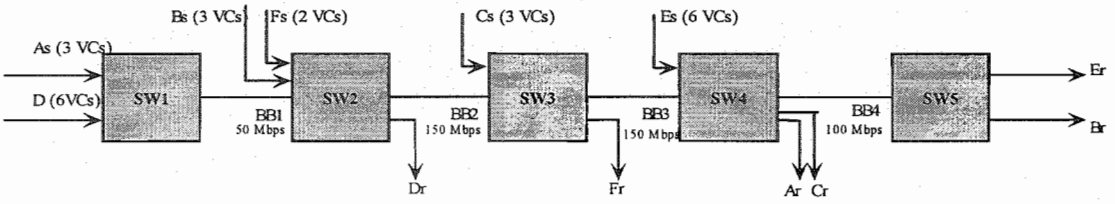
รูปที่ 5.6 Three Nodes Switches Configuration

3. Parking Lot Configuration



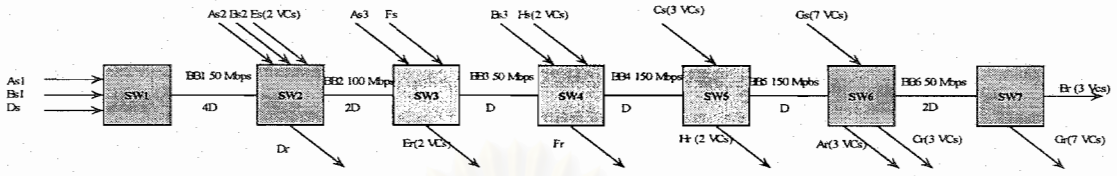
รูปที่ 5.7 Parking Lot Configuration

4. Generic Fairness Configuration I (GFC I)



รูปที่ 5.8 Generic Fairness Configuration I

5. Generic Fairness Configuration II (GFC II)



รูปที่ 5.9 Generic Fairness Configuration II

1 พารามิเตอร์ของสวิตช์

จากโครงสร้างทั้ง 5 แบบที่กล่าวมานั้นสวิตช์ที่ใช้ในแต่ละแบบจำลองจะเป็นสวิตช์แบบ ERICA+ ที่มีค่าพารามิเตอร์แสดงดังในตารางที่ 5.1

ตารางที่ 5.1 ค่าพารามิเตอร์ของสวิตช์

พารามิเตอร์	คำอธิบาย	ค่า
δ	Delta เพื่อใช้ปรับอัตราส่งให้เป็นตาม Max-Min Fairness	0.1
$T0$	Target queuing delay	3 ms :LAN 6 ms :WAN
a	a ใน Queue Control Function	1.15
b	b ใน Queue Control Function	1
$QDLF$	Queue Drain Limit Factor	0.5
$DecayFactor$	ค่าที่ใช้ในการคำนวณหาจำนวน VC ที่ผ่านสวิตช์	0.9
α	ค่าที่ใช้ในการคำนวณหาโหลด, ความจุ และ Z	0.8
AI	Averaging Interval : ช่วงเวลาในการเฉลี่ย	5 ms

จากค่า $T0$ จะสามารถนำมาคำนวณค่า $Q0$ ได้โดย

$$Q0(Cells) = \frac{T0(ms) \times \text{ความจุ ABR ทั้งหมด}(Mbps) \times 1000}{424} \qquad (5.8)$$

ทำให้เราได้ค่า $Q0$ เป็น 1061 เซลล์สำหรับกรณี LAN และ 2122 เซลล์สำหรับกรณี WAN

2 พารามิเตอร์ของแหล่งกำเนิดข้อมูลและปลายทาง

เพื่อให้สามารถเปรียบเทียบการทำงานกับโครงข่ายที่ใช้งานสวิตช์แบบ EFCI ในบทที่แล้ว ได้ในส่วนนี้จึงกำหนดให้แหล่งกำเนิดข้อมูลและปลายทางมีพารามิเตอร์เหมือนกับในบทที่แล้ว ดังที่แสดงในตารางที่ 5.2

ตารางที่ 5.2 ค่าพารามิเตอร์ของแหล่งกำเนิดข้อมูลและปลายทาง

พารามิเตอร์	คำอธิบาย	ค่า
PCR	Peak cell rate that ABR can be set to	150 Mbps
MCR	Minimum cell rate for ACR	1.50 Mbps
ICR	Initial cell rate vlue for ACR	7.50 Mbps
Nrm	Number of cells between forward RM cell	32 Cells
RDF	Rate decrease fator	1/128
RIF	Rate increase factor	1/512

หมายเหตุ โดยปกติในโครงข่ายที่เป็นสวิตช์แบบ ERICA+ จะกำหนดให้ RIF เป็น 1 เพื่อให้เกิดการตอบสนองที่เร็วแต่เราเลือกใช้ค่า 1/512 เพราะต้องการเปรียบเทียบกับสวิตช์แบบ EFCI ในบทที่แล้ว โดยให้แหล่งกำเนิดมีลักษณะเหมือนเดิมทุกประการ

ผลการจำลองการทำงานและการวิเคราะห์

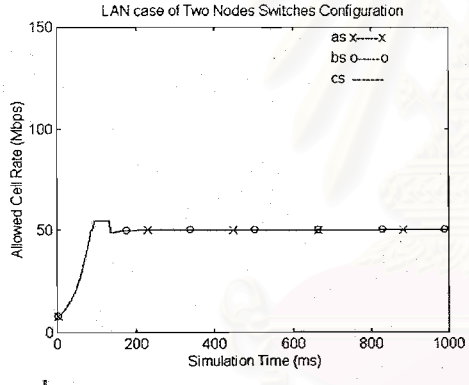
ผลการทำ simulation นั้นจะแสดงตามชนิดของแบบจำลองที่นำมาใช้ทำ simulation ซึ่งแต่ละแบบจะให้มุมมองของการทำงานของสวิตช์แบบ ERICA แตกต่างกันไป ซึ่งผลการทำ simulation นี้จะแสดงอยู่ในรูปแบบของกราฟ 3 ชนิดในช่วงเวลา 0 ถึง 1000 ms คือ

1. กราฟอัตราการส่งข้อมูลของแหล่งกำเนิดหรือค่า ACR (Allowed Cell Rate) ในหน่วย Mbps กับเวลา
2. กราฟขนาด (ความยาว) คิวในหน่วยเซลล์ของแต่ละสวิตช์กับเวลา
3. กราฟค่า Link Utilization (คิดเป็นเปอร์เซ็นต์) กับระยะเวลา

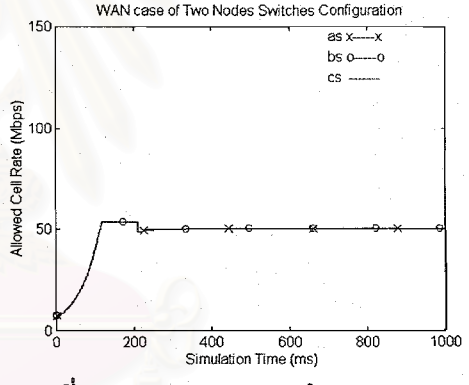
นอกจากนั้นเพื่อเป็นการแสดงถึงความเท่าเทียมกันผลการทดลองจึงแสดงตารางอีกหนึ่งตารางสำหรับแบบจำลองแต่ละแบบคือตารางค่าทรูพุทเฉลี่ยของแต่ละการต่อเชื่อม, ทรูพุทเฉลี่ยคิดเป็นเปอร์เซ็นต์, ค่า Fairshare, และค่า Fairness ซึ่งค่าต่างๆเหล่านี้ใช้หลักการคำนวณตามที่ได้แสดงไว้ในบทที่ 4

1 ผลการ simulation ของโครงสร้างแบบ Two Nodes Switches Configuration

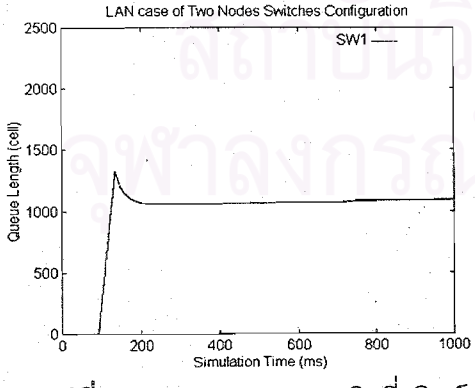
โครงข่ายที่มีโครงสร้างแบบนี้ใช้ในการศึกษาการทำงานของการควบคุมแบบ ERICA+ เนื่องจากความเรียบง่ายของโครงสร้างที่ประกอบด้วยสวิตช์เพียงสองตัวและมีลิงค์ที่เกิดสภาวะติดขัด (Bottleneck Link) หนึ่งเส้นคือ BB1 ซึ่งเราจะได้ผลการ simulation เป็นดังรูปที่ 5.10a ถึง รูปที่ 5.10c สำหรับกรณีของ LAN และรูปที่ 5.11a ถึง รูปที่ 5.11c สำหรับกรณี WAN



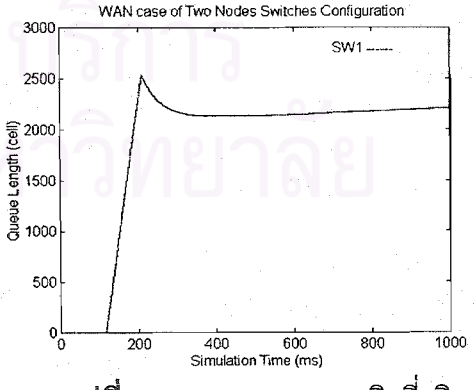
รูปที่ 5.10a อัตราการส่งข้อมูลของการแหล่งกำเนิด



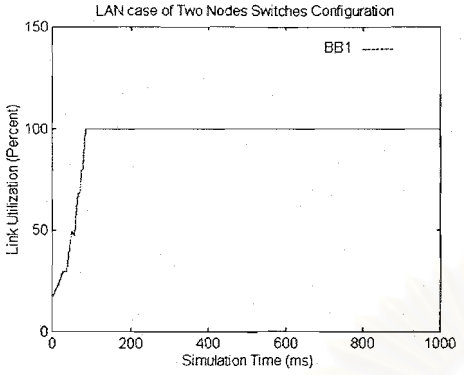
รูปที่ 5.11a อัตราการส่งข้อมูลของการแหล่งกำเนิด



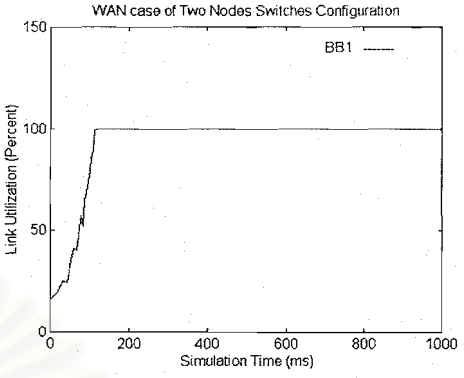
รูปที่ 5.10b ความยาวของคิวที่สวิตช์



รูปที่ 5.11b ความยาวของคิวที่สวิตช์



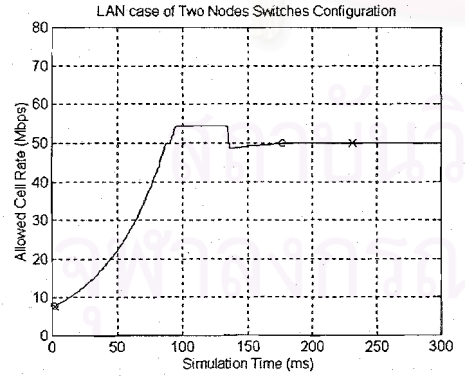
รูปที่ 5.10c Link Utilization



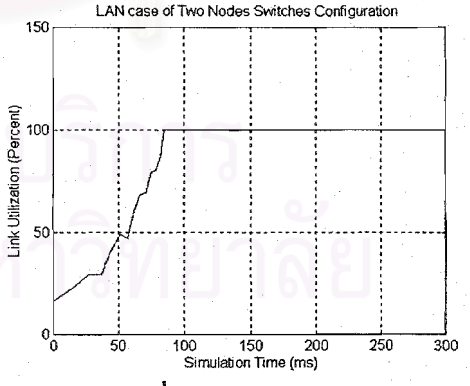
รูปที่ 5.11c Link Utilization

สิ่งที่สังเกตได้คืออัตราการส่งข้อมูลของแหล่งกำเนิดทั้งสามตัวที่ลู่เข้าสู่ค่า 50 Mbps ซึ่งเป็นค่า Fairshare ของการต่อเชื่อมทั้งสามเส้นทางไม่ว่าจะเป็นในกรณีของ LAN หรือว่า WAN ขณะที่ผลการทดลองในบทที่แล้วโครงข่ายที่มีโครงสร้างแบบเดียวกันนี้แต่สวิตช์ภายในโครงข่ายเป็นแบบ EFCI ค่าอัตราการส่งข้อมูลลู่เข้า 50 Mbps เฉพาะในกรณีของ LAN เท่านั้น และเมื่อพิจารณา Link Utilization พบว่าหลังจากที่อัตราการส่งข้อมูลเข้าสู่ค่า Fairshare จะมีค่าเต็ม 100% ไปตลอดไม่ตกลงมาอีกเหมือนกับในบทที่แล้วที่ในกรณีของ WAN ค่า Link Utilization จะตกลงจาก 100% ในบางช่วงเวลา

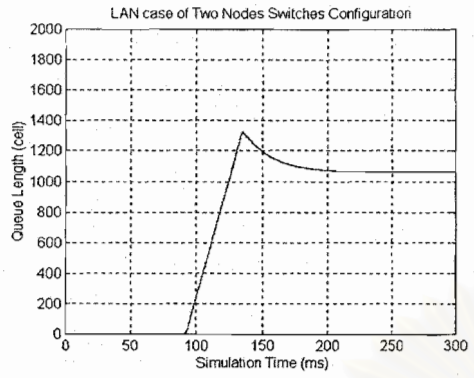
สำหรับการพิจารณาการทำงานนั้นเราจะดูกราฟผลการ simulation ในช่วงเวลา 0 ถึง 300 ms ของกรณี LAN ดังรูปที่ 5.12a ถึงรูปที่ 5.12c ดังนี้



รูปที่ 5.12a อัตราการส่งข้อมูลของการแหล่งกำเนิด



รูปที่ 5.12c Link Utilization



รูปที่ 5.12b ความยาวของคิวที่สวิตช์

ในช่วงแรก (0 ms ถึง ประมาณ 90 ms) คิวยังต่ำกว่า $Q0$ ส่งผลให้ $f(Q)$ มีค่าเป็น 1 และค่า z หรือ Load Factor ตามสมาการที่ (5.3) จะยังมีค่าไม่ถึง 1 และอัตราการส่งข้อมูลของแต่ละ VC ยังต่ำอยู่ทำให้ค่า VCShare ที่คำนวณตามสมการที่ (5.5) นั้นต่ำค่า Fairshare ที่คำนวณตามสมการที่ (5.4) ที่มีค่าเป็น 50 Mbps ดังนั้นเมื่อพิจารณาตามการทำงานของสวิตช์ในรูปที่ 5.4 จะพบว่าสวิตช์จะป้อนกลับค่า Fairshare ไปกับ เซลล์ RM ดังนั้นเมื่อดูการทำงานของแหล่งกำเนิดตามรูปที่ 5.2 แหล่งกำเนิดปรับอัตราการส่งข้อมูลเพิ่มทีละ RIFxPCR ดังในสมการที่ (5.1) ซึ่งค่าใหม่นี้ยังต่ำกว่าค่าในฟิลด์ ER ของ เซลล์ RM ที่แหล่งกำเนิดได้รับ และในตอนท้ายของช่วงเวลานี้ขณะที่แหล่งกำเนิดแต่ละแหล่งเพิ่มอัตราส่งจนสูงกว่า 50 Mbps จะพบว่า Link Utilization เป็น 100% และแหล่งกำเนิดจะปรับอัตราการส่งเป็น 50 Mbps เนื่องจากค่าที่ปรับตามสมการที่ (5.1) นั้นสูงกว่าในฟิลด์ ER ของ เซลล์ RM ที่แหล่งกำเนิดได้รับ

ในช่วงเวลาต่อมา (ประมาณ 90 ms ถึง ประมาณ 100 ms) พบว่าแหล่งกำเนิดปรับอัตราการส่งข้อมูลเพิ่มขึ้นไปอีกทั้งนี้เนื่องจากการคำนวณค่า z นั้นเกิดขึ้นทุกๆ ช่วงเวลาในการเฉลี่ย AI ซึ่งมีค่าเป็น 5 msทำให้การคิดค่า z ในช่วงเวลาจึงยังเป็นค่า z ที่มีค่าไม่ถึง 1 อยู่อันส่งผลให้ค่า VCShare ที่คิดตามสมการที่ (5.5) นั้นสูงกว่า 50 Mbps และเมื่อพิจารณาตามการทำงานในรูปที่ 5.3 จะได้ว่าสวิตช์จะตั้งค่า VCShare นี้ไปใน เซลล์ RM ที่จะถูกส่งไปยังแหล่งกำเนิดทำให้แหล่งกำเนิดสามารถเพิ่มอัตราการส่งไปได้อีกจนถึงค่าในฟิลด์ ER นี้ซึ่งมีค่าอยู่ระหว่าง 54 Mbps ถึง 55 Mbps (จากรูปที่ 5.12a) และแม้ว่าจะเกิดการคำนวณค่า z เมื่อถึงช่วงเวลาในการเฉลี่ยต่อไปซึ่งให้ค่า z ที่สูงกว่า 1 แล้วแต่ยังต่ำกว่า $1+\delta$ (ซึ่งมีค่าเป็น 1.1) อยู่ส่งผลให้สวิตช์คิดค่า ER ด้วย

$$Max(\text{Farishare, VcShare, MaxAllocPrevious})$$

ซึ่งจะได้ค่าออกมาเป็น MaxAllocPrevious ที่มีค่าเป็นอัตราการส่งที่แหล่งกำเนิดทำการส่งอยู่ จึงเป็นสาเหตุที่แหล่งกำเนิดไม่ได้ปรับลดอัตราการส่งไปจวบจนกระทั่งเวลาประมาณ 135 ms

ในช่วงเวลาตั้งแต่ 100 ms คิวของสวิตช์ได้เพิ่มขึ้นจนกระทั่งเกินค่า $Q0$ ซึ่งทำให้ $f(Q)$ ตามสมการที่ 5.7 มีค่าอยู่ระหว่าง QDLF และ 1 (สังเกตได้จากรูปที่ 5.4) และเมื่อคิวมีความยาวขึ้น $f(Q)$ ก็จะมีค่าน้อยลงตามลำดับส่งผลให้ค่า ความจุเป้าหมายตามสมการที่ (5.6) ลดต่ำลงซึ่งผลก็คือค่า z จะมีค่าสูงขึ้นตามลำดับจนมีค่าสูงกว่า $1+\delta$ (ซึ่งมีค่าเป็น 1.1) ทำให้สวิตช์คิดค่า ER ตาม

$$Max(\text{Fairshare}, \text{VcShare})$$

ซึ่งจะได้เป็นค่า Fairshare ที่มีค่าต่ำกว่า 50 Mbps เพราะว่า Fairshare คิดตามสมการที่ (5.4) โดยค่าความจุเป้าหมายต่ำกว่า 150 Mbps เนื่องจากถูกปรับลดด้วย $f(Q)$ ตามเหตุผลข้างต้น และที่เวลา 135 ms เมื่อแหล่งกำเนิดได้รับ เซลล์ RM จึงปรับอัตราส่งเป็นค่าที่อยู่ในฟิลด์ ER และเมื่ออัตราส่งลดลงมาคิวจึงมีขนาดลดลงและเมื่อคิวลดลงมา $f(Q)$ ก็จะมีค่าเพิ่มขึ้นส่งผลให้ Fairshare ที่คำนวณได้มีค่าสูงขึ้นตามลำดับ จนในที่สุดเราจึงได้อัตราส่งที่อยู่ที่ 50 Mbps

สำหรับการพิจารณาความเท่าเทียมกันของโครงข่ายสามารถดูได้จากตารางที่ 5.3

ตารางที่ 5.3 ทรูพุทเฉลี่ย, ค่า Fairshare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A	47.61	50.00	95.22%
B	47.61	50.00	95.21%
C	47.61	50.00	95.21%
Fairness		100.00%	

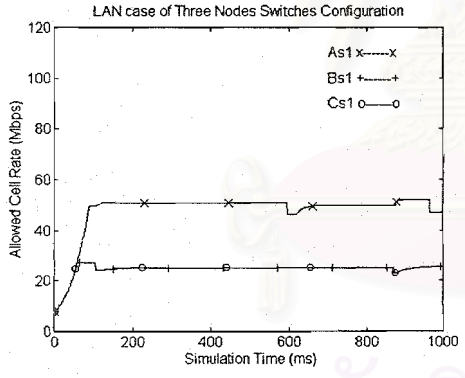
(ก) กรณี LAN

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A	46.49	50.00	92.98%
B	46.49	50.00	92.98%
C	46.49	50.00	92.98%
Fairness		100.00%	

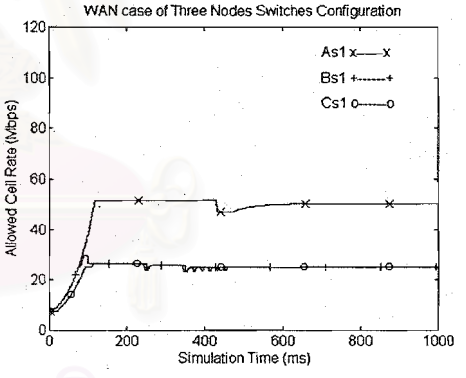
(ข) กรณี WAN

2 ผลการ simulation ของโครงสร้างแบบ Three Nodes Switches Configuration

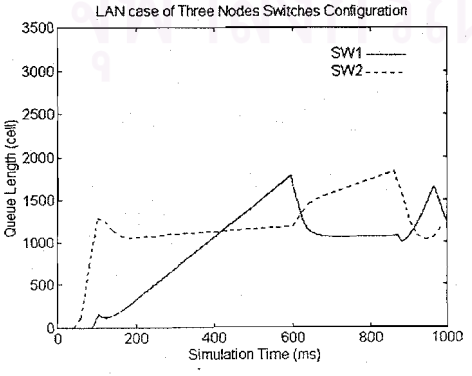
โครงข่ายที่มีโครงสร้างตามรูปที่ 5.6 นั้น ประกอบด้วยการต่อเชื่อม 3 กลุ่มคือ A, B และ C ซึ่งกลุ่ม A และ B จะเป็นแบบ hop เดียวส่วนกลุ่ม C จะเป็นแบบหลาย hop แต่ในกลุ่ม C นี้ก็ใช้งานลิงค์ BB1 ร่วมกับกลุ่ม A และใช้งานลิงค์ BB2 ร่วมกับกลุ่ม B ซึ่งค่า Fairshare ตามหลักการ Max-Min Fairness ของแต่ละกลุ่มการต่อเชื่อมคือ 50, 25 และ 25 Mbps สำหรับการกลุ่มการต่อเชื่อม A, B และ C ตามลำดับ ซึ่งกราฟผลการ simulation จะเป็นดังรูปที่ 5.13a ถึง 5.13c สำหรับกรณี LAN และรูปที่ 5.14a ถึง 5.14c สำหรับกรณี WAN ซึ่งจากผลการทดลองจะเห็นได้ว่าในทั้งสองกรณีอัตราการส่งข้อสามารถเข้าสู่ค่า Fairshare ได้แต่กรณีของ WAN ที่ช้ากว่าก็เนื่องมาจากค่าประวิงเวลาที่สูงขึ้นจากความยาวลิงค์ที่เพิ่มขึ้นทำให้ เซลล์ RM ใช้เวลานานขึ้นในการนำข้อมูลป้อนกลับสู่แหล่งกำเนิด และเมื่อพิจารณาตารางที่ 5.4 เราจะเห็นว่าค่า Fairness ของโครงข่ายนั้นสูงมากคือ 99.99% ในกรณี LAN และ 99.97% ในกรณี WAN ซึ่งผิดกับในบทที่แล้วซึ่งในโครงสร้างแบบเดียวกันนี้สวิตช์แบบ EFCI แสดงให้เห็นถึงปัญหาความไม่เท่าเทียมกันอันเกิดจากปัญหา Beatdown



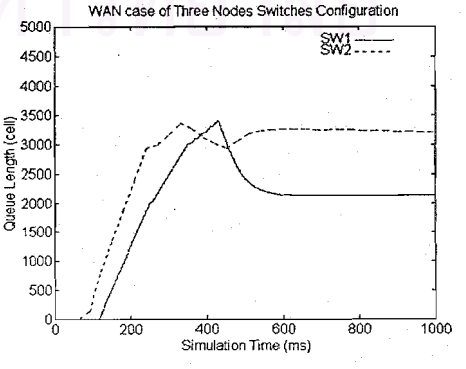
รูปที่ 5.13a อัตราการส่งข้อมูลของการแหล่งกำเนิด



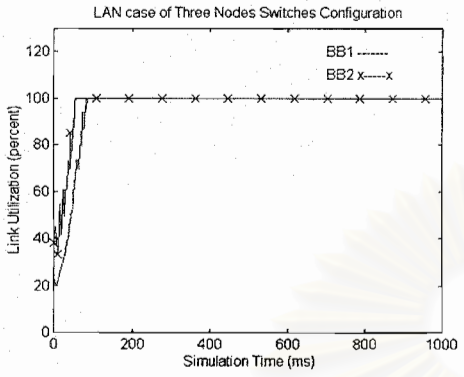
รูปที่ 5.14a อัตราการส่งข้อมูลของการแหล่งกำเนิด



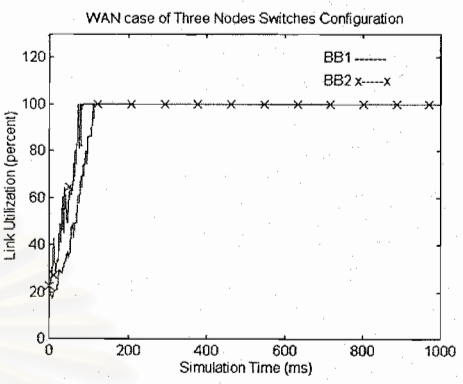
รูปที่ 5.13b ความยาวของคิวที่สวิตช์



รูปที่ 5.14b ความยาวของคิวที่สวิตช์



รูปที่ 5.13c Link Utilization



รูปที่ 5.14c Link Utilization

ตารางที่ 5.4 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	47.62	50.00	95.24%
A2	47.62	50.00	95.24%
B1	24.46	25.00	97.84%
B2	24.46	25.00	97.84%
B3	24.46	25.00	97.84%
B4	24.46	25.00	97.84%
C1	24.37	25.00	97.47%
C2	24.37	25.00	97.47%
Fairness		99.99%	

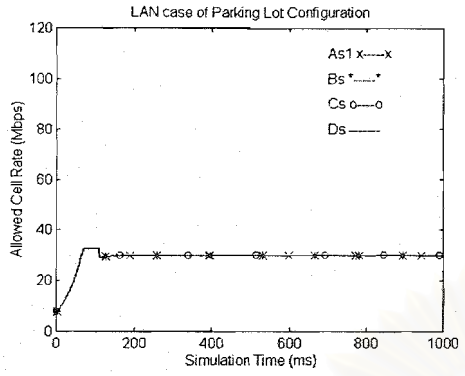
(ก) กรณี LAN

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	46.40	50.00	92.79%
A2	46.40	50.00	92.79%
B1	24.13	25.00	96.51%
B2	24.13	25.00	96.51%
B3	24.13	25.00	96.51%
B4	24.13	25.00	96.51%
C1	23.50	25.00	94.01%
C2	23.50	25.00	94.01%
Fairness		99.97%	

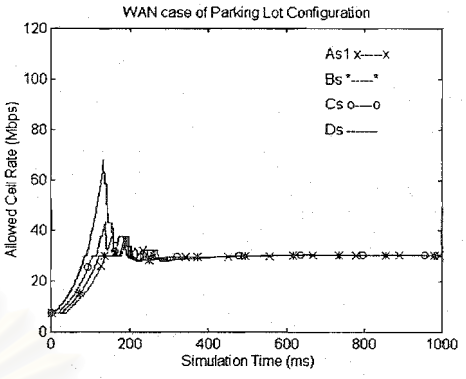
(ข) กรณี LAN

3 ผลการ simulation ของโครงสร้างแบบ Parking Lot Configuration

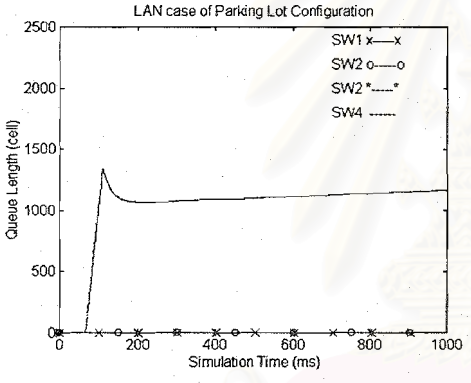
ในโครงสร้างแบบนี้ทุกการต่อเชื่อมมีปลายทางอยู่ที่สวิตช์ SW5 เหมือนกัน ซึ่งผลก็คือเกิดเกิดความแตกต่างของระยะทางของแต่ละ VC จากรูปที่ 5.7 VC ที่มีความยาวที่สุดคือ VC ในกลุ่ม A ส่วน VC ที่สั้นที่สุดก็คือ VC ในกลุ่ม D ทว่าผลของความแตกต่างนี้จะไม่ชัดเจนเมื่อเป็นกรณี LAN แต่จะสังเกตได้อย่างชัดเจนในกรณี WAN ซึ่งจากการพิจารณารูปที่ 5.16a ซึ่งแสดงอัตราส่งข้อมูลของแต่ละแหล่งกำเนิดในกรณี WAN พบว่าแหล่งกำเนิด As1, Bs, Cs และ Ds นั้นเริ่มเพิ่มอัตราการส่งข้อมูลไม่พร้อมกันทั้งนี้เป็นเหตุจาก เซลล์ RM ใช้เวลาเดินทางไป-กลับระหว่างแหล่งกำเนิด-ปลายทางและแหล่งกำเนิดไม่เท่ากัน จะเห็นว่าแหล่งกำเนิด D จะเพิ่มอัตราส่งก่อน และแหล่งกำเนิด A จะเพิ่มอัตราส่งหลังสุด ซึ่งนำไปสู่การไม่ได้รับทรูพุทเฉลี่ยตามค่า Fairshare โดยในตารางที่ 5.5 จะเห็นได้ว่าการต่อเชื่อม A1 มีเปอร์เซ็นต์ทรูพุทเฉลี่ยเป็น 96.72% ในกรณี LAN แต่ในกรณี WAN ค่านี้กลับตกลงมาอยู่ที่ 90.39% ซึ่งนำไปสู่ค่า Fairness ที่แตกต่างกันแต่อย่างไรก็ตามในสภาวะอยู่ตัวทุกการต่อเชื่อมก็มีอัตราส่งเป็นไปตามค่า Fairshare คือ 30 Mbps



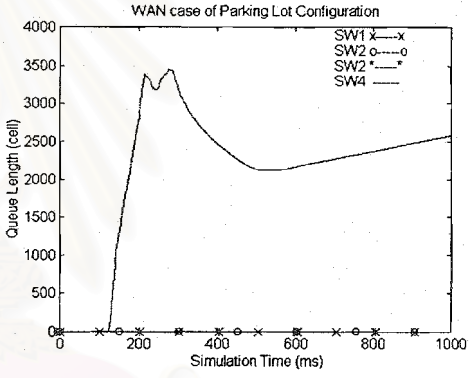
รูปที่ 5.15a อัตราการส่งข้อมูลของการแหล่งกำเนิด



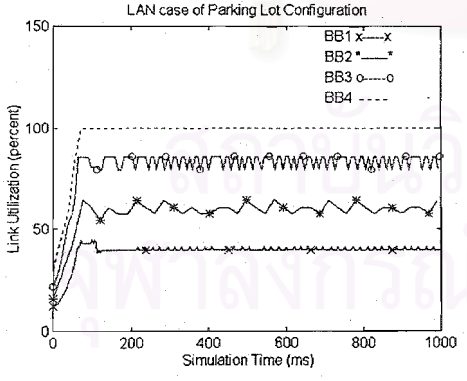
รูปที่ 5.16a อัตราการส่งข้อมูลของการแหล่งกำเนิด



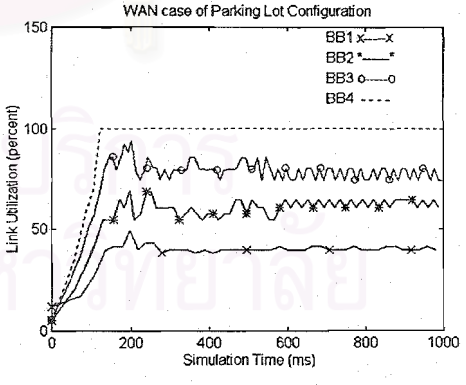
รูปที่ 5.15b ความยาวของคิวที่สวิตช์



รูปที่ 5.16b ความยาวของคิวที่สวิตช์



รูปที่ 5.15c Link Utilization



รูปที่ 5.16c Link Utilization

ตารางที่ 5.5 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	29.02	30.00	96.72%
A2	28.95	30.00	96.51%
B	28.95	30.00	96.51%
C	29.02	30.00	96.72%
D	29.72	30.00	99.06%
Fairness		99.99%	

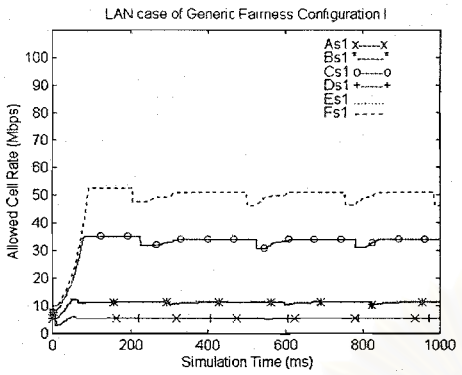
(ก) กรณี LAN

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	27.12	30.00	90.39%
A2	27.12	30.00	90.39%
B	27.48	30.00	91.60%
C	28.32	30.00	94.40%
D	29.46	30.00	98.20%
Fairness		99.90%	

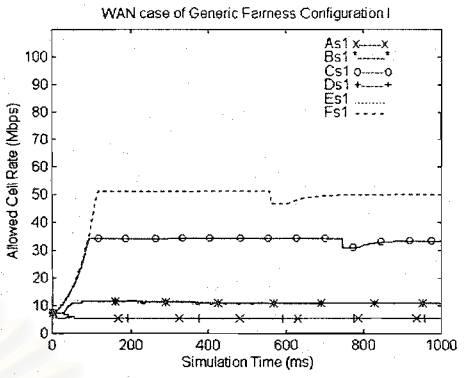
(ข) กรณี WAN

4 ผลการ simulation ของโครงสร้างแบบ Generic Fairness Configuration

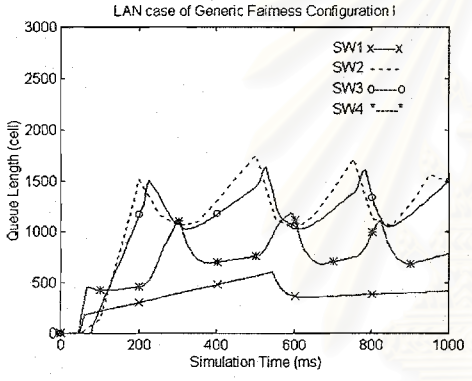
ในโครงสร้างแบบนี้ผลการทดลองแสดงให้เห็นถึงความสามารถของสวิตช์แบบ ERICA+ ที่สามารถรองรับโครงข่ายที่ใหญ่ขึ้นและมีการต่อเชื่อมที่มีมากขึ้นกว่าในโครงสร้างที่ผ่านมา โดยแหล่งกำเนิดสามารถส่งข้อมูลด้วยอัตราใกล้เคียงกับค่า Fairshare อย่างมาก โดยสังเกตได้จากตารางที่ 5.6 การต่อเชื่อมทั้งหมดมีค่าทรูพุทเฉลี่ยอยู่ระหว่างร้อยละ 97.51 ถึง 100.50 ของค่า Fairshare ในกรณี LAN และ ร้อยละ 96.51 ถึง 100.60 ของค่า Fairshare ในกรณี WAN ซึ่งนับว่าใกล้เคียงมากและทำให้ได้ค่า Fairness ที่สูงคือ 99.99% และ 99.98%



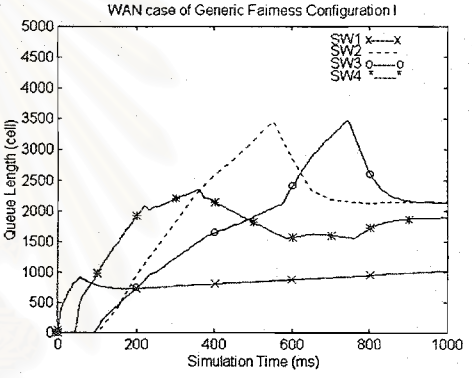
รูปที่ 5.17a อัตราการส่งข้อมูลของการแหล่งกำเนิด



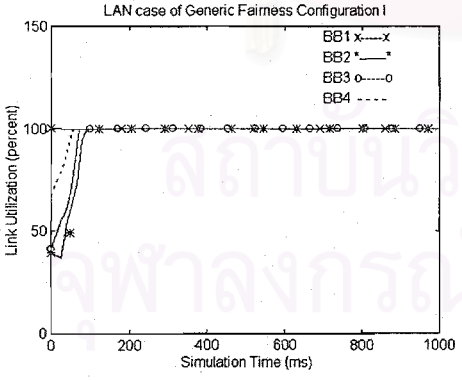
รูปที่ 5.18a อัตราการส่งข้อมูลของการแหล่งกำเนิด



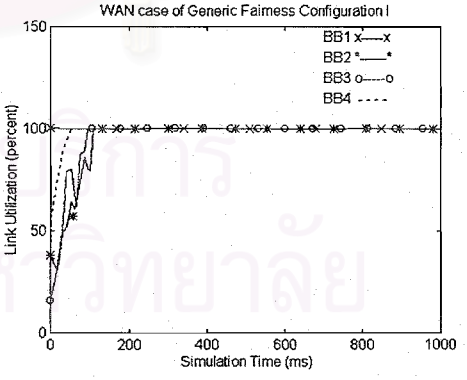
รูปที่ 5.17b ความยาวของคิวที่สวิตช์



รูปที่ 5.18b ความยาวของคิวที่สวิตช์



รูปที่ 5.17c Link Utilization



รูปที่ 5.18c Link Utilization

ตารางที่ 5.6 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	5.51	5.50	100.19%
A2	5.50	5.50	100.07%
A2	5.51	5.50	100.19%
B1	11.02	11.10	99.25%
B2	11.02	11.10	99.26%
B3	11.02	11.10	99.25%
C1	32.72	33.30	98.25%
C2	32.72	33.30	98.25%
C3	32.72	33.30	98.25%
D1	5.53	5.50	100.50%
D2	5.52	5.50	100.39%
D3	5.53	5.50	100.50%
D4	5.53	5.50	100.49%
D5	5.53	5.50	100.49%
D6	5.52	5.50	100.37%
E1	11.05	11.10	99.51%
E2	11.05	11.10	99.51%
E3	11.05	11.10	99.51%
E4	11.05	11.10	99.51%
E5	11.05	11.10	99.51%
E6	11.05	11.10	99.51%
F1	48.76	50.00	97.51%
F2	48.76	50.00	97.51%
Fairness		99.99%	

(ก) กรณี LAN

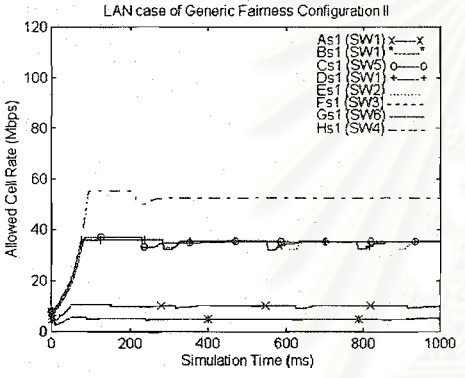
VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	5.50	5.50	99.94%
A2	5.50	5.50	99.93%
A2	5.50	5.50	99.94%
B1	10.89	11.10	98.12%
B2	10.89	11.10	98.12%
B3	10.89	11.10	98.12%
C1	32.51	33.30	97.64%
C2	32.51	33.30	97.64%
C3	32.51	33.30	97.64%
D1	5.53	5.50	100.60%
D2	5.53	5.50	100.60%
D3	5.53	5.50	100.60%
D4	5.53	5.50	100.60%
D5	5.53	5.50	100.60%
D6	5.53	5.50	100.60%
E1	11.09	11.10	99.90%
E2	11.09	11.10	99.90%
E3	11.09	11.10	99.90%
E4	11.09	11.10	99.90%
E5	11.09	11.10	99.90%
E6	11.09	11.10	99.90%
F1	48.25	50.00	96.51%
F2	48.25	50.00	96.51%
Fairness		99.98%	

(ข) กรณี WAN

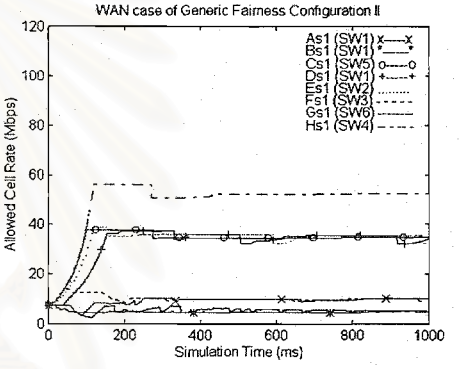
5 ผลการ simulation ของโครงสร้างแบบ Generic Fairness Configuration II

จากผลการ simulation ที่ได้ในรูปที่ 5.19a ถึง 5.19c และ 5.20a ถึง 5.20c ซึ่งเป็นกรณี LAN และ WAN ตามลำดับ จะเห็นว่าแนวโน้มดังเช่นโครงสร้างต่างๆ ที่ผ่านมา นอกจากนั้นยังเห็น

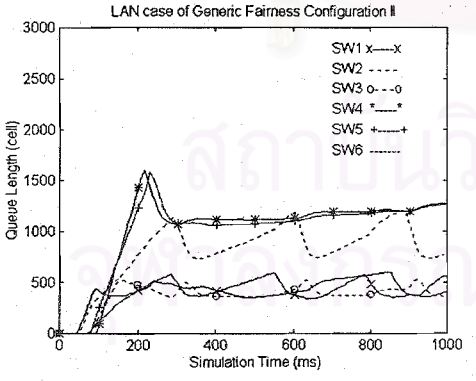
ผลของระยะทางของการต่อเชื่อมที่มีกับทรูพุทเฉลี่ยอาทิเช่นกลุ่มการต่อเชื่อม A ซึ่งจากตารางที่ 5.7 ในกรณี LAN As1, As2 และ As3 มีค่าเปอร์เซ็นต์ทรูพุทเฉลี่ยเป็น 97.25%, 97.63% และ 97.95% ซึ่งใกล้เคียงกัน แต่ทว่าในกรณี WAN As1, As2 และ As3 มีค่าเปอร์เซ็นต์ทรูพุทเฉลี่ยเป็น 83.41%, 93.30% และ 96.25% ซึ่งสาเหตุก็คือระยะทางที่มีผลต่อเวลาที่ เซลล์ RM ใช้ในการเดินทางกลับมายังแหล่งกำเนิดทำให้ในช่วงแรกเกิดการเพิ่มอัตราส่งไม่พร้อมกันและเมื่ออยู่ในสภาวะอยู่ตัวก็เกิดการปรับอัตราส่งตามค่าในฟิลด์ ER ของ เซลล์ RM ไม่พร้อมกันด้วย ทั้งนี้ส่งผลให้เราได้ค่า Fairness เป็น 99.55% ในกรณี WAN ขณะที่ในกรณี LAN ค่า Fairness เป็น 99.98%



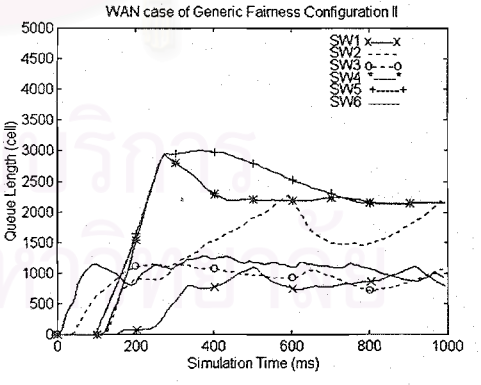
รูปที่ 5.19a อัตราการส่งข้อมูลของการแหล่งกำเนิด



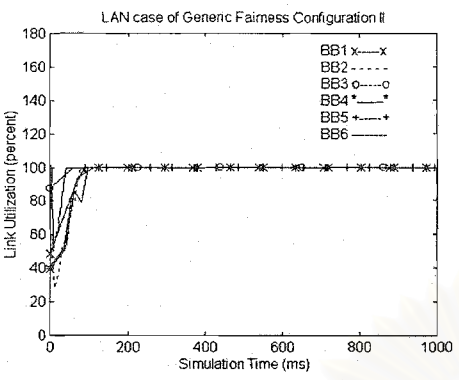
รูปที่ 5.20a อัตราการส่งข้อมูลของการแหล่งกำเนิด



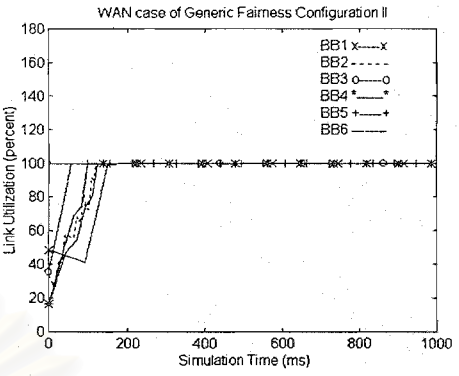
รูปที่ 5.19b ความยาวของคิวที่สวิตช์



รูปที่ 5.20b ความยาวของคิวที่สวิตช์



รูปที่ 5.19c Link Utilization



รูปที่ 5.20c Link Utilization

ตารางที่ 5.7 ทรูพุทเฉลี่ย, ค่า Farishare, เปอร์เซ็นต์ทรูพุทเฉลี่ยของแต่ละการต่อเชื่อมต่อและค่า Fairness

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	9.72	10.00	97.25%
A2	9.76	10.00	97.63%
A2	9.80	10.00	97.95%
B1	4.88	5.00	97.70%
B2	4.90	5.00	98.05%
B3	4.94	5.00	98.74%
C1	33.69	35.00	96.24%
C2	33.68	35.00	96.24%
C3	33.69	35.00	96.24%
D	33.71	35.00	96.32%
E1	33.59	35.00	95.97%
E2	33.59	35.00	95.97%
F	9.87	10.00	98.68%
G1	4.97	5.00	99.32%
G2	4.97	5.00	99.35%
G3	4.97	5.00	99.32%
G4	4.97	5.00	99.32%

G5	4.97	5.00	99.35%
G6	4.97	5.00	99.32%
G7	4.97	5.00	99.35%
H1	49.86	52.50	94.96%
H2	49.86	52.50	94.96%
Fairness		99.98%	

(ก) กรณี LAN

VC	Throughput (Mbps)	Fairshare (Mbps)	Percentage Throughput
A1	8.34	10.00	83.41%
A2	9.33	10.00	93.30%
A3	9.62	10.00	96.25%
B1	5.00	5.00	100.07%
B2	5.62	5.00	112.45%
B3	5.70	5.00	114.10%
C1	33.01	35.00	94.33%
C2	33.01	35.00	94.33%
C3	33.01	35.00	94.33%
D	31.36	35.00	89.61%
E1	32.31	35.00	92.32%
E2	32.31	35.00	92.32%
F	10.03	10.00	100.29%
G1	4.74	5.00	94.77%
G2	4.74	5.00	94.76%
G3	4.74	5.00	94.76%
G4	4.74	5.00	94.76%
G5	4.74	5.00	94.76%
G6	4.74	5.00	94.76%
G7	4.74	5.00	94.76%

H1	48.41	52.50	92.20%
H2	48.41	52.50	92.20%
Fairness		99.55%	

(ข) กรณี WAN

สรุปคุณลักษณะและสมรรถนะโดยรวมของสวิตช์แบบ ERICA

จากผลการศึกษาสมรรถนะของสวิตช์แบบ ERICA กับโครงข่ายที่มีโครงสร้างทั้ง 5 แบบ ทำให้เห็นถึงคุณลักษณะต่างๆ ที่เกิดจากการใช้งานสวิตช์แบบ ERICA ในโครงข่ายดังนี้

1. **ผลตอบสนองที่ค่อนข้างคงที่**

ผลตอบสนองในที่นี้ก็คืออัตราการส่งของแหล่งกำเนิดหรือ ACR ซึ่งสวิตช์แบบ ER ใช้การคำนวณค่า ACR ที่เหมาะสมของแต่ละการต่อเชื่อมและส่งกลับไปยังแหล่งกำเนิดของการต่อเชื่อมนั้นผ่านทางฟิลด์ ER ของ เซลล์ RM ทำให้อัตราส่งนั้นเป็นค่าคงที่ซึ่งสังเกตได้จากกราฟอัตราส่งของแหล่งกำเนิดที่ค่อนข้างคงที่หลังจากเข้าสู่สภาวะอยู่ตัว

2. **ความเท่าเทียมกัน**

เนื่องการคำนวณค่าอัตราส่งของแต่ละการต่อเชื่อมที่ผ่านสวิตช์ โดยมุ่งให้แต่ละการต่อเชื่อมมีอัตราส่งเป็นไปตามค่า Max-Min Fairness ทำให้เกิดความเท่าเทียมกันในโครงข่าย ซึ่งเห็นได้จากค่า Fairness ที่คำนวณได้จากผลการ simulation จากแต่ละโครงข่ายที่มีค่าค่อนข้างสูง (ค่าต่ำสุดที่ได้มีค่าถึง 99.55%) ต่างกับในบทที่แล้วที่โครงข่ายที่ใช้งานสวิตช์แบบ EFCI ประสบปัญหา Beatdown ที่ให้เกิดความไม่เท่าเทียมกัน

3. **ขนาดคิวที่ไม่สูงเกินไปนัก**

จากการป้อนกลับแบบ ER และการควบคุมคิวของ Queue Control Function ทำให้แต่ละสวิตช์มีขนาดคิวสูงสุดที่ต่ำกว่า 2000 เซลล์ในกรณี LAN และ ต่ำกว่า 4000 เซลล์ในกรณี WAN ของโครงสร้างทั้ง 5 แบบที่เราทำการศึกษา ซึ่งค่อนข้างต่ำเมื่อเทียบกับโครงข่ายที่ใช้งานสวิตช์แบบ EFCI

4. **Link Utilization ที่สูง**

จากผลการ simulation ที่ได้รับเราพบว่า Link Utilization มีค่าเต็ม 100% ไปตลอดหลังจากเข้าสู่สภาวะอยู่ตัวแล้ว (ยกเว้นในโครงสร้างแบบ Parking Lot Configuration ที่มีบางลิงค์มีค่า Link Utilization ไม่เต็ม 100% เนื่องจากจำนวนการต่อเชื่อมต่ำ แม้ว่าแหล่งกำเนิด

ของแต่ละการต่อเชื่อมส่งด้วยอัตราส่งตามค่า Fairshare ก็ยังใช้งานลิงค์ไม่เต็มความจุขนาด 150 Mbps) โดยสาเหตุที่ Link Utilization มีค่าเป็น 100% คือการรักษาให้สวิตช์มีคิวอยู่ตลอดเวลา และการใช้งานลิงค์เต็มความจุนี้สามารถมองได้ว่าเป็นการใช้ทรัพยากรอย่างคุ้มค่า

จากคุณลักษณะที่กล่าวมานั้นจึงสรุปได้ว่าสวิตช์แบบ ERICA ซึ่งเป็นสวิตช์ที่ได้รับพัฒนาขึ้นหลังจากที่มีสวิตช์แบบ EFCI อยู่ก่อน มีสมรรถนะการทำงานที่ดีกว่าสวิตช์แบบ EFCI ในแทบทุกด้าน จึงน่าจะเป็นสวิตช์ที่นำมาใช้ได้อย่างมีประสิทธิภาพ ถึงแม้ว่าอุปกรณ์ต่าง ๆ จะต้องมีการทำงานที่ซับซ้อนขึ้น

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 6
สรุปผลงานวิจัย

จากผลการศึกษาสมรรถนะของสวิตช์ทั้งสองแบบคือ EFCI และ ERICA+ พบว่าสวิตช์แบบ EFCI มีกลไกการทำงานที่ค่อนข้างเรียบง่าย ต้องการปริมาณข่าวสารที่ใช้ในการป้อนกลับเพื่อควบคุมอัตราการส่งของแหล่งกำเนิดเพียงบิตเดียว สมรรถนะการทำงานของสวิตช์ประเภทนี้จึงค่อนข้างจะไม่ดีเทียบเท่ากับสวิตช์แบบ ERICA+ ที่มีการป้อนกลับของปริมาณข่าวสารที่มากกว่า และส่วนของสวิตช์มีบทบาทสำคัญในการควบคุมอัตราการส่งของแหล่งกำเนิดข้อมูลโดยตรง ส่งผลให้สมรรถนะและประสิทธิภาพการใช้ช่องสัญญาณมีคุณภาพที่ดีกว่าอย่างชัดเจน ดูผลการเปรียบเทียบสมรรถนะของทั้งสองวิธีในรายละเอียดได้ดังต่อไปนี้

คุณลักษณะ	EFCI	ERICA+
1. การแกว่งตัวของอัตราการส่ง	มีการแกว่งขึ้นลงอย่างมาก	คงที่ตลอด
2. ความเท่าเทียมกันของการส่ง	ไม่เท่าเทียมกัน	เท่าเทียมกัน
3. ขนาดของคิว	สูง	ต่ำ
4. ประสิทธิภาพการใช้ช่องสัญญาณ	ไม่แน่นอน	ดีมาก
5. ความซับซ้อนของระบบ	น้อย	มาก

เมื่อพิจารณาโดยรวมแล้วจะสามารถสรุปได้ว่าสวิตช์แบบ ERICA+ มีสรรมถนะที่ดีกว่าสวิตช์แบบ EFCI อย่างชัดเจน ดังนั้นจึงมีความเหมาะสมกับการนำมาใช้กับโครงข่าย ATM ได้ในทางปฏิบัติ ในส่วนของความซับซ้อนที่เพิ่มมากขึ้นนั้น มิได้เป็นปัญหาที่สำคัญนัก เพราะในปัจจุบันขีดความสามารถของอุปกรณ์ประมวลสัญญาณอยู่ในระดับที่สูงมาก ปริมาณการคำนวณที่เพิ่มมากขึ้นจึงไม่ส่งผลกระทบต่อการนำมาใช้งานจริงแต่อย่างใด

เอกสารอ้างอิง

[1] W. Stallings, *High-Speed Networks:TCP/IP and ATM design Principles.* Upper Saddle River, NJ: Prentice Hall, 1998.

[2] ATM Forum, "ATM Forum User-Network Interface (UNI) Specification Version 3.1," *ATM Forum af-uni-0010.002*, Sep. 1994.

[3] ATM Forum, "ATM Forum Traffic Management Specification Version 4.0, " ATM *Forum af-tm-0056.000*, Apr. 1996.

[4] T. Chen, S. Liu, and V. Samalam, "The Available Bit Rate Service for Data in ATM Networks," *IEEE Communications Magazine,*vol. 34, issue 5 May 1996, pp. 56-58, 63-71.

[5] J. Jaffe, " A Decentralized 'Optimal' Multiple-User Flow Control Algorithm," *IEEE Transaction. On Communications,* vol. COM-29, 1981, pp. 954-962.

[6] N. Golmie, F. Mouveaux, L. Hester, Y. Santillan, A. Koenig and D. Su, "The NIST ATM/HFC Network Simulator Operation and Programming Guide Version 4.0," *National Institute of Standard of Technology,* Gaithersburg, MD., Dec. 1998.

[7] H. Ohsaki, M. Murata and H. Miyahara,"Performance of Rate-based Congestion Control Algorithm with Binary-Mode Switch in ATM Networks," *Preceeding of 35th Conference on Decision and Control,*Dec. 1996, pp. 2905-2910

[8] Y. Chang, N. Golmie, and D. Su,"Interoperability Analysis between EFCI and ER Switch Mechanisms for New End System Behavior," *ATM Forum Contribution 95-0396R1,* Apr. 1995.

[9] Y. Chang, N. Golmie and D. Su, "Study of Interoperability between EFCI and Different ER Switch Mechanisms," *ATM Forum Contribution 95-0166,* Feb. 1995.

[10] R. Jain, "Congestion Control and Traffic Management in ATM Networks: Recent Advances and A Survey," *Computer Networks and ISDN Sys.*, vol. 28, no. 13, Oct. 1996, pp. 1723-1738.

[11] R. Simcoe, "Test configurations for fairness and other tests,"*ATM Forum/94-0557*, July 18-21, 1994

[12] M. H. Kayali, H. M. Alnuweiri, and V. C. M. Leung," Interoperability among Explicit Rate Congestion Control Algorithms for ABR Service in ATM Networks," *IEEE ATM Workshop Proceedings*, 1998, pp. 112 –121.

[13] R. Jain, "Fairness: How to Measure Quantitatively?," *ATM Forum Contribution 94-0881*, Sep. 1994.

[14] R. Jain, "ERICA Switch Algorithm: A complete Description," *ATM Forum Contribution 94-0983*, August 1996

[15] Y.-Cheng Lai, Y.-Dar Lin, "Interoperability of EFCI and ER switches for ABR services in ATM networks." *IEEE Network*, vol. 12, issue 1, pp. 34-42.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย