การออกแบบวงจรรวมของไมโครคอนโทรลเลอร์ขนาด 16 บิต สำหรับเครื่องรับโทรทัศน์

นายคณิตพงศ์ เพ็งวัน

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2545

ISBN 974-17-1343-6

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

I20468982

AN IC DESIGN OF 16-BIT MICROCONTROLLER FOR TV RECEIVERS

Mr.Kanitpong Pengwon

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2002

ISBN 974-17-1343-6

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรวมของไมโครคอนโทรลเลอร์ขนาด 16 บิต สำหรับเครื่องรับโทรทัศน์
โดย	นายคณิตพงศ์ เพ็งวัน
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ ดร.เอกชัย ลีลารัศมี

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.สมศักดิ์ ปัญญาแก้ว)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(รองศาสตราจารย์ กฤษดา วิศวธีรานนท์)

..... อาจารย์ที่ปรึกษา
(รองศาสตราจารย์ ดร.เอกชัย ลีลารัศมี)

..... กรรมการ
(อาจารย์ ดร.วันเฉลิม โปรา)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

คณิตพงศ์ เพ็งวัน : การออกแบบวงจรรวมของไมโครคอนโทรลเลอร์ขนาด 16 บิต สำหรับเครื่องรับโทรทัศน์. (AN IC DESIGN OF 16-BIT MICROCONTROLLER FOR TV RECEIVERS) อ. ที่ปรึกษา : รศ. ดร.เอกชัย ลีลารัศมี, 117 หน้า. ISBN 974-17-1343-6.

วิทยานิพนธ์นี้นำเสนอการออกแบบชิปไมโครคอนโทรลเลอร์ที่สามารถนำไปใช้งานเป็นไมโครคอนโทรลเลอร์โทรทัศน์ที่สามารถถอดรหัสคำบรรยายภาพภาษาไทย-อังกฤษแบบซ่อนได้ ชิปไมโครคอนโทรลเลอร์ตัวนี้ประกอบด้วย หน่วยประมวลผลกลางแบบริสก์ (RISC) ขนาด 16 บิต และอุปกรณ์บริวารทั่วไปจำนวนหนึ่งคือ ตัวกำเนิดสัญญาณมอดูเลตความกว้างพัลส์จำนวน 6 ตัว, ตัวตั้งเวลา-ตัวนับขนาด 16 บิตจำนวน 2 ตัว, พอร์ตอินพุต-เอาต์พุต, ตัวเปรียบเทียบแรงดัน, และตัวแปลงสัญญาณแอนาลอกเป็นดิจิตัลจำนวน 4 ช่องสัญญาณ หน่วยประมวลผลกลางใช้สถาปัตยกรรมแบบไปป์ไลน์ 2 ขั้นตอนซึ่งดำเนินการคำสั่งประเภทกระโดดโปรแกรมใช้เวลา 2 รอบสัญญาณนาฬิกา และดำเนินการคำสั่งประเภทอื่นใช้เวลา 1 รอบสัญญาณนาฬิกา ตัวต้นแบบของไมโครคอนโทรลเลอร์ถูกสร้างขึ้นด้วย FPGA ร่วมกับชิปแอนาลอกอีกจำนวนเล็กน้อยสามารถทำงานได้ที่สัญญาณนาฬิกาความถี่ 12 MHz ทุกฟังก์ชันการทำงานพิเศษของเครื่องรับโทรทัศน์ เช่น การแสดงผลบนหน้าจอ, การแยกข้อมูลแบบปรับได้, และการถอดรหัส-แสดงคำบรรยายภาพแบบซ่อนได้ ที่ทำงานโดยฮาร์ดแวร์เฉพาะในไมโครคอนโทรลเลอร์โทรทัศน์ที่มีการผลิตในเชิงพาณิชย์อยู่แล้วนั้นสามารถนำมาสร้างด้วยซอฟต์แวร์ในไมโครคอนโทรลเลอร์นี้ได้ ลายวงจรรวมของชิปนี้ถูกออกแบบด้วยเทคโนโลยีซีมอส 0.7 ไมครอน เส้นทางวิกฤตของชิปมีค่าหน่วงเวลาน้อยกว่า 25 ns และลายวงจรรวมยังประกอบด้วยหน่วยความจำแบบรอมสำหรับเก็บโปรแกรมขนาด 2Kx24บิต, หน่วยความจำแบบรอมสำหรับเก็บรูปแบบตัวอักษรขนาด 8Kx16บิต, และหน่วยความจำแบบแรมขนาด 256x16บิต ลายวงจรรวมของชิปทั้งหมดมีพื้นที่ 60.8 mm^2

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต .....

สาขาวิชา วิศวกรรมไฟฟ้า ลายมือชื่ออาจารย์ที่ปรึกษา .....

ปีการศึกษา 2545

4370240121 : MAJOR ELECTRICAL ENGINEERING

KEY WORD : VLSI DESIGN / MICROCONTROLLERS / CLOSED CAPTION SYSTEM

KANITPONG PENGWON : AN IC DESIGN OF 16-BIT MICROCONTROLLER FOR TV RECEIVERS. THESIS ADVISOR : ASSO. PROF. EKACHAI LEELARASMEE, Ph.D., 117 pp. ISBN 974-17-1343-6.

This thesis presents the design of a microcontroller chip that can be used as a TV microcontroller with a Thai-English closed caption (CC) decoding capability. The chip consists of a 16-bit RISC CPU and several typical peripheral devices such as 6 pulse width modulators, 2 16-bit timer-counters, Input/Output ports, an analog comparator and 4-channel analog to digital converter. The CPU uses a two-stage pipeline architecture that excutes all non-branching instructions in 1 clock cycle and branching instructions in 2 clock cycles. The microcontroller is prototyped using a digital FPGA chip together with a few other analog chips and successfully tested at a 12 MHz clock frequency. All special TV functions such as on screen display, adaptive data slicing and closed caption decoding-displaying that are implemented by dedicated hardware in commercialized TV microcontrollers can be implemented by software on this microcontroller. A physical layout of the chip using 0.7 micron CMOS technology is also designed. Its critical path is identified to have less than 25 ns of time delay. The layout chip also includes 2Kx24bit of program ROM, 8Kx16bit of font ROM, and 256x16bit of RAM and measures 60.8 mm^2.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

Department Electrical Engineering Student's signature .....

Field of study Electrical Engineering Advisor's signature .....

Academic year 2002

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดีเนื่องด้วยความช่วยเหลืออย่างดียิ่งของ รองศาสตราจารย์ ดร.เอกชัย ลีลารัศมี อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งท่านได้ให้คำแนะนำและข้อคิดเห็นต่างๆ ในการทำวิทยานิพนธ์ด้วยดีตลอดมา

ในโอกาสนี้ขอขอบคุณ สำนักงานคณะกรรมการนโยบายพลังงานแห่งชาติ(NEPO), ทุนอุดหนุนและส่งเสริมวิทยานิพนธ์ระดับปริญญาโท-เอก ทบวงมหาวิทยาลัย, และ กองทุกวิจัย รัชดาภิเษกสมโภช จุฬาลงกรณ์มหาวิทยาลัย ที่ได้ให้ทุนวิจัยสนับสนุนโครงการนี้เป็นอย่างดี

นอกจากนี้ยังมีเพื่อนๆ ในห้องปฏิบัติการวิจัยระบบเชิงเลขที่คอยช่วยเหลือให้คำแนะนำที่ดีต่าง ๆ มาโดยตลอด

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญ ..... ช

สารบัญภาพ ..... ญ

สารบัญตาราง ..... ฏ

บทที่

1 บทนำ 1

1.1 แนวเหตุผลในการทำวิทยานิพนธ์ 1

1.2 วัตถุประสงค์ของการวิจัย 2

1.3 ขอบเขตของการวิจัย 2

1.4 วิธีดำเนินการวิจัย 3

1.5 ประโยชน์ที่คาดว่าจะได้รับ 3

1.6 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์ 3

2 การออกแบบไมโครคอนโทรลเลอร์ 4

2.1 สถาปัตยกรรมของฮาร์ดแวร์ 4

2.2 สถาปัตยกรรมของชุดคำสั่ง 6

2.2.1 ชนิดข้อมูล 6

2.2.2 ชุดรีจิสเตอร์ 6

2.2.3 รูปแบบคำสั่ง 8

2.2.4 ชุดคำสั่ง 8

2.2.5 แอสเดรสซิ่งโหมด 9

2.2.6 การออกแบบชุดคำสั่ง 9

2.3 ตัวประมวลผลแบบริสก์ 9

2.3.1 การใช้งานไปป์ไลน์ 10

2.3.2 เทคนิคการออกตัวประมวลผลกลางแบบริสก์ 11

2.4 คุณลักษณะของสถาปัตยกรรมไมโครคอนโทรลเลอร์ 12

3 สถาปัตกรรมของ Q-Chip 13

3.1 โครงสร้างของ Q-Chip 13

สารบัญ (ต่อ)

หน้า

3.2 สถาปัตยกรรมของหน่วยประมวลผลกลาง 13
3.2.1 หน่วยคำนวณและตรรกะ 15
3.2.2 แฟ้มรีจิสเตอร์ 18
3.2.3 รีจิสเตอร์สถานะ 19
3.2.4 หน่วยควบคุม (Control Unit) 21
3.2.5 ตัวนับโปรแกรมและสแตก 23
3.3 การขัดจังหวะ 24
3.4 ชุดคำสั่ง 26
3.4.1 คำสั่ง 26
3.4.2 รหัสดำเนินการและแอสเดรสซิ่งโหมด 29
4 อุปกรณ์บริวาร 32
4.1 วงจรกำเนิดสัญญาณมอดูเลตความกว้างพัลส์ 33
4.2 วงจรนับและวงจรตั้งเวลา 35
4.3 วงจรพอร์ตอินพุตเอาต์พุต 36
4.4 วงจรแปลงสัญญาณเชิงแอนาลอกเป็นดิจิตัล 37
4.5 วงจรเปรียบเทียบแรงดัน 39
5 การประยุกต์ใช้งาน Q-Chip เพื่อควบคุมเครื่องรับโทรทัศน์ 40
5.1 โครงสร้างของไมโครคอนโทรลเลอร์โทรทัศน์เชิงพาณิชย์ในยุคปัจจุบัน 40
5.2 การควบคุมการทำงานของวงจรเครื่องรับโทรทัศน์ 41
5.2.1 การปรับช่องสถานี 42
5.2.2 การถอดรหัสคำสั่งจากเครื่องควบคุมระยะไกล 42
5.2.3 การรับคำสั่งจากแผงควบคุมที่ตัวเครื่อง 43
5.2.4 การแสดงผลหน้าจอ 43
5.2.5 การติดต่อหน่วยควบคุมอื่น ๆ 45
5.3 การถอดรหัสคำบรรยายภาพ 45
5.3.1 การแยกข้อมูลคำบรรยายภาพจากสัญญาณภาพโทรทัศน์ 45
5.3.2 การแสดงตัวอักษรภาษาไทย 47
5.4 โปรแกรมควบคุมการทำงาน 51

สารบัญ (ต่อ)

หน้า

6 การออกแบบวงจรรวม และผลการทดสอบ....54
6.1 การออกแบบตัวต้นแบบไมโครคอนโทรลเลอร์ด้วย FPGA....54
6.1.1 โครงสร้างของตัวต้นแบบ....54
6.1.2 การทำงานของตัวต้นแบบ....55
6.1.3 การทดสอบการทำงานของตัวต้นแบบ....56
6.2 การออกแบบลายวงจรรวม....58
6.2.1 การวางลายวงจรส่วนวงจรดิจิตัล....58
6.2.2 การวางลายวงจรหน่วยความจำ....59
6.2.3 การวางลายวงจรส่วนวงจรแอนาลอก....59
6.2.4 วิเคราะห์การวางลายวงจรรวม....60
7 บทสรุป....63
7.1 สรุปคุณลักษณะของสถาปัตยกรรมของ Q-Chip....63
7.2 สรุปผลการใช้งาน Q-Chip เพื่อควบคุมเครื่องรับโทรทัศน์....63
7.3 สรุปผลการวิจัย....64
7.4 ข้อเสนอแนะ....65
รายการอ้างอิง....66
ภาคผนวก....68
ภาคผนวก ก รายละเอียดโปรแกรมส่วนควบคุมหลัก....69
ภาคผนวก ข รายละเอียดโปรแกรมส่วนถอดรหัสคำสั่งผู้ใช้....74
ภาคผนวก ค รายละเอียดโปรแกรมส่วนชุดคำสั่งประจำสำหรับการขัดจังหวะ....92
บทความที่ได้รับการตีพิมพ์เป็นบทความทางวิชาการ....112
ประวัติผู้เขียนวิทยานิพนธ์....117

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

หน้า

รูปที่ 2.1 (ซ้าย) สถาปัตยกรรมแบบวอนนอยแมน (ขวา) สถาปัตยกรรมแบบฮาร์วาร์ด 4
รูปที่ 2.2 โครงสร้างของไมโครคอนโทรลเลอร์แบบต่าง ๆ (a) SISD (b) SIMD (c) MIMD 7
รูปที่ 2.3 (บน)ไม่ใช้โครงสร้างแบบไปป์ไลน์ (ล่าง)ใช้โครงสร้างแบบไปป์ไลน์ 10
รูปที่ 3.1 โครงสร้างของ Q-Chip 13
รูปที่ 3.2 สถาปัตยกรรมของหน่วยประมวลผลกลาง 14
รูปที่ 3.3 โครงสร้างของหน่วยคำนวณและตรรกะ 16
รูปที่ 3.4 โครงสร้างของแฟ้มรีจิสเตอร์ 18
รูปที่ 3.5 โครงสร้างของรีจิสเตอร์สถานะ 20
รูปที่ 3.6 รูปแบบของรีจิสเตอร์สถานะ R0 20
รูปที่ 3.7 แผนผังสถานะการทำงาน (Operational State Diagram) ของหน่วยควบคุม 22
รูปที่ 3.8 โครงสร้างของตัวนับโปรแกรมและสแตก 23
รูปที่ 3.9 รูปแบบรหัสดำเนินการที่มีแอสเดรสซิ่งโหมดแบบรีจิสเตอร์ 29
รูปที่ 3.10 รูปแบบรหัสดำเนินการที่มีแอสเดรสซิ่งโหมดแบบใช้ทันที 30
รูปที่ 3.11 รูปแบบรหัสดำเนินการที่มีแอสเดรสซิ่งโหมดแบบโดยตรง 30
รูปที่ 3.12 รูปแบบรหัสดำเนินการที่มีแอสเดรสซิ่งโหมดแบบตัวชี้ 30
รูปที่ 3.13 รูปแบบรหัสดำเนินการที่มีแอสเดรสซิ่งโหมดแบบโดยอ้อมรีจิสเตอร์ 31
รูปที่ 3.14 รูปแบบรหัสดำเนินการที่มีแอสเดรสซิ่งโหมดโปรแกรมแบบโดยตรง 31
รูปที่ 3.15 รูปแบบรหัสดำเนินการที่มีแอสเดรสซิ่งโหมดโปรแกรมมาแบบสัมพัทธ์ 31
รูปที่ 4.1 วงจรกำเนิดสัญญาณมอดูเลตความกว้างพัลส์ 33
รูปที่ 4.2 การเติมพัลส์ในช่วงท้ายคาบของสัญญาณมอดูเลตความกว้างพัลส์ 14 บิต 34
รูปที่ 4.3วงจรตั้งเวลา-วงจรนับ (ชุดที่ 1) 35
รูปที่ 4.4 วงจรพอร์ตอินพุต – เอาต์พุต 37
รูปที่ 4.5 วงจรแปลงสัญญาณแอนาลอกเป็นดิจิตัล 38
รูปที่ 4.6 วงจรเปรียบเทียบแรงดันแอนาลอก 39
รูปที่ 5.1 โครงสร้างของชิป SAAXX55 ของบริษัท Pilips 40
รูปที่ 5.2 การใช้ไมโครคอนโทรลเลอร์ควบคุมเครื่องรับโทรทัศน์ 41
รูปที่ 5.3 สัญญาณรหัสพัลส์ที่มีข้อมูลรหัสคำสั่ง 00H และรหัสผู้ใช้ 34H 42
รูปที่ 5.4 ปุ่มกดด้วยวิธีการแบ่งแรงดัน 43
รูปที่ 5.5 ช่วงเวลาเริ่มแสดงผลบนหน้าจอของแต่ละเส้นภาพ 43

สารบัญภาพ (ต่อ)

หน้า

รูปที่ 5.6 สัญญาณภาพเส้นกวาดที่ 18 ซึ่งมีข้อมูลคำบรรยายภาพแทรกอยู่ 45
รูปที่ 5.7 การต่อวงจรภายนอกเพื่อแยกข้อมูลคำบรรยายภาพ.....46
รูปที่ 5.8 สัญญาณภาพขณะตรวจจับแรงดัน V_{STL} 47
รูปที่ 5.9 รูปแบบหน่วยความจำสำหรับแสดงผล 48
รูปที่ 5.10 รูปแบบข้อมูลสำหรับตัวอักษรระดับบน-ล่าง 48
รูปที่ 5.11 กลุ่มตัวอักษรในระดับบน-ระดับล่าง.....49
รูปที่ 5.12 การเก็บข้อมูลรูปแบบตัวอักษรในหน่วยความจำ 50
รูปที่ 5.13 ตัวอย่างการแสดงผลตัวอักษร.....50
รูปที่ 5.14 การทำงานตามชุดคำสั่งประจำสำหรับการขัดจังหวะ กับการแสดงผลหน้าจอ 51
รูปที่ 5.15 ผังการทำงานตามชุดคำสั่งประจำปกติ.....52
รูปที่ 5.16 ผังการทำงานตามชุดคำสั่งประจำสำหรับการขัดจังหวะสำหรับสัญญาณ.....52
รูปที่ 6.1 โครงสร้างตัวต้นแบบ.....54
รูปที่ 6.2 วงจรของตัวต้นแบบ.....55
รูปที่ 6.3 ผลการทดสอบ Q-Chip ในการควบคุมเครื่องรับโทรทัศน์.....56
รูปที่ 6.4 ผลการทดสอบ Q-Chip ในการแสดงคำบรรยายภาพภาษาอังกฤษ 57
รูปที่ 6.5 ผลการทดสอบ Q-Chip ในการแสดงคำบรรยายภาพภาษาไทย 57
รูปที่ 6.6 ลายวงจรรวมของวงจรหน่วยประมวลผลกลาง.....58
รูปที่ 6.7 ลายวงจรรวมของหน่วยความจำ 59

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

หน้า

ตารางที่ 3.1 การเลือกหน้าที่ของวงจรบวก/ลบ 16
ตารางที่ 3.2 การเลือกผลลัพธ์ของการประมวลผลของหน่วยคำนวณและตรรกะ 17
ตารางที่ 3.3 ลำดับความสำคัญการเปลี่ยนแปลงค่าในรีจิสเตอร์ R0 21
ตารางที่ 3.4 ค่าตัวนับโปรแกรมในการกระโดดของโปรแกรมแบบต่าง ๆ 24
ตารางที่ 3.5 หมายเลข, ลำดับความสำคัญ, และตำแหน่งชุดคำสั่งประจำสำหรับการขัดจังหวะ .25
ตารางที่ 3.6 สัญลักษณ์ที่ใช้ในตารางที่ 3.7 26
ตารางที่ 3.7 รายละเอียดชุดคำสั่งโดยสังเขป 27
ตารางที่ 3.8 เงื่อนไขที่ใช้ในการกระโดดของโปรแกรม 29
ตารางที่ 4.1 ตำแหน่งของอุปกรณ์บริวาร 32
ตารางที่ 4.2 ตำแหน่งคาบย่อย Ts ที่จะมีพัลส์เพิ่มเติม 34
ตารางที่ 5.1 การเลือกสีที่แสดงบนหน้าจอ 44
ตารางที่ 6.1 พื้นที่ของวงจรในส่วนต่าง ๆ 60
ตารางที่ 6.2 จำนวนเซลล์มาตรฐานที่ใช้ในวงจรแต่ละส่วน 60
ตารางที่ 6.3 ค่าหน่วงเวลาของสัญญาณนาฬิกาของแต่ละเส้นทาง 61
ตารางที่ 6.4 จำนวนคำสั่งที่ใช้ในโปรแกรม 62
ตารางที่ 6.5 ค่าภาระโหลดของวงจรแต่ละส่วน 62

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย