

ตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงที่ใช้วงจรตัวคูณสามเหลี่ยมเป็นชายน

นายคณิตพงศ์ เพ็งวัน

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2554

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

บทคัดย่อและแฟ้มข้อมูลฉบับเต็มของวิทยานิพนธ์ตั้งแต่ปีการศึกษา 2554 ที่ให้บริการในคลังปัญญาจุฬาฯ (CUIR)

เป็นแฟ้มข้อมูลของนิสิตเจ้าของวิทยานิพนธ์ที่ส่งผ่านทางบัณฑิตวิทยาลัย

The abstract and full text of theses from the academic year 2011 in Chulalongkorn University Intellectual Repository(CUIR)

are the thesis authors' files submitted through the Graduate School.

DIRECT DIGITAL FREQUENCY SYNTHESIZER USING TRIANGULAR TO SINE  
SHAPERS

Mr.Kanitpong Pengwon

A Thesis Submitted in Partial Fulfillment of the Requirements  
for the Degree of Doctor of Philosophy Program in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2011

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์	ตัวส่งเคราะห์ความถี่จิตโดยตรงที่ใช้วงจรตีรูป
	สามเหลี่ยมเป็นชายัน
โดย	นายคณิตพงศ์ เพ็งวัน
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก	รองศาสตราจารย์ ดร.เอกชัย ลีลาวัศม์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้บัณฑิตวิทยานิพนธ์ฉบับนี้  
เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาตรีบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์  
(รองศาสตราจารย์ ดร.บุญสม เลิศธีรวัณวงศ์)

คณะกรรมการสอบวิทยานิพนธ์

.....ประธานกรรมการ  
(รองศาสตราจารย์ ดร.ยุทธนา กุลวิทิต)

..... อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก  
(รองศาสตราจารย์ ดร.เอกชัย ลีลาวัศม์)

..... กรรมการ  
(ผู้ช่วยศาสตราจารย์ ดร.วันเฉลิม โปธา)

..... กรรมการภายนอกมหาวิทยาลัย  
(ผู้ช่วยศาสตราจารย์ ดร.จิตเกษม งามนิล)

..... กรรมการภายนอกมหาวิทยาลัย  
(ดร.นราธิป วงษ์โคเมท)

คณิตพงศ์ เพ็งวัน : ตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงที่ใช้วงจรดัดรูปสามเหลี่ยมเป็น  
 ซายน์. (Direct Digital Frequency Synthesizer Using Triangular to Sine Shapers)  
 อ.ที่ปรึกษาวิทยานิพนธ์หลัก : รศ. ดร. เอกชัย ลีลาวัศมี, 86 หน้า.

วิทยานิพนธ์ฉบับนี้นำเสนอ DDFS (Direct Digital Frequency Synthesizer) ที่ใช้วงจร  
 ดัดรูปสามเหลี่ยมเป็นซายน์แบบใหม่ นอกจากนำเสนอการออกแบบวงจรดัดที่ใช้พีมอสเป็นฐาน  
 แล้วยังนำเสนอวิธีการเพิ่มความแม่นยำของการประมาณฟังก์ชันซายน์ให้กับวงจรดัดอีก 3 วิธี  
 วิธีการเหล่านั้นอาศัยทั้งหลักการวงจรมอดูเลชันและดิจิทัล วงจรสร้างกระแสอ้างอิงถูกประดิษฐ์  
 ขึ้นเพื่อสร้างกระแสสำหรับนำไปใช้ไบอัสวงจรดัดและเป็นกระแสอ้างอิงสำหรับ DAC กระแส  
 อ้างอิงที่สร้างขึ้นมานี้ จะทำให้สัญญาณที่สังเคราะห์ได้เป็นอิสระจากพารามิเตอร์ในกระบวนการ  
 ผลิต ได้แก่  $\mu_p$ ,  $C_{ox}$ , และ  $V_{TH}$  โครงสร้างวงจรดัดที่นำเสนอมี 2 แบบ เรียกว่า วงจรดัดเดี่ยว และ  
 วงจรดัดคู่, วงจรขยายผลต่างถูกนำมาใช้เป็นวงจรดัดเดี่ยว ใน DDFS ที่ใช้งานวงจรดัดเดี่ยว DAC  
 จะถูกใช้สังเคราะห์สัญญาณรูปสามเหลี่ยมซึ่งมีช่วงค่าสมนัยกับมุมเฟส  $[-\pi, \pi]$  สัญญาณ  
 สามเหลี่ยมจะถูกแปลงให้เป็นซายน์ด้วยวงจรดัด, ส่วนวงจรดัดคู่ประกอบไปด้วยวงจรรขยาย  
 ผลต่าง และ วงจรยกกำลังสอง ทั้งสองวงจรถูกนำไปใช้แปลงสัญญาณสามเหลี่ยมที่มีค่าสมนัยกับ  
 มุมเฟส  $[0, \pi/4]$  ซึ่งสังเคราะห์โดย DAC เพียงตัวเดียว สวิตช์กระแสถูกนำไปใช้เพื่อลำเรียงกระแส  
 จากวงจรดัดทั้งสอง ให้เป็นรูปคลื่นซายน์และโคซายน์พร้อมกัน กฎกำลังสองของมอดูเลชันนำมาใช้  
 เป็นหลัก ในการออกแบบวงจรดัดและวงจรสร้างกระแสอ้างอิง และใช้โปรแกรม MATLAB ช่วย  
 คำนวณพารามิเตอร์ที่เหมาะสมในการออกแบบวงจร เพื่อทดสอบสมรรถนะของ DDFS ที่  
 นำเสนอ โปรแกรม HSPICE ถูกใช้เพื่อจำลองการทำงาน และสังเคราะห์วงจรด้วยแบบจำลองมอด  
 ระดับ 49 จากผลจำลองการทำงาน เราได้สัญญาณที่มี SFDR >50 dBc นอกจากนี้ต้นแบบ  
 DDFS ถูกพัฒนาขึ้นโดยใช้เอฟพีจีเอสังเคราะห์ส่วนวงจร และ มอดูเลชันเรย์สังเคราะห์วงจรดัด  
 สัญญาณที่ได้จากต้นแบบนี้มี SFDR >40 dBc

ภาควิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่อ.....  
 สาขาวิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่อ อ.ที่ปรึกษาวิทยานิพนธ์หลัก.....  
 ปีการศึกษา.....2554.....ลายมือชื่อ อ.ที่ปรึกษาวิทยานิพนธ์ร่วม.....

# # 4971866821 : MAJOR ELECTRICAL ENGINEERING

KEYWORDS : DIRECT DIGITAL FREQUENCY SYNTHESIZER / TRIANGULAR TO SINE SHAPER / CMOS DIFFERENTIAL AMPLIFIER / CMOS SQUARER

KANITPONG PENGWON : DIRECT DIGITAL FREQUENCY SYNTHESIZER USING TRIANGULAR TO SINE SHAPERS. ADVISOR : ASSOC. PROF. EKACHAI LEELARASMEE, Ph.D., 86 pp.

This research proposes direct digital frequency synthesizers using triangular to sine shapers. The proposed shapers are based on PMOS. Three digital-analog mixed methods are also proposed to increase the accuracy. A referent current generator is invented to provide a referent current for DAC and biasing the shapers. Due to the referent current, the effects of processed parameters, i.e.  $\mu_p$ ,  $C_{ox}$ , and  $V_{TH}$ , are removed from the synthesized signals of the DDFS. The shapers have two structures named single and dual shapers. The single shaper is actually a PMOS differential amplifier. In the DDFS that utilizes the single shaper, a DAC is used to generate a triangle whose value is corresponding to phase of  $[-\pi, \pi]$ . Then, the triangle is converted to sine by the shaper. Another structure, the dual shaper, is composed of a PMOS differential amplifier and PMOS squarer. In the same fashion, a DAC generates a triangle that is corresponding to  $[0, \pi/4]$ . The two circuits convert the triangle into sine and cosine segments. Some current switches are employed to convey the segments for synthesizing full-period sine and cosine waveforms. The MOS square law is mainly used to design the circuits and MATLAB is also used to find optimal parameters for the circuits. The DDFS is synthesized using Level-49 MOS model and simulated by HSPICE. Due to the simulation results, the signal with SFDR of >50 dBc can be achieved. A DDFS prototype is also developed using FPGA and MOS-array. It can generate a signal with SFDR of > 40 dBc.

Department : Electrical Engineering Student's Signature .....

Field of Study : Electrical Engineering Advisor's Signature .....

Academic Year : 2011 Co-advisor's Signature .....

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างยิ่งของ รองศาสตราจารย์ ดร.เอกชัย ลีลารัมย์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ของข้าพเจ้า ซึ่งได้ให้คำแนะนำและการสนับสนุนการวิจัยเป็นอย่างดีตลอดมา อีกทั้งยังได้ถ่ายทอดแนวคิดต่างๆ ซึ่งสามารถนำไปประยุกต์ใช้ในการทำงานได้เป็นอย่างดี เมื่อสำเร็จการศึกษาแล้ว

ขอขอบคุณ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเชียงใหม่ ในฐานะหน่วยงานต้นสังกัดที่ อนุญาตให้ข้าพเจ้าได้ลาศึกษาต่อ อีกทั้งยังเป็นผู้ให้ทุนการศึกษาในครั้งนี้ด้วย

ขอกราบขอบพระคุณ บิดา-มารดา อย่างสูงที่เลี้ยงดูให้การสนับสนุนในด้านการเงินและ กำลังใจ ขอขอบคุณน้องสาวและภรรยา ที่ให้ความช่วยเหลือและความเข้าใจ มาตลอด

ขอขอบคุณ คุณปิยวรรณ มะธิปิไซ (พี่จู้) เลขานุการคนเก่งของห้องปฏิบัติการวิจัยการ ออกแบบและประยุกต์วงจรรวม ที่อำนวยความสะดวกและให้ข้อมูลต่างๆ ตลอดการศึกษาของ ข้าพเจ้า, ขอขอบคุณ ดร.ภาณุวัฒน์ ดำนกลาง (พี่ก้อง) ขณะที่ศึกษาอยู่ด้วยกันนั้น ได้ให้ คำแนะนำดีๆ มากมาย และที่สำคัญคือ ได้ถ่ายทอดเทคนิคขั้นสูงสำหรับการจัดทำเอกสารให้แก่ ข้าพเจ้า นอกจากนี้ยังมี เพื่อนๆ น้องๆ ในห้องปฏิบัติการฯ อีกหลายคนที่ให้ช่วยเหลือ คำแนะนำ และความรู้ดีๆ

## สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	ง
บทคัดย่อภาษาอังกฤษ.....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ .....	ช
สารบัญภาพ.....	ญ
สารบัญตาราง.....	ฐ
บทที่ 1 บทนำ.....	1
1.1    ความเป็นมาและความสำคัญของปัญหา .....	1
1.2    วัตถุประสงค์ของการวิจัย.....	3
1.3    ขอบเขตของการวิจัย .....	4
1.4    ประโยชน์ที่ได้รับจากงานวิจัย.....	4
1.5    วิธีดำเนินการวิจัย.....	4
บทที่ 2 ตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงแบบทั่วไป.....	5
2.1    โครงสร้างและหลักการทำงาน.....	5
2.2    ข้อดีและลักษณะการใช้งาน DDFS.....	6
2.3    คุณสมบัติสมมาตร 1/4 คาบ .....	8
2.4    QDDFS.....	9
2.5    ความเพี้ยนของสัญญาณที่สังเคราะห์ได้.....	12
2.6    เทคนิคดิจิทัลที่ใช้ประมาณฟังก์ชันซายน์ .....	13
2.6.1    การประมาณด้วยฟังก์ชันพหุนาม .....	14
2.6.2    CORDIC .....	15
2.6.3    การประมาณพร้อมการแก้ไขด้วยรอม .....	17
2.7    การใช้ DAC แบบไม่เชิงเส้น .....	18
2.8    DAC แบบออฟเซต 0.5 <sup>๑</sup> .....	22
บทที่ 3 การประมาณฟังก์ชันซายน์ด้วยฟังก์ชันของวงจรถัด .....	25
3.1    โครงสร้าง DDFS ที่ใช้วงจรถัด.....	25

3.2	DDFS ที่ใช้วงจรถัดเดียว.....	26
3.2.1	เทคนิคการปรับพารามิเตอร์สำหรับวงจรถัดเดียว .....	29
3.2.2	เทคนิคชดเชยเฟสสำหรับวงจรถัดเดียว.....	31
3.2.3	เทคนิคการแก้ไขความผิดพลาดสำหรับวงจรถัดเดียว .....	34
3.3	QDDFS ที่ใช้วงจรถัดคู่.....	35
3.3.1	เทคนิคการปรับพารามิเตอร์สำหรับวงจรถัดคู่.....	39
3.3.2	เทคนิคการชดเชยเฟสสำหรับวงจรถัดคู่.....	41
3.4	เปรียบเทียบฟังก์ชันที่ใช้ประมาณฟังก์ชันไซน์.....	43
บทที่ 4	วงจรถัด.....	45
4.1	กฎกำลังสองของมอส.....	45
4.2	วงจรถัดวงจรแอสซิงโครนัส.....	47
4.3	วงจรถัดวงจรแอสซิงโครนัส.....	51
4.4	วงจรถัดเดียว.....	55
4.4.1	วงจรถัดเดียวอย่างง่าย .....	56
4.4.2	วงจรถัดเดียวที่ปรับพารามิเตอร์.....	60
4.5	วงจรถัดคู่.....	62
4.5.1	วงจรถัดคู่อย่างง่าย .....	62
4.5.2	วงจรถัดคู่ที่ปรับพารามิเตอร์.....	64
4.6	ผลของความผิดพลาดของสัดส่วนมอส.....	65
บทที่ 5	ต้นแบบและผลจำลองการทำงานของ DDFS ที่ใช้วงจรถัด.....	68
5.1	ต้นแบบ DDFS .....	68
5.2	ผลจำลองการทำงาน.....	72
5.2.1	DDFS ที่ใช้วงจรถัดเดียวที่แก้ไขความผิดพลาด.....	72
5.2.2	QDDFS ที่ใช้วงจรถัดคู่ที่ปรับพารามิเตอร์.....	74
5.2.3	QDDFS ที่ใช้วงจรถัดคู่ที่ชดเชยเฟส .....	77
5.3	วิเคราะห์และสรุปการทำงานทำงานของ DDFS .....	78



บทที่ 6 บทสรุปและข้อเสนอแนะ .....	80
6.1    ข้อสรุป.....	80
6.2    ข้อเสนอแนะ.....	82
รายการอ้างอิง.....	83
ประวัติผู้เขียนวิทยานิพนธ์ .....	86

## สารบัญภาพ

หน้า

ภาพที่ 1.1	โครงสร้างทั่วไปของ DDFS .....	1
ภาพที่ 2.1	โครงสร้างของตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงแบบทั่วไป .....	5
ภาพที่ 2.2	ลักษณะเอาต์พุตของ Phase Accumulator เมื่อ $F = 1, W = 3$ .....	5
ภาพที่ 2.3	ตัวอย่างการใช้งาน DDFS ที่ควบคุมได้ด้วยระบบดิจิทัล [4] .....	7
ภาพที่ 2.4	การใช้คุณสมบัติสมมาตร 1/4 คาบใน DDFS .....	8
ภาพที่ 2.5	ลักษณะเฟสดิจิทัลที่ถูกปรับโดยคุณสมบัติสมมาตร 1/4 คาบ .....	9
ภาพที่ 2.6	โครงสร้าง QDDFS แบบทั่วไป .....	11
ภาพที่ 2.7	ช่วงเวลาของลักษณะสัญญาณต่างๆ ใน QDDFS .....	11
ภาพที่ 2.8	ชายอุดมคติ (สีน้ำเงิน) เทียบกับสัญญาณที่สังเคราะห์โดย DDFS (ซ้าย) โดยไม่รวมผลจากการควอนไทซ์ของ DAC (ขวา) เมื่อรวมผลการควอนไทซ์ของ DAC .....	13
ภาพที่ 2.9	การหมุนเวกเตอร์ .....	16
ภาพที่ 2.10	วงจรถ้าสำหรับคำนวณแบบ CORDIC จำนวน N รอบ .....	17
ภาพที่ 2.11	การประมาณด้วยฟังก์ชันอย่างง่ายและแก้ไขด้วยรวม .....	18
ภาพที่ 2.12	โครงสร้าง DDFS ที่ใช้งาน DAC แบบไม่เป็นเชิงเส้น .....	18
ภาพที่ 2.13	แนวคิดการใช้ DAC แบบไม่เชิงเส้นอย่างง่าย .....	19
ภาพที่ 2.14	(ซ้าย) ผังโครงสร้างของ [15] (ขวา) การเรียงบิต .....	19
ภาพที่ 2.15	(ซ้าย) ผังโครงสร้างอย่างง่ายของ [17] (ขวา) การเรียงบิต .....	20
ภาพที่ 2.16	(ซ้าย) โครงสร้างภายในของ Switched Weighted Sum (ขวา) ตัวอย่างการคำนวณ .....	21
ภาพที่ 2.17	วงจรถ้าประมาณค่าโคไซน์โดยใช้วงจรถ้าขยายผลต่าง 6 วงจร [18] .....	22
ภาพที่ 2.18	การกำหนดระดับแรงดันและกระแสทั้ง 6 สำหรับวงจรถ้าประมาณค่าโคไซน์ .....	22
ภาพที่ 2.19	สัญญาณลักษณะทั่วไปของ DAC .....	23
ภาพที่ 2.20	การใช้ DAC สังเคราะห์สัญญาณสี่กบวก และกำหนดเครื่องหมายบวก-ลบภายหลัง .....	23
ภาพที่ 2.21	ตัวอย่างระดับแรงดันที่สร้างด้วย DAC แบบออฟเซต 0.5 ขั้ว .....	24
ภาพที่ 3.1	โครงสร้าง DDFS ที่ใช้วงจรถ้า .....	25
ภาพที่ 3.2	ฟังก์ชันของวงจรถ้าเดี่ยวอย่างง่ายเทียบกับชายน์อุดมคติ .....	27

ภาพที่ 3.3 ความผิดพลาดของการประมาณโดยใช้วงจรถัดเดี่ยวอย่างง่าย .....	27
ภาพที่ 3.4 สเปกตรัมความถี่ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดี่ยวอย่างง่าย .....	28
ภาพที่ 3.5 ความผิดพลาดของการประมาณโดยใช้วงจรถัดเดี่ยวที่ปรับพารามิเตอร์.....	30
ภาพที่ 3.6 สเปกตรัมความถี่ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดี่ยวที่ปรับพารามิเตอร์ (ISE เป็นเกณฑ์).....	30
ภาพที่ 3.7 โครงสร้าง DDFS ที่ใช้วงจรถัดเดี่ยวร่วมกับวิธีชดเชยเฟส .....	32
ภาพที่ 3.8 หลักการหาค่าชดเชย .....	32
ภาพที่ 3.9 กราฟของ $C(\cdot)$ เมื่อ $W = 9$ .....	33
ภาพที่ 3.10 การลดขนาดของรอมสำหรับเก็บค่าชดเชยเฟสของวงจรถัดเดี่ยว .....	33
ภาพที่ 3.11 โครงสร้าง DDFS ที่ใช้วงจรถัดเดี่ยวอย่างง่ายร่วมกับการแก้ไขความผิดพลาด.....	34
ภาพที่ 3.12 โครงสร้าง DDFS ที่ใช้วงจรถัดคู่.....	37
ภาพที่ 3.13 ความผิดพลาดของการประมาณโดยใช้วงจรถัดคู่อย่างง่าย.....	38
ภาพที่ 3.14 สเปกตรัมความถี่ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่อย่างง่าย .....	38
ภาพที่ 3.15 สเปกตรัมของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่ที่ปรับพารามิเตอร์แล้วให้ค่า SFDR สูงสุด .....	41
ภาพที่ 3.16 ค่าสำหรับชดเชยเฟส หรือ $q(x)$ .....	42
ภาพที่ 3.17 QDDFS ที่ใช้วงจรถัดคู่ที่ชดเชยเฟส.....	43
ภาพที่ 4.1 สัญลักษณ์และทิศทางการกระแส-แรงดันอ้างอิงของพีมอส .....	45
ภาพที่ 4.2 วงจรสะท้อนกระแสที่ใช้เอ็นมอส (ซ้าย) แบบปกติ (ขวา) แบบ Cascode .....	47
ภาพที่ 4.3 วงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม .....	48
ภาพที่ 4.4 แนวโน้มศักยภาพในวงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม เมื่ออุณหภูมิเปลี่ยน.....	49
ภาพที่ 4.5 ผลการจำลองการทำงานของวงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม .....	50
ภาพที่ 4.6 วงจรหลักของวงจรสร้างกระแสอ้างอิง .....	51
ภาพที่ 4.7 เพิ่มส่วนสร้างสภาพเปิดวงจรเสมือนของวงจรสร้างกระแสอ้างอิง .....	52
ภาพที่ 4.8 วงจรสร้างกระแสอ้างอิง .....	53
ภาพที่ 4.9 ผลการจำลองการทำงานของวงจรสร้างกระแสอ้างอิง .....	55
ภาพที่ 4.10 วงจรขยายผลต่าง.....	55
ภาพที่ 4.11 (ซ้าย) ฟังก์ชันของวงจรขยายผลต่าง (ขวา) รูปคลื่นคล้ายชายน้ำ.....	56

ภาพที่ 4.12 ผลของอุณหภูมิผ่าน  $\mu_p$  (ซ้าย) ฟังก์ชันวงจรรขยายผลต่าง (ขวา) รูปคลื่นคล้าย  
 ชายนี .....57

ภาพที่ 4.13 วงจรรขยายผลต่างที่ใช้พีมอสสร้างกระแสไบอัส .....58

ภาพที่ 4.14 วงจรรขยายผลต่างที่ใช้เป็นวงจรถัดเดี่ยวอย่างง่าย .....58

ภาพที่ 4.15 ลักษณะกระแส  $I_{DAC}$  สำหรับวงจรถัดเดี่ยว .....60

ภาพที่ 4.16 วงจรถัดชายนีและวงจรถัดโคชายนี ที่ใช้เป็นวงจรถัดคู่อย่างง่าย.....62

ภาพที่ 4.17 ลักษณะกระแส  $I_{DAC}$  สำหรับวงจรถัดคู่ .....62

ภาพที่ 4.18 SFDR ที่ลดลงเนื่องจากความผิดพลาดของสัดส่วนของอุดมคติ.....67

ภาพที่ 4.19 ผลการจำลองการทำงานด้วยแบบจำลองระดับ 49 SFDR ที่ลดลงเนื่องจาก  
 ความผิดพลาดของสัดส่วนของอุดมคติ .....67

ภาพที่ 5.1 ผังวงจรรอย่างง่ายของต้นแบบ DDFS ที่ใช้วงจรถัดเดี่ยวที่ชดเชยเฟส .....68

ภาพที่ 5.2 ภาพถ่ายต้นแบบ DDFS.....69

ภาพที่ 5.3 ฟังก์ชันที่ได้จาก  $f(X)$  ชายนีอุดมคติ,  $s(X)$  วงจรถัดที่ใช้มอสอุดมคติ,  $m(X)$   
 การวัด .....70

ภาพที่ 5.4 ค่าชดเชยเฟสกรณีใช้  $s(X)$  เพื่อประมาณ  $f(X)$  .....70

ภาพที่ 5.5 ค่าชดเชยเฟสกรณีใช้  $m(X)$  เพื่อประมาณ  $f(X)$  .....70

ภาพที่ 5.6 สเปกตรัมของสัญญาณที่ได้จากวงจรถัดเดี่ยว (บน) กรณีไม่ชดเชยเฟส (ล่าง-  
 ซ้าย) ชดเชยเฟสค่าที่คำนวณจาก  $s(X)$  (ล่าง-ขวา) ชดเชยเฟสค่าที่คำนวณ  
 จาก  $m(X)$  .....71

ภาพที่ 5.7 DDFS ที่ใช้วงจรถัดเดี่ยวที่แก้ไขความผิดพลาดด้วยรวมและวงจรรขยายผลต่าง .....72

ภาพที่ 5.8 วงจรถัดเดี่ยวพร้อมวงจรรขยายผลต่างสำหรับแก้ไขความผิดพลาด .....72

ภาพที่ 5.9 QDDFS ที่ใช้วงจรถัดคู่ที่ปรับพารามิเตอร์ .....74

ภาพที่ 5.10 สวิตช์กระแสและบัฟเฟอร์กระแส .....76

ภาพที่ 5.11 รูปคลื่นของ QDDFS กรณี  $F=8$ , ความถี่เอาต์พุต 6.25 kHz.....77

ภาพที่ 5.12 QDDFS ที่ใช้วงจรถัดคู่ที่ชดเชยเฟส .....77

## สารบัญตาราง

หน้า

ตารางที่ 3.1 SFDR และ THD ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดี่ยวอย่างง่าย .....	28
ตารางที่ 3.2 ความเพี้ยนของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดี่ยวที่ปรับพารามิเตอร์ .....	30
ตารางที่ 3.3 ค่าพารามิเตอร์และ THD การใช่วงจรขยายผลต่างแปดเหลี่ยมเป็นชายน์ [19].....	31
ตารางที่ 3.4 SFDR และขนาดรอม ของ DDFS ที่ใช่วงจรถัดเดี่ยวที่ชดเชยเฟส .....	34
ตารางที่ 3.5 SFDR และขนาดรอม ที่ใช่วงจรถัดเดี่ยวที่แก้ไขความผิดพลาด ( $W = 7$ ) .....	35
ตารางที่ 3.6 ค่าพารามิเตอร์ที่เหมาะสมสำหรับวงจรถัดชายน์บนช่วง $[0, 0.5]$ .....	39
ตารางที่ 3.7 ค่าพารามิเตอร์ที่เหมาะสมสำหรับวงจรถัดโคชายน์บนช่วง $[0, 0.5]$ .....	40
ตารางที่ 3.8 SFDR [dBc] จากสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่ที่ปรับพารามิเตอร์.....	40
ตารางที่ 3.9 THD [%] จากสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่ที่ปรับพารามิเตอร์.....	41
ตารางที่ 3.10 SFDR และขนาดรอม: วงจรถัดคู่และการชดเชยเฟส.....	43
ตารางที่ 3.11 SFDR ที่ได้จากการใช้ฟังก์ชันพหุนามประมาณฟังก์ชันชายน์ .....	44
ตารางที่ 4.1 สัดส่วนของมอสวงจรถัดคู่และชดเชยแรงดันขีดเริ่ม.....	50
ตารางที่ 4.2 สัดส่วนของมอสในวงจรถัดคู่และอ้างอิง .....	54
ตารางที่ 4.3 สัดส่วนของพีมอสในวงจรถัดเดี่ยวอย่างง่าย .....	60
ตารางที่ 4.4 สัดส่วนของพีมอสในวงจรถัดเดี่ยวที่ปรับพารามิเตอร์.....	61
ตารางที่ 4.5 สัดส่วนของพีมอสในวงจรถัดคู่อย่างง่าย .....	64
ตารางที่ 4.6 สัดส่วนของพีมอสในวงจรถัดคู่ที่ปรับพารามิเตอร์.....	65
ตารางที่ 4.7 สัมประสิทธิ์การเปลี่ยนแปลง SFDR ต่อความผิดพลาดของสัดส่วนมอส.....	66
ตารางที่ 5.1 SFDR ของสัญญาณที่ได้จาก DDFS ที่ใช่วงจรถัดเดี่ยวที่แก้ไขความผิดพลาด.....	74
ตารางที่ 5.2 เส้นทางการมัลติเพล็กซ์กระแสจากวงจรถัดคู่ออกไปยังเอาต์พุต เทียบกับ 3 MSBของ Phase Accumulator .....	75
ตารางที่ 5.3 SFDR ของสัญญาณที่ได้จาก DDFS ที่ใช่วงจรถัดคู่ที่ปรับพารามิเตอร์ .....	76
ตารางที่ 5.4 SFDR ของสัญญาณที่ได้จาก DDFS ที่ใช่วงจรถัดคู่ *ที่ชดเชยเฟส #ที่ไม่ได้ ชดเชยเฟส .....	78

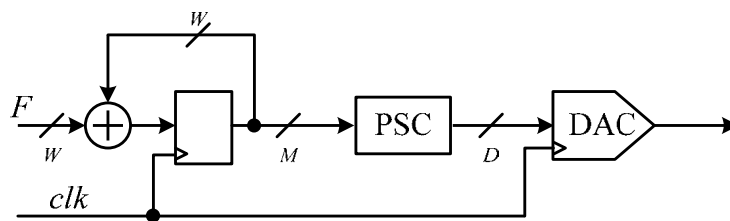
# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ตัวสังเคราะห์ความถี่ (Frequency Synthesizer) เป็นส่วนประกอบที่พบได้บ่อยในวงจรที่ใช้ในงานด้านต่างๆ เช่น การสื่อสาร การวัด การควบคุม เป็นต้น ความหลากหลายในการใช้งานทำให้ข้อกำหนดและคุณสมบัติของตัวสังเคราะห์ความถี่ที่ต้องการแตกต่างกันออกไป โครงสร้างของตัวสังเคราะห์ความถี่เป็นปัจจัยหลักที่มีผลต่อคุณสมบัติ และแบ่งออกได้ 3 แบบใหญ่ๆ [1] ได้แก่ Indirect (Phase Lock Loop), Direct-Analog, และ Direct-Digital ดังนั้นการเลือกใช้ตัวสังเคราะห์ความถี่ที่มีโครงสร้างแบบใด จึงขึ้นอยู่กับคุณสมบัติของโครงสร้างนั้นที่ส่งผลดีต่อการใช้งาน, คุณสมบัติของตัวสังเคราะห์ความถี่ที่สำคัญและถูกนำมาพิจารณาบ่อยครั้ง ได้แก่

- ช่วงความถี่ที่สังเคราะห์ได้ หรือ แบนด์วิธ
- วิธีการจูนความถี่, เวลาที่ใช้ในการจูนความถี่, ความละเอียดในการจูนความถี่
- ความเพี้ยนของสัญญาณที่สังเคราะห์ได้ ซึ่งนิยามวัดในเทอมของ THD (Total Harmonic Distortion) และ SFDR (Spurious Free Dynamic Range)
- เสถียรภาพของความถี่
- คุณสมบัติอื่นๆ เช่น ขนาดวงจร และ กำลังไฟฟ้า เป็นต้น



ภาพที่ 1.1 โครงสร้างทั่วไปของ DDFS

DDFS (Direct Digital Frequency Synthesizer) ที่มีโครงสร้างในภาพที่ 1.1 ถูกนำเสนอครั้งแรกใน [2], วงจรบวกและรีจิสเตอร์ประกอบกันเป็นส่วนที่เรียกว่า Phase Accumulator ทำหน้าที่เก็บค่าดิจิทัลที่เพิ่มขึ้นทุกคาบนาฬิกา จนกระทั่งเกินช่วงค่าที่รีจิสเตอร์จะเก็บได้ ซึ่งเรียกว่า โอเวอร์โฟลว์ (Overflow) จากนั้นค่าในรีจิสเตอร์จะถูกสะสมใหม่อีกครั้ง จะเห็นได้ว่าค่าดิจิทัลที่

เก็บไว้ในรีจิสเตอร์ จึงสามารถเทียบได้กับเฟสของฟังก์ชันไซน์ที่มีลักษณะเป็นรายคาบและซ้ำกัน  
 ทุกๆ  $2\pi$  , ค่าเฟสดิจิตอลนี้ถูกส่งต่อไปยัง Phase-to-Sine Converter (PSC) เพื่อคำนวณค่า  
 ฟังก์ชันไซน์ แล้วแปลงให้เป็นสัญญาณแอนาลอกโดย Digital-to-Analog Converter (DAC)  
 เอาต์พุตสุดท้ายจะเป็นสัญญาณแอนาลอกที่มีรูปคลื่นแบบไซน์, จากโครงสร้างนี้ทำให้เรา  
 สามารถจูนความถี่ได้อย่างแม่นยำโดยผ่านสัญญาณดิจิตอล

ปัจจุบัน DDFS ได้รับความนิยมเพิ่มขึ้น เนื่องจากโครงสร้างมีข้อดีหลายประการ เช่น  
 เสถียรภาพของความถี่สูง ความเพี้ยนของสัญญาณต่ำ ความละเอียดการจูนสูง ใช้เวลาเพื่อจูน  
 ความถี่น้อย ขณะจูนความถี่เฟสยังคงต่อเนื่อง และ สามารถควบคุมด้วยดิจิตอลได้, การควบคุม  
 ด้วยดิจิตอลนี้เปิดโอกาสให้ไมโครโพรเซสเซอร์หรือวงจรถิจิตอลอื่นๆ เข้ามามีบทบาทในการ  
 สังเคราะห์สัญญาณได้ ไมโครโพรเซสเซอร์จึงสามารถกำหนดรูปแบบและพารามิเตอร์ของการ  
 มอดูเลชันได้โดยตรง ทำให้รูปแบบการมอดูเลชันมีความหลากหลายและปรับเปลี่ยนได้ด้วย  
 ซอฟต์แวร์ ดังนั้นความนิยมที่จะนำ DDFS ไปใช้งานด้านสื่อสารยุคใหม่ซึ่งมีแนวโน้มเป็นแบบ  
 Software Defined Radio (SDR) [3] จึงเพิ่มขึ้นอย่างรวดเร็ว

ในยุคแรกๆ การใช้งาน DDFS ยังอยู่ในวงจำกัด เพราะโครงสร้างมีความซับซ้อนสูง  
 โดยเฉพาะอย่างยิ่ง PSC ซึ่งใน DDFS แบบดั้งเดิมใช้รวมทำหน้าที่ PSC ถ้าต้องการสัญญาณที่มี  
 ความเพี้ยนต่ำ ก็ต้องใช้รวมขนาดใหญ่ตามไปด้วย เป็นผลให้ใช้กำลังไฟฟ้าสูง อีกทั้งในโครงสร้าง  
 DDFS ต้องใช้ทั้งวงจรถิจิตอลและแอนาลอกซึ่งส่งผลให้ต้นทุนสูง, การใช้งาน DDFS จึงอยู่ในงาน  
 กลุ่มที่ยอมรับการใช้กำลังไฟฟ้าและต้นทุนที่สูงได้ ตัวอย่างเช่น ใช้ในการทหาร ระบบเรดาร์ สถานี  
 ฐานของระบบสื่อสาร หรือ อุปกรณ์ประเภท High-End ต่างๆ แต่ในปัจจุบันการพัฒนาของ  
 เทคโนโลยีสารกึ่งตัวนำที่ก้าวหน้าไปมากทำให้เราสามารถสร้างวงจรมีความซับซ้อนสูง และยัง  
 สร้างวงจรรวมกับวงจรถิจิตอลในชิปเดียวได้โดยมีต้นทุนต่ำลง ส่งผลให้ DDFS เริ่มเป็น  
 ตัวเลือกที่น่าสนใจสำหรับการใช้งานที่กว้างขวางมากกว่าเดิม

ในทางปฏิบัติ DDFS สามารถสังเคราะห์ความถี่สูงสุดได้ประมาณ 1/3 ของความถี่นาฬิกา  
 ถ้าเพิ่มความถี่เอาต์พุตให้สูงขึ้น โดยการเพิ่มความถี่นาฬิกาจะทำให้กำลังไฟฟ้าสูงตามไปด้วย และ  
 ช่วงความถี่ของ DDFS เองก็ต่ำกว่าย่านความถี่ออกอากาศอยู่มาก ดังนั้น DDFS ส่วนใหญ่จึงถูก  
 ใช้งานเพื่อมอดูเลตข้อมูลในย่านความถี่ Baseband แล้วอาศัยตัวสังเคราะห์ความถี่ประเภทอื่นที่  
 ให้ความถี่ในย่านความถี่วิทยุได้อย่างเช่น PLL [4] มาใช้เพื่อย้ายความถี่ขึ้นไปในย่านความถี่  
 ออกอากาศอีกครั้งหนึ่ง

งานวิจัยที่เกี่ยวข้องกับ DDFS ในช่วงสิบปีหลังส่วนใหญ่ เป็นการค้นคว้าหาวิธีลดความซับซ้อนของ PSC โดยพยายามรักษาระดับความเพี้ยนให้อยู่ในระดับที่ยอมรับได้ ทั้งนี้ก็เพราะวงจรที่ซับซ้อนน้อยลงจะนำไปสู่ขนาดและกำลังไฟฟ้าที่ต่ำลงไปด้วย, กำลังไฟฟ้าส่วนใหญ่กว่าร้อยละ 80 ของ DDFS เกิดขึ้นที่ PSC [5] ดังนั้นความสำคัญของการลดความซับซ้อนของ PSC ก็คือการทำให้สามารถนำ DDFS ไปใช้ในงานที่มีขีดจำกัดด้านกำลังไฟฟ้าต่ำได้

วิทยานิพนธ์นี้ได้นำเสนอ DDFS ที่ใช้วงจรตัด (Shaper) ซึ่งเป็นวงจรแอนาล็อกที่มีความซับซ้อนต่ำ วงจรตัดถูกมาใช้ประมาณฟังก์ชันซายน์ แทนที่การคำนวณด้วยรอมแบบดั้งเดิม และ PSC แบบดิจิทัลที่นำเสนอในงานวิจัยต่างๆ, โดยรวมโครงสร้างของ DDFS ที่ได้นี้จะมีความซับซ้อนและขนาดวงจรเล็ก ซึ่งจะนำไปสู่การลดกำลังไฟฟ้าอย่างมีนัยสำคัญ, วงจรตัดที่ใช้ในวิทยานิพนธ์นี้มีสองโครงสร้างเรียกว่า วงจรตัดเดี่ยว และ วงจรตัดคู่, การใช้ฟังก์ชันของวงจรตัดเพื่อประมาณฟังก์ชันซายน์จะอธิบายในบทที่ 3 และการออกแบบวงจรตัดจะอยู่ในบทที่ 4 ส่วนเนื้อหาในบทที่ 5 จะเป็นผลการจำลองการทำงาน DDFS ที่ใช้วงจรตัด และ ต้นแบบ DDFS ที่ใช้เอฟพีจีเอเป็นฐาน

วิทยานิพนธ์นี้ยังได้นำเสนอ 3 วิธีการเพื่อเพิ่มความแม่นยำในการประมาณฟังก์ชันซายน์ของวงจรตัด ได้แก่ วิธีปรับพารามิเตอร์ วิธีชดเชยเฟส และ วิธีแก้ไขความผิดพลาด ดังนั้น DDFS ที่นำเสนอนี้จึงมีโครงสร้างที่ซับซ้อนต่ำ ใช้กำลังไฟฟ้าต่ำ แต่ยังคงให้คุณภาพสัญญาณสูงในย่าน Baseband

## 1.2 วัตถุประสงค์ของการวิจัย

- 1.2.1 เสนอวงจรตัดแบบต่างๆ พร้อมการวิเคราะห์ความเพี้ยน เมื่อนำมาใช้ตัดสินสัญญาณสามเหลี่ยมเป็นซายน์
- 1.2.2 เสนอโครงสร้างตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงที่มีความซับซ้อนต่ำโดยใช้วงจรตัดเป็นส่วนประกอบพร้อมกับวงจร
- 1.2.3 เสนอวงจรดิจิทัลขนาดเล็กที่สามารถลดความเพี้ยนให้กับตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงที่ใช้วงจรตัด



### 1.3 ขอบเขตของการวิจัย

- 1.3.1 ออกแบบและสร้างวงจรตัดที่นำเสนอบรรยากาศด้วยวงจรต้นแบบตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงที่ใช้วงจรตัดเดี่ยวที่ซดเซยเฟส ด้วยไอซี MOS-Array, FPGA, และ Op-Amp ให้สามารถส่งเคราะห์สัญญาณที่มีความเพี้ยน SFDR > 40 dBc, ความถี่สุ่ม  $f_{CLK} = 0.78125$  MHz
- 1.3.2 ออกแบบวงจรตัดเดี่ยวที่แก้ไขความผิดพลาด, วงจรตัดคู่ที่ปรับพารามิเตอร์, และวงจรตัดคู่ที่ซดเซยเฟส ด้วยเทคโนโลยีวงจรรวมซีมอส 0.18 ไมครอน ให้สามารถส่งเคราะห์สัญญาณที่มีความเพี้ยน SFDR > 50 dBc, ความถี่สุ่ม  $f_{CLK} = 1.6$  MHz
- 1.3.3 คำนวณค่าพารามิเตอร์สำหรับการออกแบบวงจรตัดที่เหมาะสมที่สุดด้วย MATLAB
- 1.3.4 จำลองการทำงานของวงจรตัดด้วย HSPICE โดยใช้แบบจำลองมอสระดับ 49

### 1.4 ประโยชน์ที่ได้รับจากงานวิจัย

- 1.4.1 ได้โครงสร้างของตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงแบบใหม่
- 1.4.2 ได้โครงสร้างอย่างง่ายของตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงที่ใช้กำลังไฟฟ้าต่ำ
- 1.4.3 ได้ต้นแบบตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงที่สามารถนำไปประยุกต์ใช้ในวงกลุ่มต่างๆ ได้เช่น การสื่อสารดิจิตอล และ การวัด เป็นต้น

### 1.5 วิธีดำเนินการวิจัย

- 1.5.1 ศึกษาโครงสร้างตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงจากงานวิจัยก่อนหน้า
- 1.5.2 ศึกษาวิเคราะห์วงจรตัดที่ให้ฟังก์ชันส่งผ่านใกล้เคียงฟังก์ชันชานน์ โดยใช้ MATLAB
- 1.5.3 ออกแบบและทดสอบตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงที่ใช้วงจรตัดคู่ด้วย HSPICE
- 1.5.4 ออกแบบและสร้างตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงที่ใช้วงจรตัดเดี่ยวด้วย MOS-array, FPGA, และ Op-Amp
- 1.5.5 ทดสอบและปรับปรุงวงจรตัวส่งเคราะห์ความถี่ดิจิตอลโดยตรงที่ใช้วงจรตัดเดี่ยว
- 1.5.6 เขียนรายงาน และ วิทยานิพนธ์

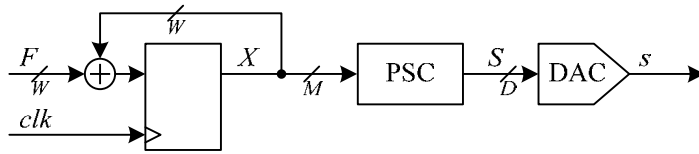
## บทที่ 2

### ตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงแบบทั่วไป

ในบทนี้จะกล่าวถึงหลักการการทำงานของ DDFS แบบดั้งเดิม และทบทวนโครงสร้าง DDFS ที่ใช้การประมาณฟังก์ชันไซน์ด้วยเทคนิคต่างๆ ซึ่งถูกนำเสนอในงานวิจัยในยุคต่อมา นอกจากนี้ เราจะอภิปรายคุณสมบัติสมมาตรของฟังก์ชันตรีโกณที่นำมาใช้บ่อยใน DDFS และ DAC แบบออฟเซตครึ่งขั้นสำหรับใช้งานใน DDFS ที่ใช้วงจรมอดูโลในการประมาณฟังก์ชันไซน์

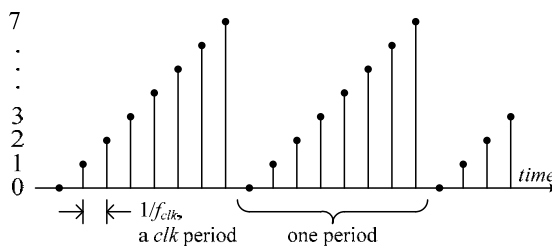
#### 2.1 โครงสร้างและหลักการทำงาน

โครงสร้าง DDFS แบบทั่วไปแสดงในภาพที่ 2.1 ประกอบด้วย 3 ส่วน ได้แก่ Phase Accumulator, Phase-to-Sine Converter (PSC), และ Digital-to-Analog Converter (DAC)



ภาพที่ 2.1 โครงสร้างของตัวสังเคราะห์ความถี่ดิจิทัลโดยตรงแบบทั่วไป

ส่วนแรก Phase Accumulator ประกอบด้วยวงจรมอดูโลและรีจิสเตอร์ขนาด  $W$  บิต รับอินพุต  $F$  มาบวกกับค่าที่เก็บไว้ในรีจิสเตอร์  $X$ , แล้วนำผลบวกกลับไปเก็บในรีจิสเตอร์ซึ่งถูกทริกด้วยนาฬิกา  $clk$  ทำให้ค่า  $X$  เพิ่มขึ้นครั้งละ  $F$  ทุกๆ คาบนาฬิกา, เมื่อ  $X$  มีค่ามากกว่า  $2^W - 1$  หรือเกิดโอเวอร์โฟลว์ รีจิสเตอร์จะเก็บเฉพาะ  $W$  บิตล่าง และละเลยส่วนที่เกินช่วงทิ้งไปค่า  $X$  จึงกลับไปมีค่าต่ำอีกครั้ง สมมติให้  $F=1, W=3$  แล้วค่าของ  $X$  จะมีลักษณะตามภาพที่ 2.2 จะเห็นได้ว่า  $X$  มีลักษณะเป็นรายคาบและคล้ายกับพฤติกรรมของมุมเฟสของฟังก์ชันตรีโกณ, ค่าของ  $X$  ในช่วง  $[0, 2^W - 1]$  จึงสามารถพิจารณาให้สอดคล้องกับค่ามุมเฟสในช่วง  $[0, 2\pi]$  ได้



ภาพที่ 2.2 ลักษณะเอาต์พุตของ Phase Accumulator เมื่อ  $F = 1, W = 3$

ส่วนประกอบที่สองของ DDFS คือ PSC, ใน DDFS แบบดั้งเดิมจะใช้รวมทำหน้าที่เป็น PSC เพื่อคำนวณค่าฟังก์ชันไซน์  $S$ , ในบางกรณีผู้ออกแบบจะใช้ การตัดทิ้ง (Truncation) เพื่อลดขนาดของรวม กล่าวคือ บิตนัยสูงของ  $X$  จำนวน  $M$  บิตจะถูกเลือกมาป้อนให้ PSC โดยละเลยบิตนัยต่ำทิ้งไป และช่วงของ  $X$  ที่ป้อนให้ PSC จะกลายเป็น  $[0, 2^M - 1]$  โดยที่  $M < W$ , ดังนั้นฟังก์ชันไซน์ที่ PSC คำนวณก็คือ

$$S = \left[ A \times \sin \left( 2\pi \frac{X}{2^M} \right) \right]_{\text{Round}} \quad (2.1)$$

เมื่อ  $A$  คือจำนวนเต็มที่ถูกคูณเข้ากับฟังก์ชันไซน์ ทำหน้าที่เป็นแอมพลิจูดของสัญญาณ และทำให้  $S$  สามารถควอนไทส์ได้ด้วยข้อมูลขนาด  $D$  บิต ฟังก์ชันไซน์ที่คำนวณได้จะถูกส่งต่อไปให้ DAC เพื่อแปลงเป็นแอนาลอกต่อไป, ขนาดของรวมที่ใช้ในกรณีนี้มีค่าเป็น

$$\text{ROM Size} = 2^M \times D \quad (2.2)$$

จะเห็นได้ว่าขนาดของรวมขึ้นอยู่กับบริโวลูชันของการควอนไทส์ทั้งเฟส  $M$ , และแอมพลิจูด  $D$

สัญญาณเอาต์พุตสุดท้ายของ DDFS คือ  $s$  มีความถี่ขึ้นอยู่กั  $F$  และความถี่ของนาฬิกา, ถ้า  $F$  มีค่ามาก โอเวอร์โพลล์จะเกิดบ่อยทำให้ได้ความถี่สูง และถ้า  $clk$  มีความถี่สูง ก็เห็นได้ชัดว่าโอเวอร์โพลล์จะเกิดเร็วขึ้นเช่นกัน สมการของความถี่เอาต์พุตคือ

$$f_{OUT} = \frac{F}{2^W} \times f_{clk} \quad (2.3)$$

และสังเกตได้ว่าความละเอียดการจูนหรือขึ้นความถี่มีค่าเป็น

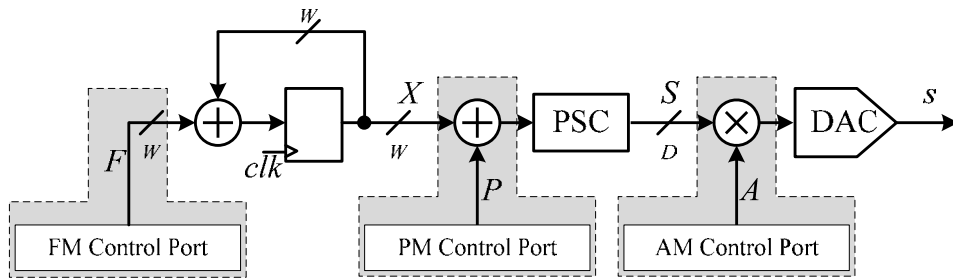
$$\text{Frequency Step} = \frac{f_{clk}}{2^W} \quad (2.4)$$

จาก (2.3) และ (2.4) ชี้ให้เห็นว่า  $W$  มีผลต่อขึ้นความถี่และความถี่เอาต์พุต การตัดทิ้งที่ทำให้ขนาดของเฟสลดลงเหลือ  $M$  บิต จะไม่ส่งผลต่อความถี่ของสัญญาณที่สังเคราะห์ได้ แต่จะทำให้มีความเพี้ยนมากขึ้น [6], สำหรับการศึกษานี้จะไม่รวมผลของการตัดทิ้ง จึงเลือกใช้ DDFS ที่มี  $W = M$  ตลอดทั้งวิทยานิพนธ์นี้

## 2.2 ข้อดีและลักษณะการใช้งาน DDFS

DDFS ถูกนำมาใช้งานในการสื่อสารยุคใหม่ที่โครงสร้างแบบ SDR เป็นอย่างมาก เพราะ DDFS อนุญาตให้ซอฟต์แวร์สามารถกำหนดรูปแบบการมอดูเลตได้ ดังแสดงในภาพที่ 2.3, ผู้ออกแบบซอฟต์แวร์ให้ส่งข้อมูลออกมาทางพอร์ตเพื่อควบคุมรูปแบบการมอดูเลตได้ ดังเช่น  $F$  แทนข้อมูลที่ต้องการมอดูเลตเชิงความถี่,  $P$  แทนข้อมูลที่ต้องการมอดูเลตเชิงเฟส, และ  $A$  แทนข้อมูลที่ต้องการมอดูเลตเชิงแอมพลิจูด

นอกจากนี้ DDFS ยังมีข้อดีอีกหลายประการเมื่อเทียบกับตัวสังเคราะห์แบบอื่น ได้แก่ เสถียรภาพของความถี่สูง, ความละเอียดของการจูนความถี่สูง, ช่วงเวลาการจูนความถี่สั้น, เฟสต่อเนื่องขณะจูนความถี่, แอมพลิจูดคงที่ไม่ขึ้นกับความถี่, และ มีความหลากหลายในการออกแบบเพื่อให้เหมาะสมกับการใช้งาน



ภาพที่ 2.3 ตัวอย่างการใช้งาน DDFS ที่ควบคุมได้ด้วยระบบดิจิทัล [4]

DDFS สามารถให้เอาต์พุตที่มีเสถียรภาพของความถี่สูงได้ เนื่องจาก  $f_{clk}$  เป็นตัวหลักในการกำหนดความถี่เอาต์พุตตาม (2.3), โดยทั่วไปในระบบอิเล็กทรอนิกส์เราสามารถสร้างนาฬิกาอ้างอิง  $f_{clk}$  ได้จากผลึกซึ่งมีเสถียรภาพสูงอยู่แล้ว เป็นผลให้เสถียรภาพของ  $f_{OUT}$  สูงตามไปด้วย จากสมการ (2.4) เราสามารถเลือกความละเอียดของการจูนความถี่ได้จากการเลือกค่า  $W$  ถ้าต้องการความละเอียดสูง ก็ต้องเลือกใช้  $W$  สูง

การจูนความถี่ใน DDFS ใช้เวลาน้อย เพราะจากความจริงที่ว่า ความถี่ คือ อัตราการเปลี่ยนแปลงเฟส ดังนั้นเมื่อเราเปลี่ยนค่า  $F$  ก็จะทำให้อัตราการเปลี่ยนแปลงของ  $X$  เทียบกับเวลาเปลี่ยนได้ภายใน 1 คาบนาฬิกา, และผลนี้จะกระทบไปที่เอาต์พุตได้โดยอาศัยเวลาอีก 2-3 คาบ ขึ้นอยู่กับแต่ละโครงสร้างของ DDFS ดังนั้นการจูนความถี่จึงใช้เวลาสั้นไม่กี่คาบนาฬิกา และด้วยคุณสมบัตินี้ DDFS จึงเอื้อประโยชน์ต่อการสื่อสารที่ใช้ Spread Spectrum ซึ่งต้องอาศัยการเปลี่ยนความถี่อย่างรวดเร็ว

DDFS มีคุณสมบัติเฟสต่อเนื่องขณะจูนความถี่ได้เพราะ ลักษณะการทำงานของ Phase Accumulator ที่บวกสะสมเฟส  $X$  ต่อจากค่าเดิมไปเรื่อยๆ ไม่เกิดการกระโดดของเฟสขึ้นขณะที่ค่าของ  $F$  เปลี่ยนไป ซึ่งคุณสมบัตินี้จะส่งผลดีต่อการมอดูเลตเชิงเฟส

จากโครงสร้างของ DDFS แอมพลิจูดของสัญญาณที่สังเคราะห์ได้ ขึ้นอยู่กับแรงดัน (หรือกระแส) เต็มสเกลของ DAC จึงเห็นได้ชัดว่าแอมพลิจูดมีค่าคงที่ไม่ขึ้นกับความถี่

สุดท้าย DDFS มีความหลากหลายสามารถเลือก  $W$ ,  $M$ , และ  $D$  เพื่อให้ได้ ระดับความเพี้ยน, ขนาดวงจร, และกำลังไฟฟ้า เหมาะสมสำหรับแต่ละการใช้งาน

แม้ว่า DDFS มีข้อดีอยู่มาก ทว่าข้อด้อยอันเกิดจากโครงสร้างก็มีอยู่ ได้แก่ ในทางปฏิบัติ ความถี่ที่สังเคราะห์ได้จะอยู่ในช่วง  $0 - 1/3$  ของ  $f_{clk}$  (หรือในทางทฤษฎี Nyquist ความถี่จะอยู่ในช่วง  $0 - 1/2$  ของ  $f_{clk}$ ) ถ้าเราต้องการความถี่เอาต์พุตที่สูงขึ้นก็จำเป็นต้องเพิ่ม  $f_{clk}$  ให้สูงขึ้น แต่การเพิ่มความถี่จะทำให้ต้องใช้กำลังมาก, สมมติให้ DDFS สร้างด้วยวงจรมอสทั้งหมด แล้วกำลังที่ใช้คำนวณได้จาก

$$Power = C f_{clk} V_{DD}^2 \quad (2.5)$$

เมื่อ  $V_{DD}$  คือแรงดันซัพพลาย, และ  $C$  คือค่าความเก็บประจุที่เกิดขึ้นจากเกตภายในวงจร เนื่องด้วยความซับซ้อนของ PSC จึงต้องใช้จำนวนเกตมากและส่งผลให้  $C$  มีค่าสูงไปด้วย จึงเห็นได้ว่าความซับซ้อนของ PSC เป็นเหตุให้กำลังไฟฟ้าสูง

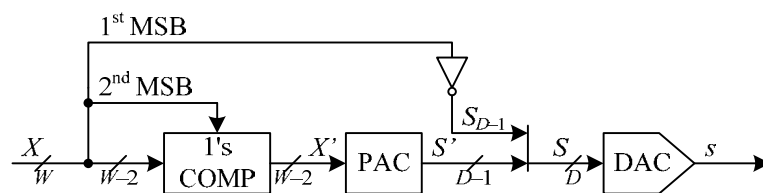
การลดความซับซ้อนของ PSC มักจะเพิ่มความเพี้ยนของสัญญาณที่สังเคราะห์ได้ ดังนั้นการถ่วงดุลระหว่างการลดความซับซ้อนของ PSC กับระดับความเพี้ยนที่เพิ่มขึ้นจึงเป็นประเด็นสำคัญอันหนึ่งในการวิจัย

### 2.3 คุณสมบัติสมมาตร 1/4 คาบ

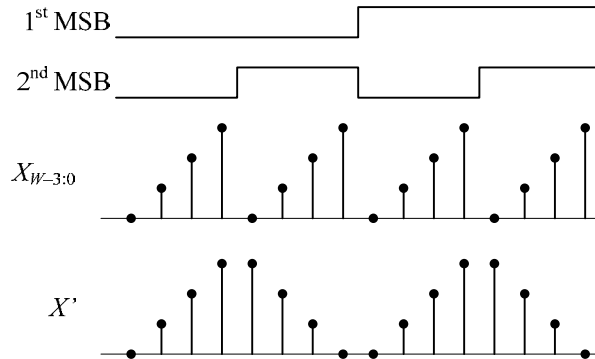
คุณสมบัติของฟังก์ชันตรีโกณที่รู้จักกันดี อย่างเช่น คุณสมบัติสมมาตร 1/4 คาบ ที่ว่า

$$\sin(\theta) = \begin{cases} \sin(\theta) & ; 0 \leq \theta < \frac{\pi}{2} \\ \sin(\pi - \theta) & ; \frac{\pi}{2} \leq \theta < \pi \\ -\sin(\theta - \pi) & ; \pi \leq \theta < \frac{3\pi}{2} \\ -\sin(2\pi - \theta) & ; \frac{3\pi}{2} \leq \theta < 2\pi \end{cases} \quad (2.6)$$

ถูกนำมาใช้เพื่อลดขนาดของรอมได้มากกว่าร้อยละ 75 เพราะฟังก์ชันซายน์หนึ่งคาบ  $[0, 2\pi]$  สามารถสร้างได้จากฟังก์ชันซายน์ในควอดแรนต์ที่ 1 หรือมุมเฟสในช่วง  $[0, \pi/2]$



ภาพที่ 2.4 การใช้คุณสมบัติสมมาตร 1/4 คาบใน DDFS



ภาพที่ 2.5 ลักษณะเฟสดีจิตอลที่ถูกปรับโดยคุณสมบัติสมมาตร 1/4 คาบ

ภาพที่ 2.4 แสดงโครงสร้าง DDFS ที่ใช้คุณสมบัติ 1/4 คาบ, บิตต่ำจำนวน  $W - 2$  บิตของ  $X$  จะถูกป้อนผ่านวงจรคอมพลิเมนต์โดยมีบิตสูงลำดับ 2 เป็นตัวควบคุมการกลับบิต ถ้าบิตสูงลำดับ 2 มีค่าเป็น '1' แล้วบิตนัยต่ำจะถูกกลับค่าบิต ดังแสดงผังเวลาที่แสดงในภาพที่ 2.5, ส่วนบิตสูงสุดจะทำหน้าที่ควบคุมเครื่องหมายของฟังก์ชันไซน์โดยการป้อนเป็นบิตสูงสุดให้กับ DAC, ดังนั้น PSC จะคำนวณฟังก์ชันไซน์เฉพาะบนช่วงเฟสในควอดแดรนต์ที่ 1 เท่านั้น ซึ่งจะให้ค่าฟังก์ชันเฉพาะซีกบวก เป็นผลให้ขนาดของรวมที่ใช้เหลือเพียง

$$\text{ROM Size} = 2^{W-2} \times (D-1) \quad (2.7)$$

ซึ่งน้อยกว่าร้อยละ 25 ของขนาดรวมใน (2.2) ในเงื่อนไขที่เลือก  $W = M$

สังเกตได้ว่า  $S$  ที่ส่งให้ DAC ได้ในภาพที่ 2.4 มีการเข้ารหัสเป็นแบบ Signed and Magnitude เพื่อรักษาความสมมาตรรอบแกนนอน, PSC จะคำนวณฟังก์ชันไซน์ โดยชดเชยเฟส 0.5 ขึ้นตามสมการ [7]

$$S' = \left[ (2^{D-1} - 1) \cdot \sin \left( \frac{X' + 0.5}{2^W} \cdot 2\pi \right) \right]_{\text{round}} \quad (2.8)$$

$S'$  เป็นบิตนัยต่ำของอินพุตของ DAC ซึ่งแทนขนาดของฟังก์ชันไซน์ ส่วนบิตสูงสุดของ  $S'$  จะได้จากการกลับค่าบิตสูงสุดของ  $X$  ซึ่งแทนเครื่องหมายบวก/ลบของสัญญาณ

## 2.4 QDDFS

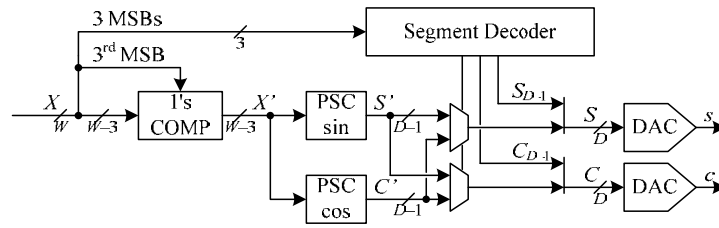
DDFS แบบควอดราเชอร์ (Quadrature DDFS) หรือเรียกว่า QDDFS สามารถให้เอาต์พุตสองสัญญาณที่ต่างเฟสกัน 90 องศาได้ หรือกล่าวอีกนัยหนึ่งว่า QDDFS สามารถสังเคราะห์สัญญาณไซน์และโคไซน์พร้อมกันได้ ดังนั้นในโครงสร้างของ QDDFS จึงต้องการ DAC สองตัว

ดังภาพที่ 2.6 ส่วนการคำนวณฟังก์ชันซายน์-โคซายน์จะอาศัยคุณสมบัติสมมาตร 1/8 คาบ, กล่าวคือฟังก์ชันซายน์หนึ่งคาบสามารถสร้างได้จากซายน์และโคซายน์บนช่วง  $[0, \pi/4]$  ตามสมการ

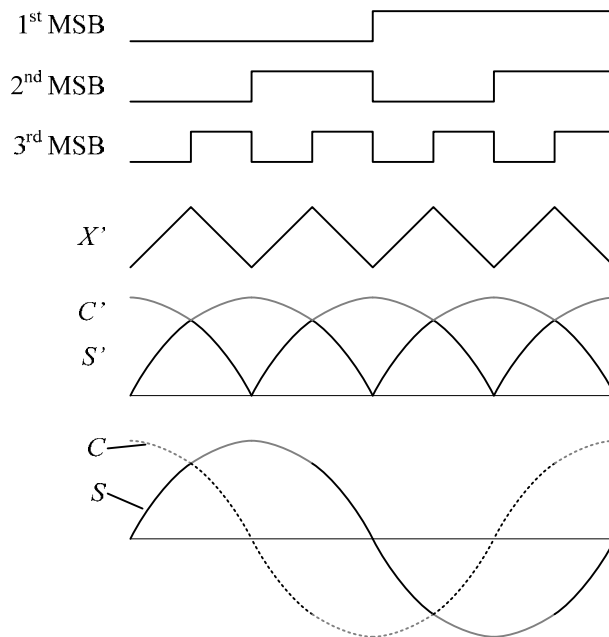
$$\sin(\theta) = \begin{cases} \sin(\theta) & ; 0 \leq \theta < \frac{\pi}{4} \\ \cos\left(\frac{\pi}{2} - \theta\right) & ; \frac{\pi}{4} \leq \theta < \frac{\pi}{2} \\ \cos\left(\theta - \frac{\pi}{2}\right) & ; \frac{\pi}{2} \leq \theta < \frac{3\pi}{4} \\ \sin(\pi - \theta) & ; \frac{3\pi}{4} \leq \theta < \pi \\ -\sin(\theta - \pi) & ; \pi \leq \theta < \frac{5\pi}{4} \\ -\cos\left(\frac{3\pi}{2} - \theta\right) & ; \frac{5\pi}{4} \leq \theta < \frac{3\pi}{2} \\ -\cos\left(\theta - \frac{3\pi}{2}\right) & ; \frac{3\pi}{2} \leq \theta < \frac{7\pi}{4} \\ -\sin(2\pi - \theta) & ; \frac{7\pi}{4} \leq \theta < 2\pi \end{cases} \quad (2.9)$$

ส่วนการสังเคราะห์โคซายน์ก็สามารถทำได้ในทำนองเดียวกับ (2.9)

พิจารณาโครงสร้าง QDDFS ในภาพที่ 2.6 บิตต่ำจำนวน  $W-3$  บิตของ  $X$  จาก Phase Accumulator จะถูกป้อนผ่านวงจรถอดรหัสเมนตี่ควบคุมโดยบิตสูงลำดับสาม เพื่อปรับให้ได้  $X'$  ซึ่งเทียบเท่ากับใน ช่วง  $[0, \pi/4]$ ,  $X'$  เป็นรูปแบบที่พร้อมป้อนให้กับ PSC-sin และ PSC-cos เพื่อคำนวณฟังก์ชันซายน์และโคซายน์ตามลำดับ, สามบิตนัยสูงสุดของ  $X'$  จะถูกป้อนให้กับวงจรถอดรหัสเมนตี่ เพื่อเลือกค่าที่คำนวณได้จาก PSC ทั้งสองออกไปยังเอาต์พุตซายน์และโคซายน์ โดยผ่านมัลติเพลกเซอร์ นอกจากนี้วงจรถอดรหัสยังกำหนดเครื่องหมายบวก/ลบของเอาต์พุตสุดท้ายด้วย, การทำงานของวงจรถอดรหัสจะอาศัยตามคุณสมบัติสมมาตร 1/8 คาบเป็นหลัก, สัญญาณต่างๆ ใน QDDFS แสดงในผังเวลาภาพที่ 2.7



ภาพที่ 2.6 โครงสร้าง QDDFS แบบทั่วไป



ภาพที่ 2.7 ช่วงเวลาของลักษณะสัญญาณต่างๆ ใน QDDFS

เพื่อรักษาสมาตราบรรอบแกนนอน PSC-sin และ PSC-cos ใน QDDFS จึงต้องคำนวณฟังก์ชันด้วยการชดเชยเฟส 0.5 ขึ้นเช่นเดียวกับการใช้คุณสมบัติสมมาตร 1/4 คาบการคำนวณของ PSC ทั้งสองซึ่งเป็นไปตามสมการ

$$S' = \left[ (2^{D-1} - 1) \cdot \sin \left( \frac{X' + 0.5}{2^W} \cdot 2\pi \right) \right]_{\text{round}} \quad (2.10)$$

และ

$$C' = \left[ (2^{D-1} - 1) \cdot \cos \left( \frac{X' + 0.5}{2^W} \cdot 2\pi \right) \right]_{\text{round}} \quad (2.11)$$

ขนาดของรอมที่ใช้สำหรับ PSC แต่ละตัวคือ

$$\text{ROM Size} = 2^{W-3} \times (D-1) \quad (2.12)$$

ซึ่งจะเป็นครึ่งหนึ่งของ (2.7) แต่เมื่อพิจารณารวมทั้งสองตัวแล้วขนาดของรอมจะเท่าเดิม



## 2.5 ความเพี้ยนของสัญญาณที่สังเคราะห์ได้

ดัชนีที่นิยมใช้วัดความเพี้ยนของสัญญาณได้แก่ THD ซึ่งมีนิยามเป็น

$$\% \text{THD} = \sqrt{\frac{\sum_{i=2}^N b_i^2}{b_1^2}} \times 100\% \quad (2.13)$$

เมื่อ  $b_1$  เป็นองค์ประกอบความถี่มูลฐาน และ  $b_i$  เป็นองค์ประกอบความถี่ฮาร์โมนิกที่  $i$ , จากนิยาม THD คือสัดส่วนของผลรวมกำลังของฮาร์โมนิกส์ต่างๆ ต่อกำลังของความถี่มูลฐาน, ปกติเราจะรวมไปถึงฮาร์โมนิกที่  $N$  ซึ่งยังอยู่ในแบนด์วิธของการใช้งานอยู่

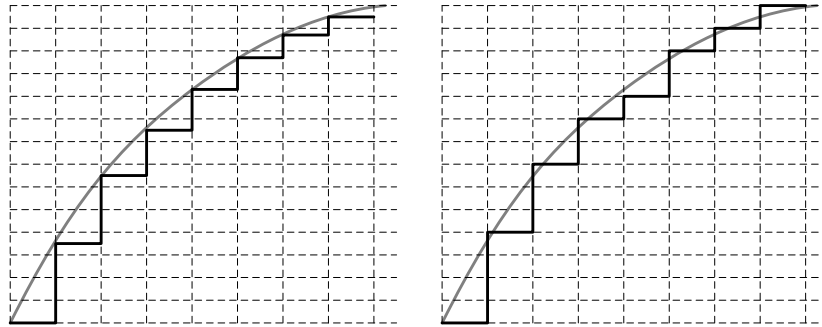
อีกดัชนีหนึ่งที่นิยมใช้วัดความเพี้ยนที่ได้จาก DDFS คือ SFDR เป็นสัดส่วนขององค์ประกอบความถี่มูลฐานต่อองค์ประกอบฮาร์โมนิกส์ที่มากที่สุดที่อยู่ในแถบความถี่ที่กำหนด หรือ แบนด์วิธที่ใช้งาน มีหน่วยเป็น dBc, SFDR คำนวณได้จาก

$$\text{SFDR} = 20 \log \left( \frac{b_1}{b_{\max}} \right) \quad (2.14)$$

ในบางเอกสารจะนิยาม SFDR จากสัดส่วนของ  $b_{\max}/b_1$  ซึ่งจะให้ตัวเลขติดลบ แต่ยังคงให้ความหมายเดียวกันกับ (2.14)

สัญญาณที่สังเคราะห์ได้นั้นเกิดขึ้นจากการคำนวณฟังก์ชันซายน์ที่สัมพันธ์กับเฟส  $X$  ซึ่งมีลักษณะไม่ต่อเนื่อง ถ้าไม่รวมผลของ DAC ที่ให้แรงดันเอาต์พุตเป็นขั้นจำกัด แล้วเราจะได้รูปสัญญาณที่มีลักษณะในภาพที่ 2.8 (ซ้าย) จะเห็นได้ว่าสัญญาณที่สังเคราะห์ได้ยังมีความผิดพลาดจากซายน์อุดมคติอยู่ หากเราเพิ่ม  $W$  จะทำให้ความผิดพลาดนั้นน้อยลง, SFDR ในกรณีนี้ จึงได้ว่าเป็นความเพี้ยนที่มีเหตุมาจากการควอนไทส์เฟสเพียงอย่างเดียว ซึ่งประมาณได้เป็น [8]

$$\text{SFDR} \approx 6W \quad (2.15)$$



ภาพที่ 2.8 ขายอุดมคติ (สีเทา) เทียบกับสัญญาณที่สังเคราะห์โดย DDFS (ซ้าย) โดยไม่รวมผลจากการควอนไทซ์ของ DAC (ขวา) เมื่อรวมผลการควอนไทซ์ของ DAC

เมื่อเรารวมผลจากการควอนไทซ์ของ DAC แล้ว สัญญาณที่สังเคราะห์ได้จาก DDFS ก็จะมีลักษณะตามภาพที่ 2.8 (ขวา) ซึ่งมีความผิดพลาดมากขึ้น ความละเอียดของ DAC  $D$ , เป็นปัจจัยหลักต่อความผิดพลาดนี้ โดยปกติเราวัดความเพี้ยนของสัญญาณที่สังเคราะห์ด้วย DAC ในรูปของ Signal to Noise Ratio (SNR) โดยมีค่าประมาณ [8]

$$\text{SNR} \approx 6D + 1.7 \quad (2.16)$$

มีหน่วยเป็น dB เช่นเดียวกับ SFDR, โดยทั่วไปในการออกแบบ DDFS เราจะเลือกให้  $W$  มีค่ามากพอที่จะทำให้ความเพี้ยนถูกจำกัดด้วย DAC ไม่ใช่ถูกจำกัดด้วย Phase Accumulator กล่าวคือเราใช้  $W$  ค่าสูงจนทำให้ SFDR ใน (2.15) มีค่ามากกว่า SNR ใน (2.16) เราจะได้สมการการสำหรับออกแบบ DDFS เป็น [8]

$$W > D + 1 \quad (2.17)$$

สรุปได้ว่าการเลือกให้  $W$  และ  $D$  ที่มีค่ามากจะทำให้ได้สัญญาณที่มีความเพี้ยนต่ำ แต่จะทำให้ความซับซ้อนของ PSC สูงตามไปด้วย

## 2.6 เทคนิคดิจิทัลที่ใช้ประมาณฟังก์ชันซายน์

วิธีการคำนวณฟังก์ชันซายน์ที่ถูกต้องที่สุด คือ การคำนวณแบบเปิดตาราง โดยคำนวณค่าตอบไว้ก่อนแล้วบันทึกไว้ในรอม แต่วิธีการนี้ต้องการรอมขนาดใหญ่ นักวิจัยกลุ่มหนึ่งได้นำเสนอวงจรดิจิทัลที่ซับซ้อนน้อยกว่ารอมเพื่อประมาณฟังก์ชันซายน์แทนการเปิดตาราง เทคนิคเหล่านี้แบ่งออกได้เป็น 3 กลุ่มใหญ่ๆ ได้แก่ การประมาณด้วยพหุนาม, การประมาณด้วย CORDIC, และการประมาณพร้อมการแก้ไขด้วยรอม

### 2.6.1 การประมาณด้วยฟังก์ชันพหุนาม

การประมาณด้วยพหุนามเป็นเทคนิคที่ใช้กันอย่างกว้างขวาง เนื่องจากมีความหลากหลายสูง ในการออกแบบ DDFS การประมาณฟังก์ชันไซน์จะกระทำในควอดแดรนต์ที่ 1 เท่านั้น แล้วใช้คุณสมบัติสมมาตร 1/4 คาบเข้าช่วยเพื่อสังเคราะห์รูปสัญญาณเต็มคาบ, เพื่อความสะดวกในการวิเคราะห์และเปรียบเทียบกับวิธีการประมาณแบบอื่นๆ เราจะกำหนดตัวแปรนอร์มัลไลซ์  $x$  บนช่วง  $[0,1]$  ใช้แทนมุมเฟสในช่วง  $[0, \pi/2]$  ดังนั้นฟังก์ชันไซน์ที่เป็นเป้าหมายของการประมาณคือ

$$\sin\left(\frac{\pi}{2}x\right); 0 \leq x < 1 \quad (2.18)$$

ซึ่งมีคาบเท่ากับ 4

พหุนามที่ใช้ประมาณมีรูปแบบทั่วไปตาม (2.19) สังเกตได้ว่า เราสามารถเลือกพารามิเตอร์ต่อไปนี้ของพหุนามได้อย่างอิสระ [9]

- $s$  คือจำนวนตอนที่แบ่งช่วงของตัวแปร  $x$ , การที่มีจำนวนตอนมาก จะทำให้ความกว้างของแต่ละตอนแคบลง เราจึงสามารถหาพหุนามที่มีความใกล้เคียงฟังก์ชันไซน์ในแต่ละตอนได้ง่าย
- $r$  คือ กำลังของพหุนาม, พหุนามที่มีกำลังสูงจะประมาณฟังก์ชันไซน์ได้ใกล้เคียงกว่าพหุนามที่มีกำลังต่ำ
- $b_i$  คือขอบเขตของแต่ละตอน, เราสามารถเลือกขอบเขตและความกว้างของแต่ละตอนได้, ถ้าหากเลือกจำนวนตอน  $s$  เป็นจำนวนที่เป็นกำลังของ 2 (Power of 2) และความกว้างของแต่ละตอนเท่ากัน แล้วจะทำให้วงจรที่ใช้คำนวณจะมีความซับซ้อนน้อยกว่าการเลือกแบบอื่น
- $c_{ki}$  คือชุดของสัมประสิทธิ์ของพหุนาม ซึ่งปกติจะถูกเก็บไว้ในรอมขนาดไม่ใหญ่, เทคนิคที่ใช้สำหรับการหา  $c_{ki}$  มีหลายหลายวิธี [10] และเป็นอีกปัจจัยหนึ่งที่มีผลต่อความแม่นยำ

$$P(x) = \begin{cases} \sum_{i=0}^r c_{0i} (x - a_0)^i & ; a_0 \leq x < a_1 \\ \sum_{i=0}^r c_{1i} (x - a_1)^i & ; a_1 \leq x < a_2 \\ \vdots & \vdots \\ \sum_{i=0}^r c_{ki} (x - a_k)^i & ; a_k \leq x < a_{k+1} \\ \vdots & \vdots \\ \sum_{i=0}^r c_{(s-1)i} (x - a_{s-1})^i & ; a_{s-1} \leq x < a_s \end{cases} \quad (2.19)$$

วงจรมีประมาณฟังก์ชันซายน์ด้วยพหุนามมักจะประกอบด้วย วงจรบวก, วงจรคูณ, วงจรยกกำลัง และ ใช้รอมขนาดเล็กลงเพื่อเก็บสัมประสิทธิ์ เป็นผลให้วงจรมีความยุ่งยากซับซ้อนอยู่ โดยเฉพาะอย่างยิ่งในกรณีที่ต้องการความแม่นยำสูง จำเป็นต้องใช้จำนวนท่อนและกำลังพหุนามสูง ซึ่งจะนำไปสู่ความซับซ้อนของวงจรมี อย่างไรก็ตามเราสามารถเลือกพารามิเตอร์เหล่านี้ได้หลากหลายแบบ เพื่อให้มีระดับความเพี้ยนที่เหมาะสมกับการใช้งานได้ [9]

## 2.6.2 CORDIC

CORDIC เป็นอัลกอริทึมที่ใช้คำนวณฟังก์ชันตรีโกณมิติ โดยอาศัยหลักการหมุนเวกเตอร์ (สัญลักษณ์ที่ใช้ในหัวข้อ 2.6.2 นี้ จะอิงตามสัญลักษณ์ที่นิยมใช้ในเรขาคณิต เช่น มุมแทนด้วย  $\theta$  ส่วน  $x$  แทนพิกัด ไม่ใช่เฟสเหมือนหัวข้ออื่นๆ) พิจารณาภาพที่ 2.9 เมื่อปลายเวกเตอร์อยู่ที่พิกัด  $(x, y)$  ถูกหมุนไปด้วยมุม  $\theta$  แล้วปลายเวกเตอร์ไปอยู่ที่พิกัด  $(x', y')$  จะได้ความสัมพันธ์ตามสมการต่อไปนี้

$$x' = x \cos \theta - y \sin \theta, \quad y' = y \cos \theta + x \sin \theta \quad (2.20)$$

และจัดรูปใหม่ได้เป็น

$$x' = \cos \theta \cdot (x - y \tan \theta), \quad y' = \cos \theta \cdot (y + x \tan \theta) \quad (2.21)$$

การคำนวณ (2.21) สามารถกระทำได้ด้วยวิธีการทำซ้ำ โดยแบ่งมุม  $\theta$  ให้เป็นมุมย่อย  $\theta_i$  ที่ทำให้

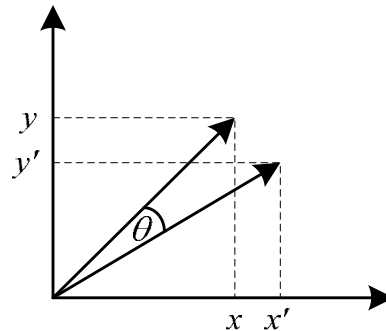
$$\tan \theta_i = \pm 2^{-i} \quad (2.22)$$

และเป็นผลให้การคูณสามารถเปลี่ยนเป็นการเลื่อนบิตแทนได้, นอกจากนี้ค่า  $\cos \theta_i$  และ  $\cos(-\theta_i)$  ในแต่ละรอบมีค่าเท่ากัน เราจึงเขียน (2.21) ในรูปแบบทำซ้ำรอบที่  $i$  ได้เป็น

$$x_{i+1} = K_i (x_i - y_i d_i 2^{-i}), \quad y_{i+1} = K_i (y_i + x_i d_i 2^{-i}) \quad (2.23)$$

โดยที่  $K_i = \cos(\arctan(2^{-i})) = 1/\sqrt{1+2^{-2i}}$  (2.24)

และ  $d_i = \pm 1$  (2.25)



ภาพที่ 2.9 การหมุนเวกเตอร์

สังเกต  $d_i$  แทนเครื่องหมายของ  $\tan \theta_i$  ซึ่งก็คือทิศทางของการหมุนของมุมย่อย, นอกจากนี้เราสามารถนำตัวคูณ  $K_i$  ออกจากคำนวณแต่ละรอบไปก่อนได้ ทำให้การคำนวณแต่ละรอบเหลือเพียงการเลื่อนบิตและการบวก(หรือลบ)เท่านั้น การนำตัวคูณ  $K_i$  ออกจะทำให้ขนาดที่คำนวณได้จะผิดเพี้ยนไปเหมือนคูณด้วย

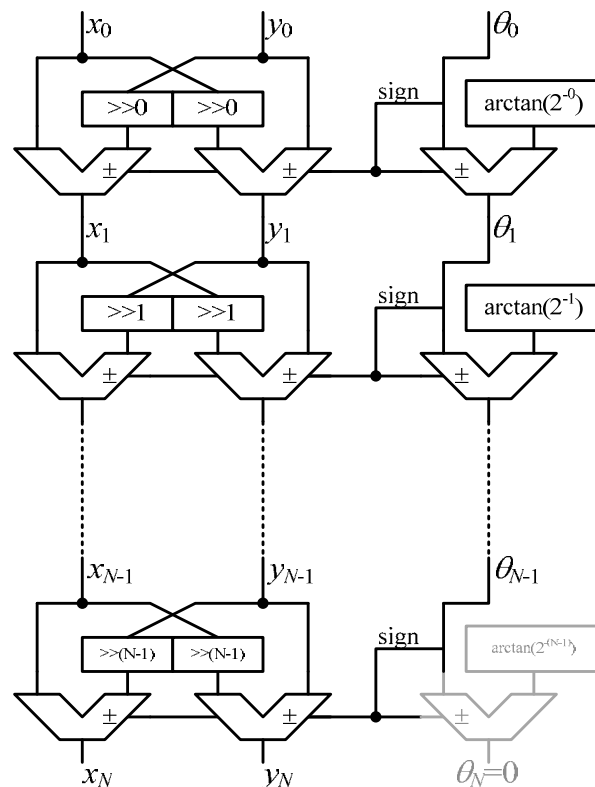
$$A_N = \prod_{i=0}^{N-1} \sqrt{1+2^{-2i}} \quad (2.26)$$

เมื่อ  $N$  มีค่าเข้าใกล้อนันต์แล้ว  $A_N$  จะมีค่าประมาณ 1.647

ค่าของมุม  $\theta$  ที่เข้ารหัสแบบฐานสอง ไม่สามารถนำมาใช้คำนวณด้วย CORDIC ได้ ต้องแปลงให้อยู่ในรูปแบบรหัสที่ใช้  $\arctan$  เป็นฐาน ( $d_0 d_1 \dots d_{N-1}$ ) เสียก่อน, การแปลงรหัสจากฐานสองเป็นรหัส  $\arctan$  โดยให้การเปิดตาราง จำเป็นต้องใช้รอมขนาดใหญ่มากจึงไม่นิยมใช้, เทคนิคการคำนวณมุมย่อยซึ่งใช้รอมขนาดเล็กกว่าจึงถูกนำมาใช้งาน แต่ต้องใช้ วงจรบวก/ลบ เพิ่มขึ้นเพื่อคำนวณมุมย่อยตามสมการ

$$\theta_{i+1} = \theta_i - d_i \arctan(2^{-i}) \quad (2.27)$$

โดยที่  $d_i = -1$  เมื่อ  $\theta_i < 0$  และ  $d_i = +1$  เมื่อ  $\theta_i \geq 0$ , ภาพที่ 2.10 แสดงวงจรสำหรับคำนวณ CORDIC จำนวน  $N$  รอบ ตามอัลกอริทึมที่กล่าวมาข้างต้น



ภาพที่ 2.10 วงจรสำหรับคำนวณแบบ CORDIC จำนวน  $N$  รอบ

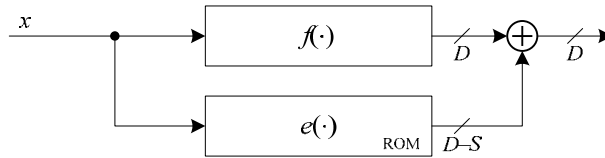
โครงสร้างวงจรในภาพที่ 2.10 ประกอบด้วยวงจรวกกลับ วงจรเลื่อนบิต และ ตาราง/ค่าคงที่ซึ่งถือว่าไม่ซับซ้อน แต่ถ้าหากต้องการความแม่นยำในการคำนวณ จำนวนรอบ  $N$  ก็ต้องมากตามไปด้วย, เมื่อ  $N$  มีค่ามาก เวลาหนึ่งของวงจรคอมบิเนชันที่ใช้ก็จะมากตาม ทำให้ต้องใส่รีจิสเตอร์ขวางวงจรของแต่ละรอบได้ ทำให้เกิดโครงสร้างแบบไปป์ไลน์, ผลที่ตามมาก็คือสามารถทำงานที่  $f_{clk}$  สูงได้ แต่ทว่าการเปลี่ยนความถี่ ก็จะได้เวลาจูนมากขึ้น เพราะจำนวนชั้นของไปป์ไลน์

CORDIC ยังสามารถให้สัญญาณแบบควอดราราเธอร์ได้ด้วย ขนาดของฟังก์ชันซายน์และโคซายน์ที่คำนวณด้วย CORDIC นี้จะเหมือนถูกคูณขึ้นด้วย  $A_N$  การปรับปรุงวงจรหรือตารางเพียงเล็กน้อย ก็สามารถเปลี่ยนค่า  $A_N$  ได้ ดังนั้น CORDIC จึงได้รับความนิยมสำหรับการมอดูเลตแบบ QAM [11]

### 2.6.3 การประมาณพร้อมการแก้ไขด้วยรวม

วิธีการหนึ่งที่ใช้ประมาณฟังก์ชันซายน์ คือ การประมาณด้วยฟังก์ชันอย่างง่ายแบบหนึ่งซึ่งใช้วงจรที่มีความซับซ้อนต่ำ แต่ก็มีความผิดพลาดของการประมาณอยู่ไม่น้อย รวมถูกนำมาใช้เก็บค่าความผิดพลาดของการประมาณนั้น แล้วอ่านค่าจากรอมนำไปบวกกับค่าฟังก์ชันประมาณอีกครั้ง ดังแสดงในภาพที่ 2.11 ค่าความผิดพลาดที่เก็บไว้ในรวมเป็นไปตามสมการ

$$e(x) = \sin\left(\frac{\pi}{2}x\right) - f(x) \tag{2.28}$$



ภาพที่ 2.11 การประมาณด้วยฟังก์ชันอย่างง่ายและแก้ไขด้วยรอม

ค่าสูงสุดของ  $e(x)$  เป็นตัวกำหนดจำนวนบิตเอาต์พุตของรอม ( $D-S$  บิต) โดยที่  $S$  คือจำนวนบิตที่ลดลงได้เมื่อเทียบกับรอมแบบเปิดตารางใน DDFS แบบดั้งเดิม ตัวอย่างงานวิจัยที่ใช้วิธีการนี้ ได้แก่ การใช้ฟังก์ชัน [12]

$$f(x) = x \tag{2.29}$$

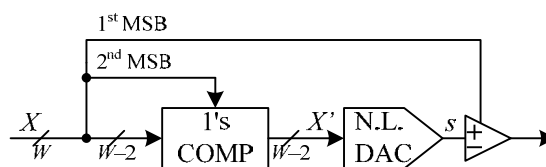
ซึ่งไม่ต้องใช้วงจรในการคำนวณแต่สามารถลดจำนวนบิตลงไปได้ 2 บิต และอีกตัวอย่างหนึ่งคือ [13]

$$f(x) = x(2-x) \tag{2.30}$$

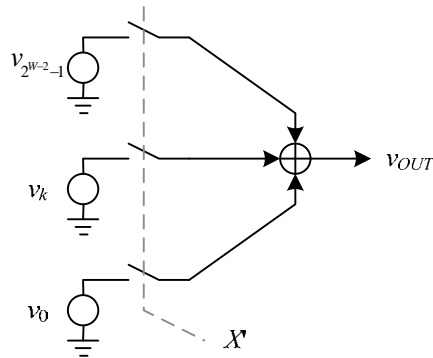
ซึ่งสามารถลดทอนการคำนวณ จนใช้เพียงวงจรคูณและวงจรมพลีเมนต์เท่านั้นสำหรับการคำนวณ  $f(x)$  แต่ช่วยสามารถลดจำนวนบิตได้ถึง 4 บิต

## 2.7 การใช้ DAC แบบไม่เชิงเส้น

นักวิจัยหลายกลุ่มได้แก้ปัญหาการใช้กำลังไฟฟ้าสูง โดยการนำ PSC เข้าไปรวมกับ DAC และอาศัยการทำงานของวงจรแอนาล็อกเป็นส่วนใหญ่ในการประมาณฟังก์ชันซายน์ ทำให้เหลือวงจรดิจิทัลในโครงสร้าง DDFS เพียงเล็กน้อย, DAC จะรับค่าเฟสที่มีลักษณะเป็นเชิงเส้น แต่จะให้ค่าแรงดันเอาต์พุตที่เป็นค่าฟังก์ชันซายน์ จึงเรียก DAC ประเภทนี้ว่า DAC แบบไม่เชิงเส้น



ภาพที่ 2.12 โครงสร้าง DDFS ที่ใช้งาน DAC แบบไม่เป็นเชิงเส้น



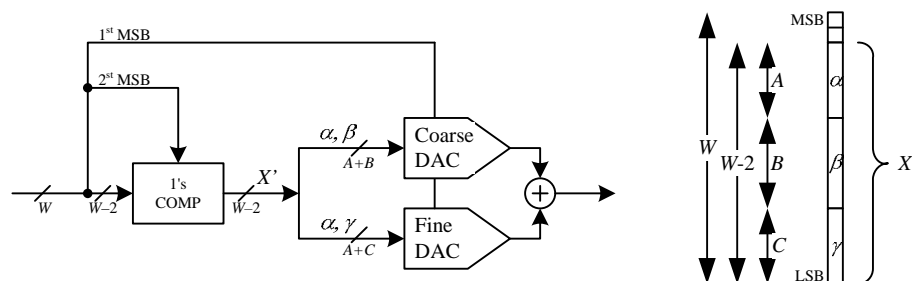
ภาพที่ 2.13 แนวคิดการใช้ DAC แบบไม่เชิงเส้นอย่างง่าย

ตัวอย่างแรกของงานวิจัยในกลุ่มนี้คือ [14] ซึ่งใช้ DAC แบบไม่เชิงเส้นร่วมกับคุณสมบัติสมมาตร 1/4 คาบ ดังแสดงในภาพที่ 2.12, สัญญาณเฟส  $X'$  จะถูกถอดรหัสแบบเทอร์โมมิเตอร์แล้วนำไปควบคุมสวิตช์ตามภาพที่ 2.13 โดยที่  $v_k$  คือเซลล์แรงดันที่มีทั้งหมด  $2^{W-2}$  เซลล์, หลักการทำงานคือจะนำเซลล์ที่  $k$  ออกไปรวมเพื่อสร้างเอาต์พุตก็ต่อเมื่อ  $k < X'$ , เราจึงเขียนเอาต์พุต  $v_{OUT}$  ได้ว่า

$$v_{OUT} = \sum_{k=0}^{X'} v_k \tag{2.31}$$

แรงดันในแต่ละเซลล์  $v_k$  จะมีค่าเป็น  $N_k$  เท่าของแรงดันมูลฐาน โดยที่  $N_k$  เป็นจำนวนเต็ม, แรงดันมูลฐาน เท่ากับ แรงดันอ้างอิงของ DAC ทหารด้วย  $2^{D-1}$  เมื่อ  $D$  เป็นจำนวนเต็มที่สะท้อนความละเอียดของ DAC, และ  $N_k$  คำนวณได้จาก

$$N_k = \begin{cases} \left[ \left( 2^{D-1} - 1 \right) \sin \left( \frac{\pi}{2} \frac{0.5}{2^{W-2}} \right) \right]_{Round} & ; k = 0 \\ \left[ \left( 2^{D-1} - 1 \right) \sin \left( \frac{\pi}{2} \frac{k + 0.5}{2^{W-2}} \right) - \sum_{i=0}^{k-1} N_i \right]_{Round} & ; 1 \leq k < 2^{W-2} - 1 \end{cases} \tag{2.32}$$



ภาพที่ 2.14 (ซ้าย) ผังโครงสร้างของ [15] (ขวา) การเรียงบิต



ตัวอย่างที่สองในกลุ่มนี้ [15] ได้พัฒนาแนวคิดของ [16] โดยนำเอกลักษณ์ตรีโกณต่อไปนี้

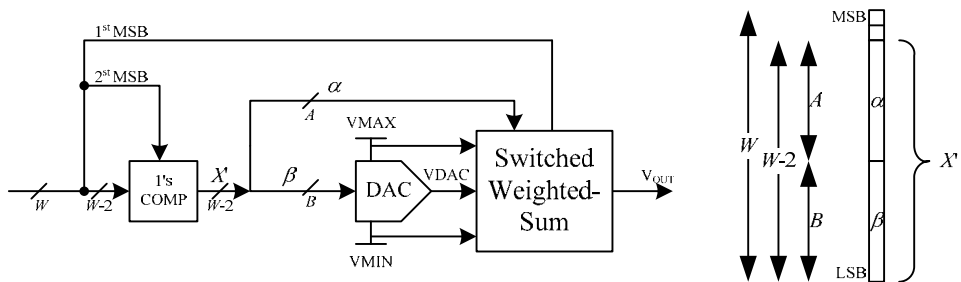
$$\sin\left(\frac{\pi}{2} \frac{\alpha + \beta + \gamma}{2^{A+B+C} - 1}\right) = \sin\left(\frac{\pi}{2} \frac{\alpha + \beta}{2^{A+B+C} - 1}\right) + f(\alpha, \beta, \gamma) \quad (2.33)$$

โดยที่

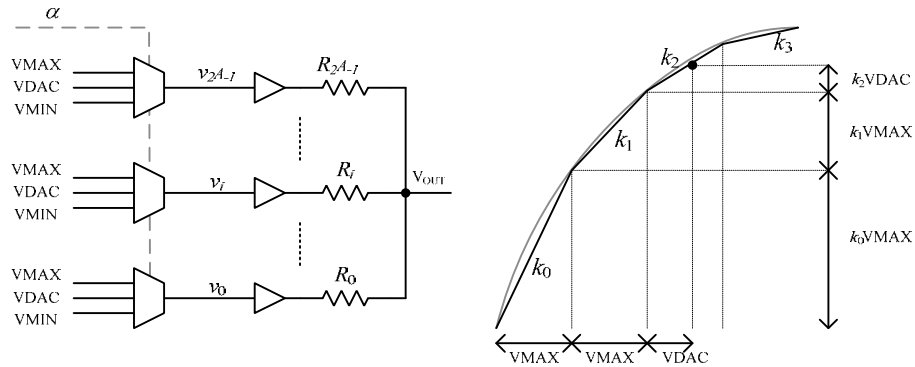
$$f(\alpha, \beta, \gamma) \approx \cos\left(\frac{\pi}{2} \frac{\alpha + \beta_{avg}}{2^{A+B+C} - 1}\right) \sin\left(\frac{\pi}{2} \frac{\gamma}{2^{A+B+C} - 1}\right) \quad (2.34)$$

มาใช้ประกอบการออกแบบ DAC, มุม  $X'$  ถูกแยกออกเป็นมุมย่อย  $\alpha, \beta, \gamma$  ที่มีสัดส่วนจำนวนบิต  $A, B, C$  ตามลำดับโดยที่  $W - 2 = A + B + C$ , จากโครงสร้างในภาพที่ 2.14 มี DAC สองตัว, DAC ตัวแรกใช้สังเคราะห์เทอมแรกทางขวามือของ (2.33) ส่วน DAC ตัวละเอียดใช้สังเคราะห์  $f(\alpha, \beta, \gamma)$  ในสมการ (2.34) ซึ่งจะใช้ค่าเฉลี่ย  $\beta_{avg}$  ที่ขึ้นกับ  $\alpha$ ,  $f(\alpha, \beta, \gamma)$  สามารถสังเคราะห์ได้ด้วย Sub-DAC จำนวน  $2^A - 1$  ตัว ที่เลือกโดย  $\alpha$ , Sub-DAC แต่ละตัวจะสังเคราะห์เฉพาะส่วนที่เป็นฟังก์ชันของ  $\gamma$  เท่านั้น วิธีนี้มีพื้นที่ที่เล็กกว่า [14] เพราะจำนวนเซลล์ใน DAC ตัวแรกลดลงมาก

ตัวอย่างที่สามในกลุ่มนี้ ได้นำเสนอ DAC แบบไม่เชิงเส้นโดยใช้หลักการเชิงเส้นแบบก่อน [17] แต่ก็ยังมีภาพรวมของโครงสร้างเหมือน [15] จำนวนก่อนและความชันของแต่ละก่อนจะถูกคำนวณด้วย MATLAB เพื่อให้ได้ค่าที่เหมาะสมโดยใช้เกณฑ์ ISE (Integral Square Error) ต่ำที่สุด ภาพที่ 2.15 แสดงโครงสร้าง DDFS ซึ่งประกอบไปด้วย DAC และ Switched Weighted Sum มุมจะถูกแบ่งออกเป็น ส่วนบิตนัยสูง และ ส่วนบิตนัยต่ำ ส่วนบิตนัยสูงทำหน้าที่เลือกก่อนการประมาณ ส่วนบิตนัยต่ำทำหน้าที่สังเคราะห์ส่วนของเส้นตรงในแต่ละก่อน โดยใช้ DAC ที่มีออฟเซต 0.5 ชั้น ซึ่งจะกล่าวถึงในหัวข้อถัดไป



ภาพที่ 2.15 (ซ้าย) ผังโครงสร้างอย่างง่ายของ [17] (ขวา) การเรียงบิต



ภาพที่ 2.16 (ซ้าย) โครงสร้างภายในของ Switched Weighted Sum (ขวา) ตัวอย่างการคำนวณ

ภาพที่ 2.16 แสดงโครงสร้างภายในของ Switched Weighted Sum, บิตนัยสูงทำหน้าที่เลือกแรงดันที่  $i$  ในเงื่อนไขต่อไปนี้

- ถ้า  $i < \alpha$  แล้ว  $v_i = VMAX$
- ถ้า  $i = \alpha$  แล้ว  $v_i = VDAC$
- ถ้า  $i > \alpha$  แล้ว  $v_i = VMIN$

จำนวนแรงดันที่ถูกเลือกทั้งหมด  $2^A$  ซึ่งเท่ากับจำนวนท่อน, แรงดันเหล่านั้นถูกป้อนผ่าน  $R_i$  ซึ่งทำหน้าที่สร้างความชันในแต่ละท่อน พิจารณาตัวอย่างในภาพที่ 2.16 (ขวา) เรากำหนดให้  $VMIN=0$  และ จำนวนท่อนเท่ากับ 4 ในตัวอย่างนี้กำลังคำนวณฟังก์ชันชานซ์ที่มีมุมอยู่ในท่อนที่ 2

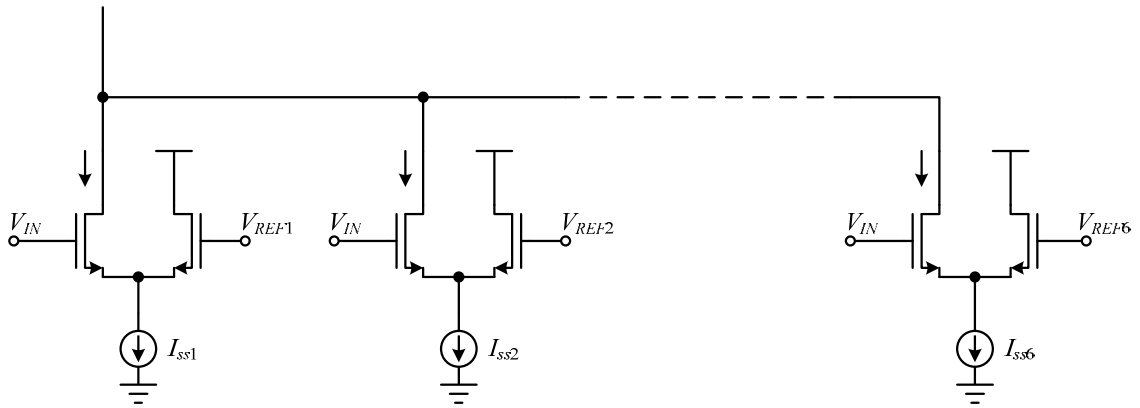
DDFS ประเภทนี้ใช้วงจรมุมเล็ก และ ใช้กำลังไฟฟ้าต่ำ แต่ต้องใช้ตัวต้านทานที่มีความละเอียดสูงสำหรับสร้างความชัน เพื่อให้ได้ความเพี้ยนต่ำ

ตัวอย่างงานวิจัยสุดท้ายในกลุ่มนี้ [18] ได้นำวงจรมุมต่างมาประยุกต์ใช้เป็นวงจรมุมสามเหลี่ยมเป็นชานซ์, วงจรดิจิตอลและ DAC แบบเชิงเส้นจะถูกนำมาใช้ทำหน้าที่สังเคราะห์สัญญาณแทนเฟสในช่วง  $[-\pi/2, \pi/2]$  สัญญาณเอาต์พุตของ DAC ที่มีลักษณะเป็นสามเหลี่ยมแล้วป้อนให้วงจรมุมต่าง 6 วงจรดังแสดงในภาพที่ 2.17 กระแสไบแอสของแต่ละวงจร  $I_{SS(i)}$  ( $i = 1, 2, \dots, 6$ ) เท่ากับ

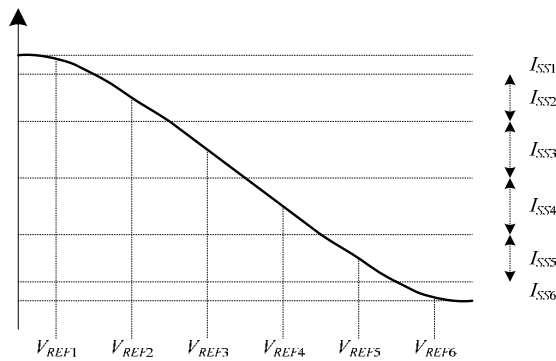
$$I_{SS(i)} = \cos\left((i-1)\frac{\pi}{6}\right) - \cos\left(i\frac{\pi}{6}\right) \quad (2.35)$$

โครงสร้างนี้ต้องอาศัยแรงดันอ้างอิงจำนวนระดับ 6 , และแต่ละแรงดันอ้างอิงต้องสอดคล้องกับมุมที่กึ่งกลางช่วงด้วย ดังแสดงในภาพที่ 2.18, การหาค่าพารามิเตอร์ต่างๆ ในการออกแบบวงจรไม่มี

การคำนวณหาขนาดทรานซิสเตอร์ที่เหมาะสม แต่ใช้วิธีการจำลองการทำงานแล้วปรับจนได้ สัญญาณที่มีความเพี้ยนต่ำที่สุด



ภาพที่ 2.17 วงจรประมาณค่าโคไซน์โดยใช้วงจรขยายผลต่าง 6 วงจร [18]



ภาพที่ 2.18 การกำหนดระดับแรงดันและกระแสทั้ง 6 สำหรับวงจรประมาณค่าโคไซน์

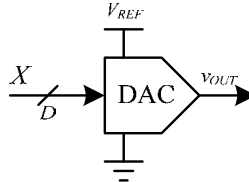
การทำงานของ DDFS ในกลุ่มนี้จะใช้พลังงานต่ำ เพราะวงจร PSC ได้ถูกนำออกไป การคำนวณฟังก์ชันไซน์ตกเป็นหน้าที่ของวงจรแอนาล็อก, สัญญาณที่สังเคราะห์ได้จะมีความเพี้ยนต่ำเมื่อใช้ในย่านความถี่ต่ำ แต่ความเพี้ยนของสัญญาณจะมากขึ้นตามความถี่ ทั้งนี้ เนื่องจากการตอบสนองต่อความถี่ของวงจรแอนาล็อกที่ใช้ไม่สูง, คุณหมุมก็เป็นอีกปัจจัยหนึ่งที่รบกวนการทำงานของวงจรแอนาล็อก

## 2.8 DAC แบบออฟเซต 0.5 ชั้น

พิจารณา DAC ในภาพที่ 2.19, โดยปกติแล้ว DAC ที่มีความละเอียด  $D$  บิต มีแรงดันอ้างอิงเป็น  $V_{REF}$  จะให้แรงดันเอาต์พุตแปรผันตรงตามค่าดิจิทัล  $X$  ซึ่งเข้ารหัสแบบฐานสองดังนี้

$$v_{OUT} = \frac{X}{2^D} \cdot V_{REF} \quad (2.36)$$

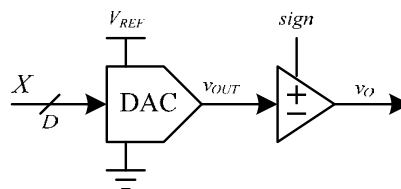
สังเกตได้ว่า เมื่อ  $X = 0$  แรงดันเอาต์พุตของ DAC จะเป็นศูนย์ด้วย และค่า  $v_{OUT}$  สูงสุดก็ไม่เท่า  $V_{REF}$



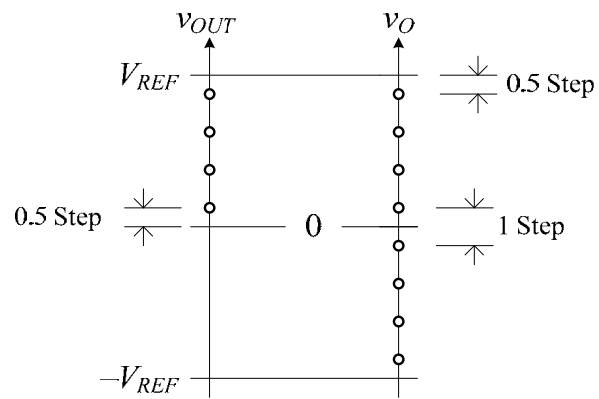
ภาพที่ 2.19 สัญญลักษณ์ทั่วไปของ DAC

ในบาง DDFS ที่อาศัยคุณสมบัติสมมาตร DAC จะถูกใช้เพื่อสังเคราะห์สัญญาณเฉพาะซีกบวก แล้วนำสัญญาณเอาต์พุตของ DAC ไปกำหนดเครื่องหมายด้วยวงจรรวมอีกครั้ง ดังแสดงในภาพที่ 2.20, การใช้งานในลักษณะนี้จำเป็นต้องออฟเซตแรงดันเอาต์พุตขึ้น 0.5 ชั้น เพื่อไม่ให้  $v_{OUT}$  เป็นศูนย์เมื่อ  $X = 0$  เพราะแรงดันเอาต์พุตที่มีค่าเป็น 0 จะไม่เกิดประโยชน์เมื่อนำไปกำหนดเครื่องหมาย กล่าวคือ  $+0$  กับ  $-0$  จะซ้ำซ้อนกัน, ดังนั้น DAC จะถูกออกแบบให้สร้างเอาต์พุตเป็น

$$v_{OUT} = \frac{X + 0.5}{2^D} \cdot V_{REF} \quad (2.37)$$



ภาพที่ 2.20 การใช้ DAC สังเคราะห์สัญญาณซีกบวก และกำหนดเครื่องหมายบวก-ลบ ภายหลัง



ภาพที่ 2.21 ตัวอย่างระดับแรงดันที่สร้างด้วย DAC แบบออฟเซต 0.5 ขั้น

สังเกต  $v_O$  ในภาพที่ 2.21 ซึ่งผ่านการกำหนดเครื่องหมายแล้ว แต่ละขั้นแรงดันจะห่างกัน 1 ขั้น และสมมาตรรอบศูนย์

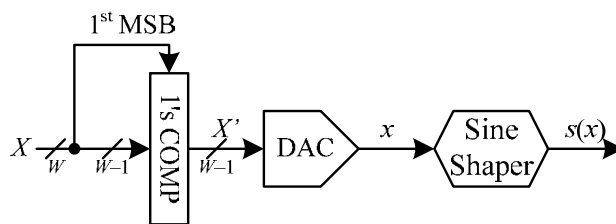
### บทที่ 3

#### การประมาณฟังก์ชันซายน์ด้วยฟังก์ชันของวงจรถัด

โครงสร้าง DDFS ที่นำเสนอในวิทยานิพนธ์นี้ ใช้วงจรถัดซึ่งเป็นวงจรถัดแบบแอนะล็อกทำหน้าที่ประมาณฟังก์ชันซายน์ ความเพี้ยนของสัญญาณที่สังเคราะห์โดย DDFS จึงขึ้นอยู่กับวงจรถัดเป็นสำคัญ, เนื้อหาในบทนี้จะนำเสนอฟังก์ชันของวงจรถัด และเทคนิคการใช้ฟังก์ชันของวงจรถัดไปใช้ประมาณฟังก์ชันซายน์ได้อย่างแม่นยำ, เรายังนำเสนอ DDFS ที่ใช้วงจรถัดสองโครงสร้าง โครงสร้างแรกเรียกว่า “วงจรถัดเดี่ยว” จะใช้คุณสมบัติสมมาตร 1/2 คาบเข้าช่วยวงจรถัดในการคำนวณฟังก์ชันซายน์ วงจรถัดจะให้ค่าฟังก์ชันทั้งซีกบวกและลบ ซึ่งเทียบเท่าซายน์อุดมคติบนช่วง  $[-\pi/2, \pi/2]$  ส่วนโครงสร้างที่สองเรียกว่า “วงจรถัดคู่” จะใช้คุณสมบัติสมมาตร 1/8 คาบมาช่วยในการประมาณฟังก์ชันซายน์และโคซายน์ วงจรถัด 2 วงจรจะถูกนำมาใช้คำนวณฟังก์ชันซายน์และโคซายน์บนช่วง  $[0, \pi/4]$  ดังนั้นเอาต์พุตของวงจรถัดทั้งสองจะให้ค่าเฉพาะซีกบวกเท่านั้น ต้องใช้สวิตช์กระแสมาจัดเรียง เพื่อให้ได้เอาต์พุตของสัญญาณ ที่ใกล้เคียงซายน์และโคซายน์อุดมคติ โครงสร้างที่ใช้วงจรถัดคู่นี้จึงเป็น QDDFS

#### 3.1 โครงสร้าง DDFS ที่ใช้วงจรถัด

โครงสร้างของ DDFS ที่ใช้วงจรถัดแสดงในภาพที่ 3.1 เราจะใช้คุณสมบัติสมมาตรของฟังก์ชันซายน์เพื่อปรับเฟส  $X$  จาก Phase Accumulator ให้เป็น  $X'$  เสมอ, จากนั้น DAC จะเปลี่ยนดิจิตอลเฟสให้เป็นแอนะล็อกเฟส  $x$ , สัญญาณ  $x$  แทนเฟสที่มีลักษณะเป็นเชิงเส้นรูปคลื่นของมันจึงเป็นรูปสามเหลี่ยม,  $x$  เป็นอินพุตของวงจรถัดที่ให้เอาต์พุตเป็น  $s(x)$  ซึ่งมีรูปคลื่นคล้ายฟังก์ชันซายน์ วงจรถัดจึงมีลักษณะเป็นวงจรถัดแปลงสามเหลี่ยมเป็นซายน์, อนึ่ง DAC ที่ใช้งานในโครงสร้างนี้ จะต้องมีออฟเซต 0.5 ขึ้น เพื่อสังเคราะห์แอนะล็อกเฟสให้มีความสมมาตรรอบค่าศูนย์ การใช้งาน DAC เพื่อสังเคราะห์เฟสนี้เป็นจุดแตกต่างสำคัญระหว่าง DDFS ที่นำเสนอ กับ DDFS แบบทั่วไปที่ใช้ DAC สังเคราะห์ฟังก์ชันซายน์



ภาพที่ 3.1 โครงสร้าง DDFS ที่ใช้วงจรถัด

วงจรรัดที่นำเสนอในวิทยานิพนธ์นี้มี 2 วงจรคือ วงจรรัดซายน์ และ วงจรรัดโคซายน์ ซึ่งมีฟังก์ชันเป็น  $s(\cdot)$  และ  $c(\cdot)$  ตามลำดับ, ทั้งสองฟังก์ชันจะนิยามบนช่วงที่แตกต่างกัน ขึ้นอยู่กับว่าจะใช้คุณสมบัติสมมาตร 1/2 หรือ 1/8 คาบ, เราจะใช้ตัวแปร  $x$  แทนนอมัลไลซ์เฟส ซึ่งมีค่าในช่วง  $[0,1]$  และสมนัยกับเฟสในช่วง  $[0, \pi/2]$  หรือมุมในควอดแดรนต์ที่ 1 นั่นเอง, ดังนั้นฟังก์ชันซายน์และโคซายน์ที่เป็นเป้าหมายการประมาณด้วย  $s(\cdot)$  และ  $c(\cdot)$  คือ

$$s(x) \approx \sin\left(\frac{\pi}{2}x\right), \quad c(x) \approx \cos\left(\frac{\pi}{2}x\right) \quad (3.1)$$

และรูปทั่วไปของฟังก์ชันทั้งสอง ได้แก่

$$s(x) = \begin{cases} \alpha & ; \beta x > 1 \\ \alpha \cdot \beta x \sqrt{2 - (\beta x)^2} & ; -1 \leq \beta x \leq 1 \\ -\alpha & ; \beta x < -1 \end{cases} \quad (3.2)$$

และ 
$$c(x) = \gamma \left(1 - (\delta(x + \phi))^2\right) \quad (3.3)$$

ฟังก์ชันวงจรรัดซายน์มีพารามิเตอร์ 2 ตัว คือ  $\alpha, \beta$  และฟังก์ชันวงจรรัดโคซายน์มีพารามิเตอร์ 3 ตัว คือ  $\gamma, \delta, \phi$ , เราสามารถเลือกปรับพารามิเตอร์เหล่านี้ ตามลักษณะการใช้งานวงจรรัดได้ อีกทั้งปรับพารามิเตอร์เหล่านี้เพื่อเพิ่มความแม่นยำของการประมาณได้อีกด้วย วงจรรัดทั้งสองสามารถสร้างได้จากวงจรมืออย่างง่าย ซึ่งเราจะอธิบายในบทต่อไป

### 3.2 DDFS ที่ใช้วงจรรัดเดี่ยว

DDFS ที่ใช้งานวงจรรัดเดี่ยว มีโครงสร้างแสดงในภาพที่ 3.1, ในโครงสร้างนี้จะใช้วงจรรัดซายน์เพียงวงจรรัดเดี่ยว และใช้คุณสมบัติสมมาตร 1/2 คาบในการสังเคราะห์สัญญาณ, ดิจิตอลเฟส  $X$  จะถูกปรับให้เป็น  $X'$  ที่สมนัยกับเฟสในช่วง  $[-\pi, \pi]$ , เป็นผลให้  $x$  ซึ่งเป็นนอมัลไลซ์เฟสสอดคล้องกับ  $X'$  ตามสมการ

$$x = \frac{X' + 0.5}{2^{M-2}} \quad (3.4)$$

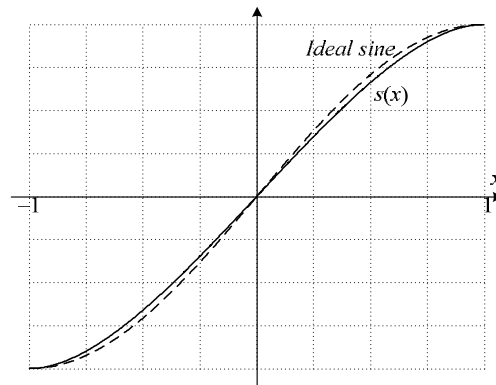
และช่วงของ  $x$  คือ  $[-1,1]$

ในตอนแรกนี้ เราจะเลือกพารามิเตอร์  $\alpha = 1$  และ  $\beta = 1$ , จาก (3.2) เราจะได้ฟังก์ชันของวงจรรัดเดี่ยวอย่างง่ายเป็น

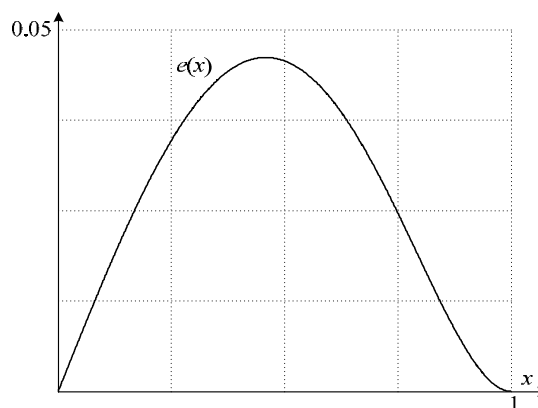
$$\sin\left(\frac{\pi}{2}x\right) \approx s(x) = x\sqrt{2-x^2} \quad ; -1 \leq x \leq 1 \quad (3.5)$$

ภาพที่ 3.2 แสดงให้เห็นว่า  $s(x)$  มีรูปร่างคล้ายฟังก์ชันไซน์อุดมคติ และมีความผิดพลาดในการประมาณเป็น

$$e(x) = \sin\left(\frac{\pi}{2}x\right) - x\sqrt{2-x^2} \quad (3.6)$$



ภาพที่ 3.2 ฟังก์ชันของวงจรถัดได้เปรียบเทียบกับไซน์อุดมคติ



ภาพที่ 3.3 ความผิดพลาดของการประมาณโดยใช้วงจรถัดได้เปรียบ

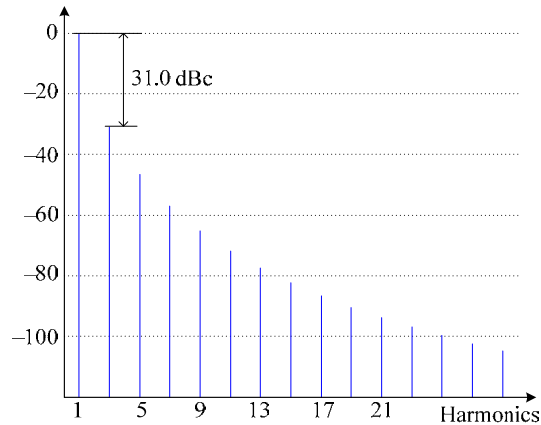
สังเกต  $e(x)$  ในภาพที่ 3.3 ค่าสูงสุดของ  $e(x)$  เท่ากับ  $4.6 \times 10^{-2}$  คิดเป็นร้อยละ 4.6 เมื่อนำไปคำนวณ SNR ได้เท่ากับ 26.7dBc, และเพื่อวิเคราะห์สัญญาณที่สังเคราะห์ได้ในเชิงความถี่ เรานำ  $s(x)$  ไปสร้าง  $f_{\sin}(x)$  ซึ่งเป็นฟังก์ชันที่ประมาณไซน์ได้เต็มรูปคลื่น

$$f_{\sin}(x) = \begin{cases} s(x) & ; -1 \leq x < 1 \\ s(2-x) & ; 1 \leq x < 3 \end{cases} \quad (3.7)$$

หนึ่งคาบของฟังก์ชันตรีโกณเท่ากับ  $2\pi$  ซึ่งเทียบเท่าช่วงตัวแปร  $x$  ที่กว้างเท่ากับ 4, เราใช้ MATLAB สร้าง  $f_{\sin}(x)$  บนช่วง  $[-1, 3]$  ซึ่งเทียบเท่าหนึ่งคาบ โดยใช้จำนวนจุดมากพอที่จะอนุมานได้ว่า  $x$  เป็นค่าต่อเนื่องบนช่วงดังกล่าว, จากนั้นเราใช้ FFT ซึ่งเป็น Toolbox มาตรฐาน



ของ MATLAB คำนวณหาองค์ประกอบความถี่ของ  $f_{\sin}(x)$  แล้วได้สเปกตรัมความถี่ในภาพที่ 3.4 เราพบว่า SFDR = 31.0 dBc และฮาร์โมนิกที่ 3 เป็นฮาร์โมนิกที่มากที่สุด ส่วนค่า THD ที่คำนวณจาก 11 องค์ประกอบแรกมีค่าเป็นร้อยละ 11



ภาพที่ 3.4 สเปกตรัมความถี่ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดียวอย่างง่าย

ตารางที่ 3.1 SFDR และ THD ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดียวอย่างง่าย

$W$	SFDR [dBc]	THD [%]
4	23.5	7.28
5	29.4	4.51
6	31.0	3.36
7	31.0	3.00
8	31.0	2.90
9	31.0	2.88

ต่อไปเราเปลี่ยนลักษณะของ  $x$  จากค่าต่อเนื่อง ให้เป็นค่าที่มีลักษณะเป็นขั้นๆ ซึ่งเป็นลักษณะเอาต์พุตของ DAC ที่มีความละเอียดจำกัด ในโครงสร้างนี้จะใช้ DAC ที่มีความละเอียดเท่ากับ  $W - 1$  เราคำนวณหาค่า SFDR และ THD ด้วยวิธีการเดิม จะได้ผลตามตารางที่ 3.1, จะเห็นได้ว่า เมื่อ  $W$  มีค่ามากกว่า 5 แล้ว ค่า SFDR จะไม่เพิ่มขึ้น, ถ้าเราใช้หลักการออกแบบ DDFS จากบทที่แล้ว ในเงื่อนไขที่ว่า  $6W \approx \text{SFDR} > \text{SNR}$  และด้วยค่า  $\text{SNR} = 26.7 \text{ dBc}$  เราควรเลือก

$W > 5$  เพื่อให้ความเพี้ยนของสัญญาณถูกจำกัดโดยวงจรถัด ไม่ใช้การควอนไทส์ของเฟส, สรุปลงแล้วการเลือก  $W$  ด้วยหลักการนี้ สอดคล้องกับผลในตารางที่ 3.1

สังเกต SNR ที่เราใช้เป็นเกณฑ์ในการเลือก  $W$  นั้นไม่ได้มาจากความละเอียดของ DAC เหมือนใน DDFS แบบทั่วไป, DAC ในโครงสร้างนี้ทำหน้าที่แปลงดิจิตอลเฟสให้เป็นแอนาล็อกเฟส การที่เอาต์พุตของ DAC มีลักษณะเป็นขั้นจึงถือได้ว่าไม่มีความผิดพลาดใดๆ เพราะแปลงสิ่งที่เป็นขั้นๆ ในรูปแบบดิจิตอลให้เป็นรูปแบบแอนาล็อกเท่านั้น

### 3.2.1 เทคนิคการปรับพารามิเตอร์สำหรับวงจรถัดเดียว

จากรูปทั่วไปของ  $s(x)$  ใน (3.2) มีพารามิเตอร์  $\alpha, \beta$  ที่เราสามารถปรับเพื่อลดความผิดพลาดของการประมาณได้ โดยใช้ ISE (Integral Square Error) เป็นเกณฑ์ กล่าวคือ เราใช้ MATLAB ค้นหาค่า  $\alpha, \beta$  ที่ทำให้ ISE มีค่าที่ต่ำที่สุด

$$\text{Minimize} \left\{ \int_{-1}^1 \left( \sin\left(\frac{\pi}{2}x\right) - s(x) \right)^2 dx \right\} \quad (3.8)$$

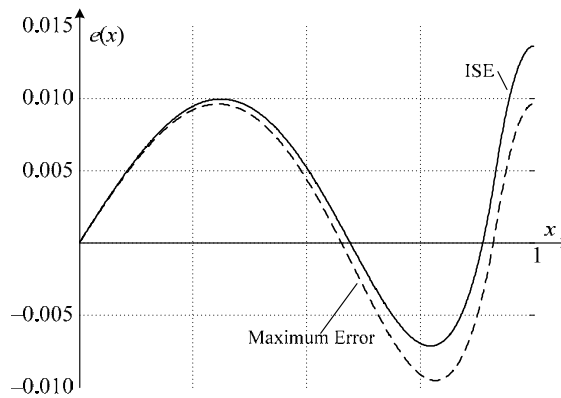
เราจะได้  $\alpha = 0.9864$  และ  $\beta = 1.0907$ , แต่เมื่อเราเปลี่ยนมาใช้ ค่าผิดพลาดสัมบูรณ์สูงสุด เป็นเกณฑ์ในการหาพารามิเตอร์ที่ทำให้

$$\text{Minimize} \left\{ \max \left| \sin\left(\frac{\pi}{2}x\right) - s(x) \right| \right\} \quad (3.9)$$

เราจะได้  $\alpha = 0.9904$  และ  $\beta = 1.0869$ , พารามิเตอร์ทั้งสองชุดมีความใกล้เคียงกัน

เมื่อนำฟังก์ชันพร้อมพารามิเตอร์ทั้งสองชุด ไปสังเคราะห์  $f_{\text{sin}}(x)$  บนช่วง  $x$  ต่อเนื่อง จะได้ความผิดพลาดมีค่าลดลง เมื่อเทียบกับวงจรถัดขายน้อย่างง่าย, กราฟของความผิดพลาดที่ได้จากทั้งสองเกณฑ์แสดงในภาพที่ 3.5 กราฟทั้งสองมีลักษณะใกล้เคียงกัน มีทั้งซีกบวกและลบ และมีจุดที่ความผิดพลาดเป็นศูนย์อยู่ 3 จุดบนช่วง  $x \in [0, 0.5]$ , ค่าสัมบูรณ์ของค่าผิดพลาดสูงสุดเท่ากับ  $1.36 \times 10^{-2}$  และ  $0.96 \times 10^{-2}$  ตามลำดับ ซึ่งน้อยกว่าวงจรถัดเดียวอย่างง่ายประมาณ 5 เท่า

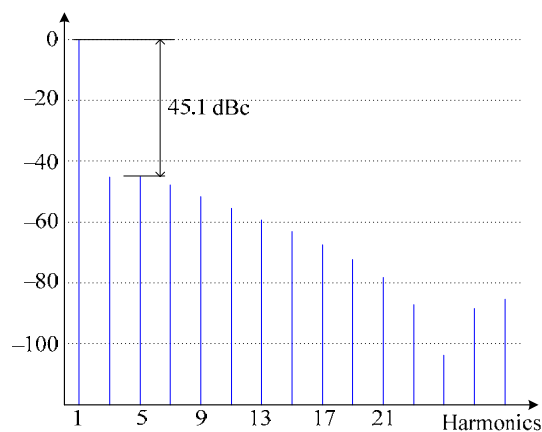
จากนั้นเราวิเคราะห์  $f_{\text{sin}}(x)$  ในเชิงความถี่ด้วยวิธีการเดิม เราจะได้ค่า SFDR, THD, SNR ตามตารางที่ 3.2 สังเกตได้ว่า การใช้ ISE เป็นเกณฑ์จะให้ความเพี้ยนต่ำกว่าเล็กน้อย และสเปกตรัมความถี่ของ  $f_{\text{sin}}(x)$  แสดงในภาพที่ 3.6 ซึ่งฮาร์โมนิกที่ 5 เป็นฮาร์โมนิกที่มีกำลังมากที่สุด



ภาพที่ 3.5 ความผิดพลาดของการประมาณโดยใช้วงจรถัดเดียวที่ปรับพารามิเตอร์

ตารางที่ 3.2 ความเพี้ยนของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดียวที่ปรับพารามิเตอร์

เกณฑ์	SFDR [dBc]	THD [%]	SNR [dB]	Maximum absolute error
Minimize $\left\{ \int_{-1}^1 \left( \sin\left(\frac{\pi}{2}x\right) - s(x) \right)^2 dx \right\}$	45.1	0.93	37.3	$1.36 \times 10^{-2}$
Minimize $\left\{ \max \left  \sin\left(\frac{\pi}{2}x\right) - s(x) \right  \right\}$	43.9	0.95	40.3	$0.96 \times 10^{-2}$



ภาพที่ 3.6 สเปกตรัมความถี่ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดเดียวที่ปรับพารามิเตอร์  
(ISE เป็นเกณฑ์)

สรุปได้ว่าการปรับพารามิเตอร์ทำให้  $s(x)$  เข้าใกล้ชายน์อุดมคติมากขึ้น, บนช่วง  $x \in [0,1]$  จะมีจุดที่  $s(x)$  เท่ากับชายน์อุดมคติ ค่าพารามิเตอร์ที่คำนวณ ,จุด 3 โดยใช้ ISE เป็นเกณฑ์นี้สอดคล้องกับ วิธีการแปลงสามเหลี่ยมเป็นชายน์ที่นำเสนอใน [19] แต่ตัวเลขที่คำนวณได้อาจแตกต่างกันเล็กน้อย ทั้งนี้เกิดจากความผิดพลาดของการคำนวณ ในงานวิจัยนั้นสร้างฟังก์ชัน  $s(x)$  ด้วยวงจรรายผลต่าง และเพิ่มความแม่นยำด้วยการใช้จำนวนวงจรรายผลต่างเพิ่มขึ้น และใช้ค่าพารามิเตอร์สำหรับแต่ละวงจรมีแตกต่างกันไป, ผลรวมของเอาต์พุตจากแต่ละวงจรมีเข้าใกล้ชายน์อุดมคติมากขึ้น

$$\sin\left(\frac{\pi}{2}x\right) \approx \sum_{i=1}^N s_i(x)$$

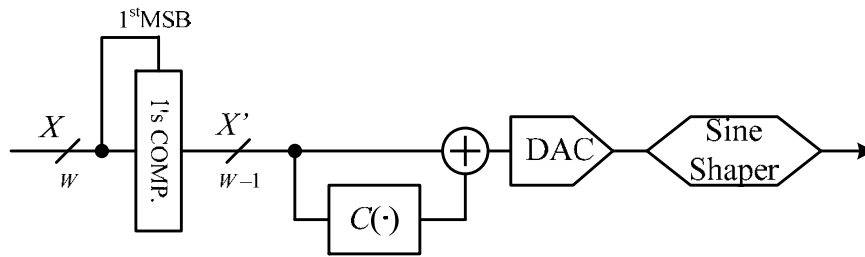
โดยได้ผลสรุปตามตารางที่ 3.3 การสร้างพารามิเตอร์เหล่านั้นจะต้องอาศัยสัดส่วนของทรานซิสเตอร์ในวงจรเดียวกันให้สัมพันธ์กัน และต้องให้สัมพันธ์กับวงจรอื่นด้วย ซึ่งจะกระทำได้ค่อนข้างยากในทางปฏิบัติ

ตารางที่ 3.3 ค่าพารามิเตอร์และ THD การใช้วงจรรายผลต่างแปลงสามเหลี่ยมเป็นชายน์ [19]

จำนวน วงจร	พารามิเตอร์	THD [%]	SFDR [dBc]
1	$\alpha_1 = 0.9906, \beta_1 = 1.0957$	0.88	44.3
2	$\alpha_1 = 0.06994, \beta_1 = 1.9616, \alpha_2 = 0.9277, \beta_2 = 1.0779$	0.18	57.5
4	$\alpha_1 = 0.004515, \beta_1 = 3.9825, \alpha_2 = 0.03841, \beta_2 = 1.9708$ $\alpha_3 = 0.09858, \beta_3 = 1.4124, \alpha_4 = 0.8578, \beta_4 = 1.024$	0.13	68.7

### 3.2.2 เทคนิคชดเชยเฟสสำหรับวงจรตัดเดี่ยว

การชดเชยเฟสเป็นการเพิ่มความแม่นยำให้วงจรตัดเดี่ยวได้อีกวิธีหนึ่ง โดยอาศัยวงจรดิจิตอลชดเชยเฟสก่อนป้อนให้ DAC พิจารณารูปที่ 3.7 เฟส  $X'$  ถูกชดเชยโดยการบวกด้วยค่าชดเชยเฟส  $C(X')$

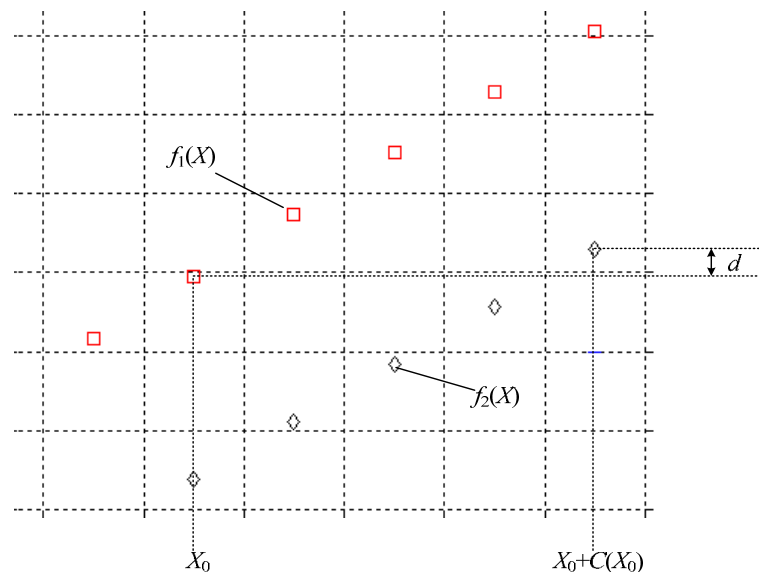


ภาพที่ 3.7 โครงสร้าง DDS ที่ใช้วงจรตัดเดี่ยวร่วมกับวิธีชดเชยเฟส

การคำนวณหาค่าชดเชยเฟสอาศัยหลักการที่ว่า ถ้าเรามีสองฟังก์ชันที่นิยามบนช่วงของจำนวนเต็มและมีค่าใกล้เคียงกัน ถ้ามีค่าของฟังก์ชันเป็นแบบโมโนโทนิคส์ อย่างเช่น  $f_1$  และ  $f_2$  ในภาพที่ 3.8, ในตัวอย่างนี้เราใช้  $f_2$  เพื่อประมาณ  $f_1$  ด้วยวิธีชดเชยอาร์กิวเมนต์ซึ่งทำได้โดยบวกอาร์กิวเมนต์เข้ากับจำนวนเต็ม  $C(X)$  ใน (3.10) ภาพที่ 3.8 แสดงตัวอย่างการคำนวณหา  $C(X_0)$  โดยใช้เงื่อนไขว่า ค่า  $C(X_0)$  จะต้องเป็นจำนวนเต็มที่ทำให้  $d$  ใน (3.11) มีค่าน้อยที่สุด

$$f_2(X + C(X)) \approx f_1(X) \quad (3.10)$$

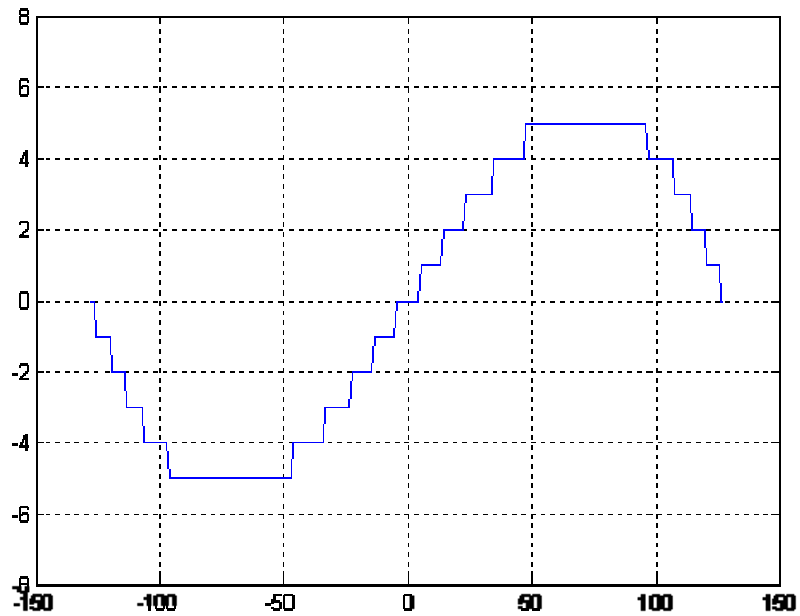
$$d = |f_1(X_0) - f_2(X_0 + C(X_0))| \quad (3.11)$$



ภาพที่ 3.8 หลักการหาค่าชดเชย

ต่อไปเป็นการคำนวณหา  $C(\cdot)$  สำหรับชดเชยเฟสในโครงสร้าง DDS ในภาพที่ 3.7 ที่มี  $W=9$ , สัญญาณ  $X'$  แทนจำนวนเต็มตั้งแต่  $-128$  ถึง  $+127$  ดังนั้นคู่ฟังก์ชันที่ใช้ในการคำนวณหา  $C(\cdot)$  จึงเป็นไปตาม (3.12) และกราฟของ  $C(\cdot)$  แสดงในภาพที่ 3.9 มีค่าสูงสุดเท่ากับ 5 และมีลักษณะสมมาตรรอบจุดกำเนิด

$$s\left(\frac{X+0.5+C(X)}{128}\right) \approx \sin\left(\frac{\pi}{2} \frac{X+0.5}{128}\right) \quad (3.12)$$



ภาพที่ 3.9 กราฟของ  $C(\cdot)$  เมื่อ  $W = 9$

ภาพที่ 3.10 การลดขนาดของรอมสำหรับเก็บค่าซดเซฟเฟสของวงจรถัดเดียว

ความสมมาตรรอบจุดกำเนิดทำให้ลดขนาดรอมลงได้ครึ่งหนึ่ง แต่ต้องใช้วงจรถอดคอมพลีเมนต์มาช่วย เมนต์มาช่วยปรับอินพุตและเอาต์พุตของรอม ดังแสดงในภาพที่ 3.10 สรุปแล้วในกรณีนี้สามารถใช้รอมที่มีเอาต์พุต 3 บิต ( $5 < 2^3$ ) และมีขนาด  $2^7 \times 3 = 384$  บิต เพราะอินพุตของรอมลดลงเหลือ

$$W - 2 = 7$$

ตารางที่ 3.4 แสดงขนาดรอมที่ใช้ซดเซฟเฟส และ SFDR ที่ได้ เมื่อ  $W$  มีค่าต่างๆ

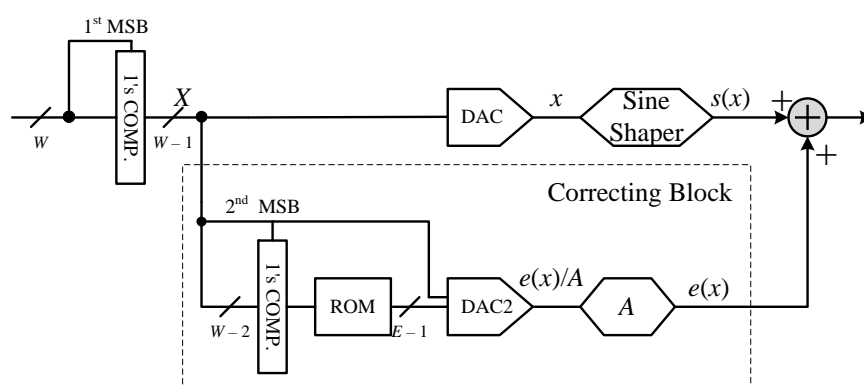
ตารางที่ 3.4 SFDR และขนาดรอม ของ DDFS ที่ใช้วงจรตัดเดี่ยวที่ชดเชยเฟส

$W$	ROM Size [bit]	SFDR [dBc]
9	384	60.1
10	1,024	68.8
11	2,560	75.3

### 3.2.3 เทคนิคการแก้ไขความผิดพลาดสำหรับวงจรตัดเดี่ยว

การเพิ่มความแม่นยำให้กับวงจรเดี่ยวด้วยการปรับพารามิเตอร์ในหัวข้อ 3.2.1 จะนำไปสู่การปรับพารามิเตอร์ของวงจรแอนาล็อกเป็นสำคัญ แต่การชดเชยเฟสในหัวข้อ 3.2.2 จะอาศัยวงจรดิจิทัลเป็นสำคัญ ส่วนเทคนิคการแก้ไขความผิดพลาดในหัวข้อนี้จะอาศัยหลักการวงจรถัดออกและวงจรแอนาล็อกร่วมกัน

จากฟังก์ชันของวงจรตัดเดี่ยวอย่างง่ายใน (3.5) ทำให้เกิดความผิดพลาด  $e(x)$  ใน (3.6), เราสามารถแก้ไขความผิดพลาดนี้ได้ โดยใช้ DDFS ที่มีโครงสร้างในภาพที่ 3.11, เราเพิ่มส่วนชดเชยเข้าไปเพื่อสังเคราะห์  $e(x)$  แล้วนำไปบวกกับ  $s(x)$  เพื่อให้เอาต์พุตสุดท้ายใกล้เคียงไซน์อุดมคติมากขึ้น



ภาพที่ 3.11 โครงสร้าง DDFS ที่ใช้วงจรตัดเดี่ยวอย่างง่ายร่วมกับการแก้ไขความผิดพลาด

ส่วนแก้ไขความผิดพลาดประกอบด้วย วงจรตัดชายน (วงจรถายผลต่าง) ที่ทำงานในช่วงแคบๆ รอบจุดกำเนิดซึ่งมีลักษณะเป็นเชิงเส้น สามารถพิจารณาเป็นวงจรถายที่มีอัตราขยาย

เท่ากับ  $A$  ได้, ดังนั้นอินพุตที่ป้อนให้กับวงจรนี้คือ  $e(x)/A$ , เราใช้ DAC ตัวที่สองเพื่อสังเคราะห์  $e(x)/A$  โดยใช้รอมขนาดเล็กทำหน้าที่คำนวณความผิดพลาดด้วยวิธีเปิดตาราง และเนื่องด้วย  $e(x)$  มีความสมมาตรรอบจุดกำเนิด เราจึงใช้วงจรคอมพลิเมนต์เข้าช่วยเพื่อลดขนาดของรอมได้ สุดท้ายใช้รอมที่มีขนาดเท่ากับ

$$\text{ROMsize} = 2^{W-2} \times (E-1) \quad (3.13)$$

เมื่อ  $E$  คือความละเอียดของ DAC ตัวที่สอง, ช่วงของแรงดันเอาต์พุตของ DAC ตัวที่สอง จะต้องออกแบบให้เข้ากับอัตราขยาย  $A$  เพื่อให้สังเคราะห์  $e(x)$  ได้พอดี การออกแบบในส่วนนี้จะกล่าวถึงในบทที่ 5, ในส่วนนี้เราจะใช้ MATLAB วิเคราะห์ความเพี้ยนที่ได้จากโครงสร้างนี้ ปรากฏว่าได้ผลตามตารางที่ 3.5 ความละเอียดของ DAC ตัวที่สองเป็นปัจจัยสำคัญต่อ SFDR โดยที่ SFDR เพิ่มขึ้นด้วยอัตราส่วนประมาณ 6 dBc ต่อการเพิ่ม  $E$  ขึ้นหนึ่งบิต

ตารางที่ 3.5 SFDR และขนาดรอม ที่ใช้วงจรตัดเดี่ยวยุติที่แก้ไขความผิดพลาด ( $W = 7$ )

$E$	SFDR [dBc]	ROM size [bit]
4	59.2	96
5	64.1	128
6	71.0	160

### 3.3 QDDFS ที่ใช้วงจรตัดคู่

QDDFS ที่ใช้วงจรตัดคู่จะแบ่งช่วงของ  $x$  เป็นสองช่วง คือ  $[0, 0.5]$  และ  $[0.5, 1]$  เพื่อการประมาณที่แม่นยำมากขึ้น แต่ชานย์อุดมคติบนช่วง  $[0.5, 1]$  จะเท่ากับโคไซน์บนช่วง  $[0, 0.5]$  กล่าวคือ

$$\sin\left(\frac{\pi}{2}x\right) = \cos\left(1 - \frac{\pi}{2}\right) \quad ; 0 \leq x < 0.5 \quad (3.14)$$

เราจึงประมาณฟังก์ชันโคไซน์บนช่วง  $[0, 0.5]$  แทนฟังก์ชันไซน์บนช่วง  $[0.5, 1]$

QDDFS ที่ใช้วงจรตัดคู่จะใช้ทั้งวงจรถัดซ้ายและโคไซน์ โดยแต่ละวงจรจะประมาณบนช่วง  $x \in [0, 0.5]$  ตามสมการ

$$s(x) \approx \sin\left(\frac{\pi}{2}x\right) \quad ; 0 \leq x < 0.5 \quad (3.15)$$



และ 
$$c(x) \approx \cos\left(\frac{\pi}{2}x\right) ; 0 \leq x < 0.5 \quad (3.16)$$

การใช้ฟังก์ชันทั้งสอง เราจะต้องเลือกค่าพารามิเตอร์ใหม่ให้เหมาะสมกับช่วงการประมาณที่เปลี่ยนเป็น  $[0, 0.5]$ , จากรูปทั่วไปของฟังก์ชันทั้งสองใน (3.2) และ (3.3) ขั้นต้นเราเลือกให้  $\alpha = 1, \gamma = 1, \phi = 0$  แล้วคำนวณหาค่า  $\beta, \delta$  โดยใช้เงื่อนไขที่ว่า ฟังก์ชันทั้งสองจะเท่ากับซายน์และโคซายน์ที่ปลายช่วง  $x = 0.5$  จะได้ว่า

$$s(0.5) = \sin\left(\frac{\pi}{2}0.5\right) = \frac{\sqrt{2}}{2} \quad (3.17)$$

และ 
$$c(0.5) = \cos\left(\frac{\pi}{2}0.5\right) = \frac{\sqrt{2}}{2} \quad (3.18)$$

จากรูปทั่วไปของ  $s(x)$  ใน (3.2) เราแก้สมการ (3.17) เพื่อหาค่า  $\beta$  แล้วจะได้สมการควอดราติก

$$\begin{aligned} (\beta/2)\sqrt{2-(\beta/2)^2} &= \frac{\sqrt{2}}{2} \\ (\beta/2)^2(2-(\beta/2)^2) &= \frac{1}{2} \\ 4(\beta/2)^2 - 2(\beta/2)^4 &= 1 \\ 2(\beta/2)^4 - 4(\beta/2)^2 + 1 &= 0 \end{aligned} \quad (3.19)$$

ซึ่งสมการ (3.19) จะให้  $\beta$  หลายค่า แต่มีเพียงค่าเดียวที่สอดคล้องกับนิยามของ  $s(x)$  บนช่วง  $[0, 0.5]$  คือ

$$\beta = 2\sqrt{1-\sqrt{2}/2} = 1.0824 \quad (3.20)$$

ส่วนการหาค่า  $\delta$  เราอาศัย (3.3) และ (3.18) จะได้

$$\begin{aligned} 1-(\delta/2)^2 &= \frac{\sqrt{2}}{2} \\ (\delta/2)^2 &= 1-\frac{\sqrt{2}}{2} \\ \delta &= 2\sqrt{1-\sqrt{2}/2} \end{aligned} \quad (3.21)$$

สังเกต (3.20) และ (3.21) จะว่าได้  $\delta = \beta$  เพื่อความสะดวก เรากำหนดให้

$$a = 2\sqrt{1-\sqrt{2}/2} \quad (3.22)$$

สรุปเราได้ฟังก์ชันของวงจรถัดคู่อย่างง่ายคือ

$$s(x) = (ax)\sqrt{2-(ax)^2}, \quad c(x) = 1-(ax)^2 \quad (3.23)$$

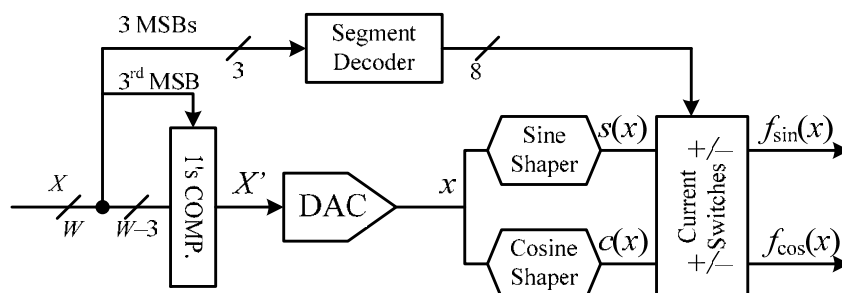
ต่อไปเรานำฟังก์ชันทั้งสองไปประมาณซายน์และโคซายน์เต็มคาบ โดยอาศัยคุณสมบัติสมมาตร 1/8 แล้วจะได้

$$f_{\sin}(x) = \begin{cases} s(x) & ; 0 \leq x < 0.5 \\ c(1-x) & ; 0.5 \leq x < 1 \\ c(x-1) & ; 1 \leq x < 1.5 \\ s(2-x) & ; 1.5 \leq x < 2 \\ -s(x-2) & ; 2 \leq x < 2.5 \\ -c(3-x) & ; 2.5 \leq x < 3 \\ -c(x-3) & ; 3 \leq x < 3.5 \\ -s(4-x) & ; 3.5 \leq x < 4 \end{cases} \quad (3.24)$$

และ

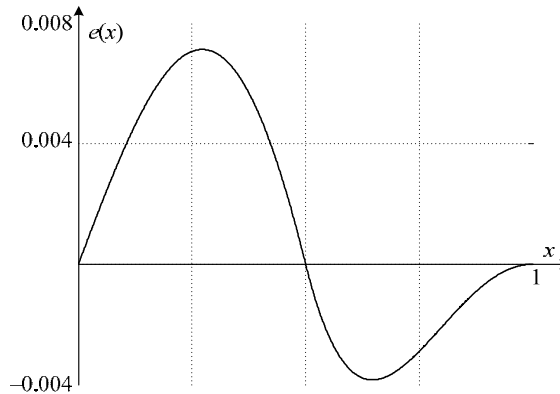
$$f_{\cos}(x) = \begin{cases} c(x) & ; 0 \leq x < 0.5 \\ s(1-x) & ; 0.5 \leq x < 1 \\ -s(x-1) & ; 1 \leq x < 1.5 \\ -c(2-x) & ; 1.5 \leq x < 2 \\ -c(x-2) & ; 2 \leq x < 2.5 \\ -s(3-x) & ; 2.5 \leq x < 3 \\ s(x-3) & ; 3 \leq x < 3.5 \\ c(4-x) & ; 3.5 \leq x < 4 \end{cases} \quad (3.25)$$

สังเกตฟังก์ชันเต็มคาบทั้งสองใน (3.24) และ (3.25) ในช่วง  $x$  เดียวกัน  $s(x)$  และ  $c(x)$  จะถูกใช้สลับกัน ซึ่งจะสนับสนุนการให้เอาต์พุตแบบควอดราเทอร์, และมีเครื่องหมายเป็นบวก/ลบ ตามปกติของฟังก์ชันตรีโกณ, ดังนั้นโครงสร้าง QDDFS ที่ใช้วงจรถัดคู่จึงเป็นไปตามภาพที่ 3.12, เฟส  $X$  แยกออกเป็น 2 กลุ่ม คือ 3 บิตสูง ทำหน้าที่ระบุช่วงทั้ง 8, และ  $M-3$  บิตล่างจะถูกปรับให้เป็น  $X'$  ด้วยวงจรถอดคอมพลิเมนต์ ซึ่งสมนัยกับมุม  $[0, \pi/4]$  และส่งผ่าน DAC เพื่อแปลงให้เป็น แอนาลอกเฟส ซึ่งแทนด้วย  $x$  ในช่วง  $[0, 0.5]$ , จากนั้นวงจรถัดคู่ก็จะแปลง  $x$  ให้เป็น  $s(x)$  และ  $c(x)$ , เอาต์พุตจากวงจรถัดคู่จะถูกกำหนดเครื่องหมายบวก-ลบ และ เลือกออกไปยังเอาต์พุตสุดท้าย  $f_{\sin}(x)$  และ  $f_{\cos}(x)$  ด้วยสวิตซ์ซึ่งควบคุมด้วยสัญญาณที่ถอดรหัสจาก 3 บิตสูงของ  $X$  ให้สอดคล้องกับ (3.24) และ (3.25)



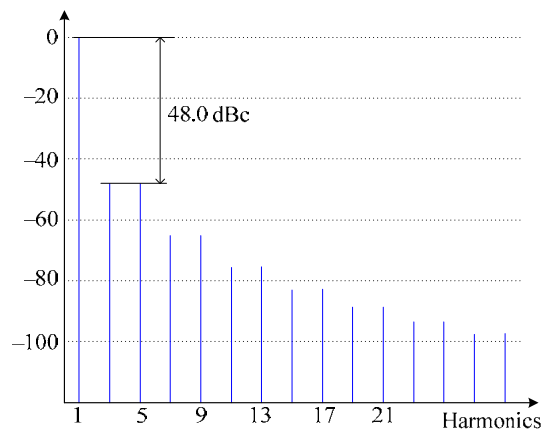
ภาพที่ 3.12 โครงสร้าง DDFS ที่ใช้วงจรถัดคู่

เมื่อเรานำ  $f_{\sin}(x)$  ใน (3.24) มาเปรียบเทียบกับชายนีในอุดมคติ จะได้ความผิดพลาดในควอดแดรนต์ที่ 1 แสดงในภาพที่ 3.13, ความผิดพลาดสัมบูรณ์มีค่าสูงสุดเท่ากับ  $7.1 \times 10^{-2}$  และคำนวณ SNR ได้ 42.9 dB ซึ่งสรุปได้ว่าควรรใช้  $W$  ตั้งแต่ 8 บิตขึ้นไปในการออกแบบ QDDFS



ภาพที่ 3.13 ความผิดพลาดของการประมาณโดยใช้วงจรถัดคู่อย่างง่าย

ถ้าเราป้อนค่า  $x$  แบบต่อเนื่องเพื่อสร้าง  $f_{\sin}(x)$  แล้วนำไปวิเคราะห์ด้วย MATLAB จะได้ค่า SFDR = 48.0 dBc และ THD = 0.57% รวมทั้งได้สเปกตรัมความถี่ที่ได้ตามภาพที่ 3.14 สังเกตฮาร์โมนิกที่ 3 และ 5 จะมีนัยสำหรับกำหนด SFDR ทั้งคู่



ภาพที่ 3.14 สเปกตรัมความถี่ของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่อย่างง่าย

สรุปได้ว่าการใช้วงจรถัดคู่ จะทำให้เราประมาณฟังก์ชันชายนีบนช่วงที่แคบลง เป็นผลให้เราสามารถปรับพารามิเตอร์ให้ใกล้เคียงชายนีในอุดมคติได้ดีขึ้น เมื่อเทียบกับการใช้วงจรถัดเดี่ยว, ฟังก์ชันที่เข้าประมาณใน (3.23) เป็นฟังก์ชันของวงจรถัดคู่อย่างง่าย จะให้  $s(x)$  ที่น้อยกว่าชายนีในอุดมคติ แต่  $c(x)$  จะมากกว่าชายนีในอุดมคติ, เราสามารถปรับพารามิเตอร์ของฟังก์ชันทั้งสองได้อีกเพื่อให้มีความแม่นยำมากขึ้นได้ ดังจะอธิบายในหัวข้อต่อไป

### 3.3.1 เทคนิคการปรับพารามิเตอร์สำหรับวงจรถัดคู่

เราสามารถปรับพารามิเตอร์สำหรับ  $s(x)$  และ  $c(x)$  อย่างอิสระต่อกัน โดยเลือกใช้ เกณฑ์ 3 แบบสำหรับแต่ละฟังก์ชัน ได้แก่

- เกณฑ์ที่ 1 พารามิเตอร์ที่ทำให้ค่าผิดพลาดสัมบูรณ์สูงสุดมีค่าต่ำสุด เราใช้ MATLAB ค้นหาคำตอบ

$$\text{Minimize} \left\{ \max \left| \sin\left(\frac{\pi}{2}x\right) - s(x) \right| \right\}, \text{Minimize} \left\{ \max \left| \cos\left(\frac{\pi}{2}x\right) - c(x) \right| \right\}$$

- เกณฑ์ที่ 2 พารามิเตอร์ที่ทำให้ค่า ISE มีค่าต่ำสุด เราใช้ MATLAB ค้นหาคำตอบ

$$\text{Minimize} \left\{ \int_0^{0.5} \left( \sin\left(\frac{\pi}{2}x\right) - s(x) \right)^2 dx \right\}, \text{Minimize} \left\{ \int_0^{0.5} \left( \cos\left(\frac{\pi}{2}x\right) - c(x) \right)^2 dx \right\}$$

- เกณฑ์ที่ 3 พารามิเตอร์ที่ทำให้ฟังก์ชันของวงจรถัดคู่ตัดกับชายน้้้นุดมคติ 3 จุด ที่กึ่งกลาง และ ปลายทั้งสองของช่วง

$$s(x) = \sin\left(\frac{\pi}{2}x\right), c(x) = \cos\left(\frac{\pi}{2}x\right) \text{ where } x = 0, x = 0.25, x = 0.5$$

เราสามารถใช้อ็อนไข้ในการแก้สมการหาพารามิเตอร์ต่างๆ ได้

เราใช้ MATLAB คำนวณค่าพารามิเตอร์สำหรับวงจรถัดคู่ชายน้้้นุดมคติ รวมทั้งความผิดพลาดของฟังก์ชันที่ใช้พารามิเตอร์จากเกณฑ์ต่างๆ ข้างต้น และได้ผลตามตารางที่ 3.6 และใช้วิธีเดียวกันกับวงจรถัดคู่โคชายน้้้นุดมคติ แล้วได้ผลตามตารางที่ 3.7

ตารางที่ 3.6 ค่าพารามิเตอร์ที่เหมาะสมสำหรับวงจรถัดคู่ชายน้้้นุดมคติบนช่วง  $[0, 0.5]$

เกณฑ์ ที่	พารามิเตอร์	ค่าผิดพลาด สัมบูรณ์สูงสุด	ISE
1	$\alpha = 0.9078$ $\beta = 1.2204$	$4.08 \times 10^{-4}$	$4.10 \times 10^{-8}$
2	$\alpha = 0.9036$ $\beta = 1.2268$	$8.12 \times 10^{-4}$	$3.11 \times 10^{-8}$
3	$\alpha = 0.9083$ $\beta = 1.2204$	$7.39 \times 10^{-4}$	$7.56 \times 10^{-8}$

ตารางที่ 3.7 ค่าพารามิเตอร์ที่เหมาะสมสำหรับวงจรถัดโคไซน์บนช่วง  $[0, 0.5]$

เกณฑ์ ที่	พารามิเตอร์	ค่าผิดพลาด สัมบูรณ์สูงสุด	ISE
1	$\gamma = 1.0011$ $\delta = 1.0592$ $\phi = 0.0125$	$9.97 \times 10^{-4}$	$2.26 \times 10^{-7}$
2	$\gamma = 1.0015$ $\delta = 1.0608$ $\phi = 0.0122$	$1.30 \times 10^{-3}$	$2.04 \times 10^{-7}$
3	$\gamma = 0.9961$ $\delta = 1.0773$ $\phi = 0.0000$	$3.90 \times 10^{-3}$	$2.47 \times 10^{-6}$

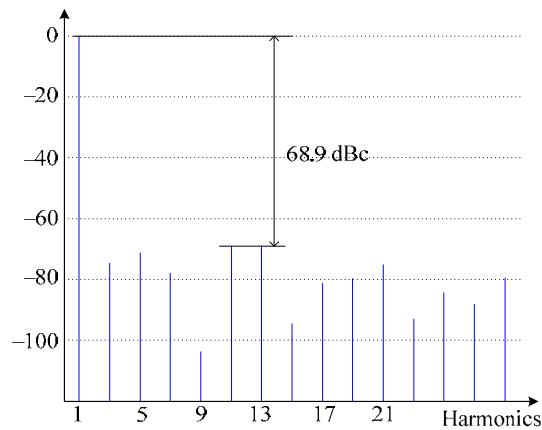
สำหรับการวิเคราะห์ความเพี้ยน เรานำ  $s(x)$  มาใช้ร่วมกับ  $c(x)$  มาสังเคราะห์  $f_{\sin}(x)$  จะได้ทั้งหมด และเราคำนวณหา , กรณี 9SFDR และ THD ของทุกกรณี ได้ผลตามตารางที่ 3.8 และตารางที่ 3.9 ตามลำดับ ผลปรากฏว่ากรณีที่ให้ SFDR สูงสุดคือ  $s(x)$  พร้อมพารามิเตอร์ตามเกณฑ์ที่ 3 ร่วมกับ  $c(x)$  พร้อมพารามิเตอร์ตามเกณฑ์ที่ 2 และกรณีที่ให้ THD ต่ำสุดก็ได้จากกรณีเดียวกัน เราจึงเลือกกรณีที่ให้ความเพี้ยนต่ำที่สุดมาวิเคราะห์สเปกตรัมได้ตามภาพที่ 3.15 สังเกตฮาร์โมนิกที่ 11 และ 13 เป็นตัวกำหนด SFDR

ตารางที่ 3.8 SFDR [dBc] จากสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่ที่ปรับพารามิเตอร์

$c(x)$ $s(x)$	เกณฑ์ที่ 1	เกณฑ์ที่ 2	เกณฑ์ที่ 3
เกณฑ์ที่ 1	67.7	68.3	56.0
เกณฑ์ที่ 2	67.0	67.2	56.4
เกณฑ์ที่ 3	68.7	68.9	56.3

ตารางที่ 3.9 THD [%] จากสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่ที่ปรับพารามิเตอร์

$c(x)$ \ $s(x)$	เกณฑ์ที่ 1	เกณฑ์ที่ 2	เกณฑ์ที่ 3
เกณฑ์ที่ 1	0.0612	0.0512	0.2125
เกณฑ์ที่ 2	0.0597	0.0506	0.2109
เกณฑ์ที่ 3	0.0640	0.0495	0.2170



ภาพที่ 3.15 สเปกตรัมของสัญญาณที่สังเคราะห์โดยใช้วงจรถัดคู่ที่ปรับพารามิเตอร์แล้วให้ค่า SFDR สูงสุด

สังเกตได้ชัดเจนว่าการใช้เกณฑ์ที่ 3 ไม่เหมาะสำหรับ  $c(x)$  แต่กลับให้ผลดีเมื่อใช้กับ  $s(x)$  เราจึงใช้เกณฑ์ ISE ต่ำที่สุดสำหรับ  $c(x)$  และเกณฑ์ 3 จุดตัดสำหรับ  $s(x)$  สรุปว่าเราจะเลือกเกณฑ์ทั้งสองสำหรับหาค่าพารามิเตอร์ที่เหมาะสมที่สุดสำหรับวงจรถัดคู่

### 3.3.2 เทคนิคการชดเชยเฟสสำหรับวงจรถัดคู่

เทคนิคการชดเชยสำหรับวงจรถัดคู่เป็นอีกวิธีการหนึ่ง que เพิ่มความแม่นยำให้กับวงจรถัดได้, โดยเราจะคำนวณหาค่าที่จะนำมาบวกกับเฟส  $X'$  ก่อนส่งให้ DAC สร้างอินพุตให้กับวงจรถัดคู่ อย่างง่าย แต่ค่าชดเชยนี้สามารถคำนวณบนช่วง  $x \in [0, 0.5]$  เพียงชุดเดียวเท่านั้น ก็สามารถนำไปใช้ได้กับทั้งวงจรถัดชายน์และโคชายน์ ทั้งนี้ก็เพราะ  $s(x)$  และ  $c(x)$  ใน (3.23) มีคุณสมบัติพิเศษที่ว่า

$$c^2(x) + s^2(x) = 1 \quad (3.26)$$

ซึ่งคล้ายกับเอกลักษณ์ตรีโกณ

$$\sin^2 \theta + \cos^2 \theta = 1 \quad (3.27)$$

เรากำหนดให้  $p(x)$  เป็นฟังก์ชันที่มีค่าอยู่ระหว่าง 0 ถึง 0.5 บนช่วง  $x \in [0, 0.5]$  ที่ทำให้

$$s(p(x)) = \sin\left(\frac{\pi}{2}x\right) \quad (3.28)$$

จากคุณสมบัติใน (3.26) และขอบเขตของ  $p(x)$  เรายังคงได้ว่า

$$s^2(p(x)) + c^2(p(x)) = 1 \quad (3.29)$$

เราแทนค่า (3.28) ลงใน (3.29) แล้วจะได้ว่า

$$\begin{aligned} c^2(p(x)) &= 1 - s^2(p(x)) \\ c^2(p(x)) &= 1 - \sin^2\left(\frac{\pi}{2}x\right) = \cos^2\left(\frac{\pi}{2}x\right) \end{aligned} \quad (3.30)$$

$$c(p(x)) = \cos\left(\frac{\pi}{2}x\right)$$

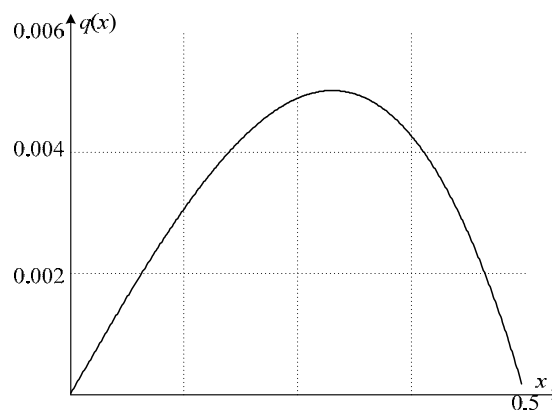
จาก (3.28) และ (3.30) ทำให้เราสามารถส่ง  $p(x)$  เพียงชุดเดียวออกไปให้วงจรตัดทั้งสองแทน  $x$  เพื่อให้ได้ชายน์และโคชายน์อุดมคติ, เราใช้  $c(x)$  ใน (3.23) และ (3.30) เพื่อคำนวณ  $p(x)$  และ  
ได้ผลคือ

$$p(x) = \frac{1}{\sqrt{4 - 2\sqrt{2}}} \sqrt{1 - \cos\left(\frac{\pi}{2}x\right)} \quad (3.31)$$

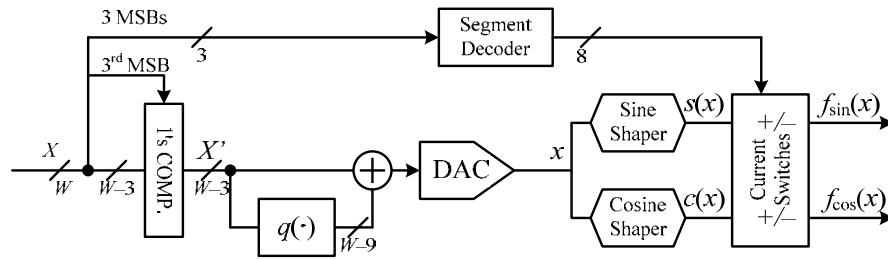
ซึ่งค่าของ  $p(x)$  ใกล้เคียง  $x$  มาก เราจึงสังเคราะห์  $p(x)$  จาก  $q(x)$  โดยที่

$$q(x) = p(x) - x \quad (3.32)$$

$q(x)$  แสดงในภาพที่ 3.16 ค่าสูงสุดของ  $q(x)$  เท่ากับ  $5.024 \times 10^{-3}$  เนื่องจาก  $q(x)$  เป็นฟังก์ชันที่คำนวณได้ยาก เราจึงคำนวณด้วยวิธีเปิดตารางโดยใช้รอม ดังนั้นโครงสร้าง DDFS ที่ใช้วงจรตัดคู่ที่ชดเชยเฟสจึงเป็นไปตามภาพที่ 3.17



ภาพที่ 3.16 ค่าสำหรับชดเชยเฟส หรือ  $q(x)$



ภาพที่ 3.17 QDDFS ที่ใช้วงจรตัดคู้ที่ชดเชยเฟส

เมื่อพิจารณาอัตราส่วนของค่าสูงสุดของ  $q(x)$  ต่อค่าสูงสุดของ  $x$  (คือ 0.5) เท่ากับ

$$\frac{\max[q(x)]}{0.5} = 0.01004 < 2^{-6} \quad (3.33)$$

อัตราส่วนที่ได้น้อยกว่า  $2^{-6}$  ดังนั้น เราจึงสามารถควอนไทส์  $q(x)$  ด้วยจำนวนบิตที่น้อยกว่าจำนวนบิตของ  $X'$  อยู่ 6 บิต และทำให้ขนาดของเอาต์พุตรวมจึงเป็น  $W-9$  หมายความว่า QDDFS ที่จะใช้โครงสร้างนี้จะต้องมี  $W \geq 10$

ตารางที่ 3.10 SFDR และขนาดรวม: วงจรตัดคู้และการชดเชยเฟส

$W$	SFDR [dBc]	ROM size [bit]
10	56.7	128
11	60.8	512
12	67.0	1,536

การใช้วงจรตัดคู้ทำให้ QDDFS ในภาพที่ 3.17 มีความกะชับสูง (High Compactness) เพราะใช้ DAC เพียงตัวเดียวก็สามารถใช้สังเคราะห์ทั้งสัญญาณไซน์และโคไซน์ได้ และรวมที่ใช้ในการชดเชยเฟสก็มีขนาดเล็กเพียง

$$\text{ROM size} = 2^{W-3} \times (W-9) \quad (3.34)$$

ส่วนค่า SFDR ในตารางที่ 3.6 ที่ได้จาก QDDFS นี้ถือว่าสูงมากเมื่อเทียบกับความกะชับ

### 3.4 เปรียบเทียบฟังก์ชันที่ใช้ประมาณฟังก์ชันไซน์

เพื่อแสดงให้เห็นประสิทธิภาพการประมาณฟังก์ชันไซน์ของฟังก์ชันวงจรถัดเดียวที่ปรับพารามิเตอร์ที่ให้ค่า SFDR = 45.10 dBc และฟังก์ชันวงจรถัดคู้ที่ปรับพารามิเตอร์ที่ให้ค่า SFDR =



68.90 dBc เราจะนำไปเปรียบเทียบกับการใช้ฟังก์ชันพหุนามใน [10] และ [20] ซึ่งนำเสนอวิธีการใช้ฟังก์ชันพหุนามประมาณฟังก์ชันชายนี้นี้ให้ได้ค่า SFDR สูงสุด ดังแสดงในตารางที่ 3.11

ตารางที่ 3.11 SFDR ที่ได้จากการใช้ฟังก์ชันพหุนามประมาณฟังก์ชันชายนี้นี้

จำนวนท่อน	กำลังพหุนาม ในแต่ละท่อน	SFDR [dBc] ใน [10], [20]
4	1	48.20
8	1	60.21
16	1	72.25
32	1	84.29
2	2	64.67
4	2	83.49

ฟังก์ชันวงจรถัดคือถือว่าเป็นการประมาณด้วยจำนวนท่อนเท่ากับ 1 ท่อน จะให้ค่า SFDR น้อยกว่าการประมาณด้วยฟังก์ชันพหุนามกำลัง 1 หรือ Linear interpolation จำนวน 4 ท่อนที่มี SFDR ประมาณ 48 dBc เพียงเล็กน้อย

ส่วนฟังก์ชันวงจรถัดคือซึ่งเป็นการประมาณแบบ 2 ท่อน จะให้ค่า SFDR น้อยกว่าการใช้พหุนามกำลัง 1 จำนวน 16 ท่อน แต่สูงกว่าพหุนามกำลัง 2 จำนวน 2 ท่อน จึงจัดได้ว่าฟังก์ชันวงจรถัดคือเป็นการประมาณที่ให้ความแม่นยำสูง เทียบเท่าพหุนามกำลังสอง หรือ กำลัง 1 ที่ใช้จำนวนท่อนสูง

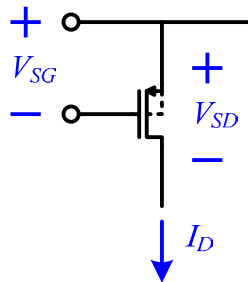
## บทที่ 4

### วงจรถัด

เราได้วิเคราะห์ฟังก์ชันของวงจรถัดชาयनและโคชาयनมาแล้วในบทที่ 3 สำหรับบทนี้จะอธิบายการออกแบบวงจรถัดโดยใช้เทคโนโลยีซีมอส ฟิมอสจะถูกนำไปเพื่อสร้างฟังก์ชันของวงจรถัดและวงจรถัดสร้างกระแสอ้างอิง เพราะสามารถกำจัด Body effect ได้ในกระบวนการผลิตที่ใช้สารกึ่งตัวนำ P-Type เป็นซับสเตรทและสร้างฟิมอสใน N-Well, ในขณะที่เอ็นมอสจะถูกใช้เพื่อสะท้อนกระแสจากวงจรถัดหนึ่งไปยังอีกวงจรถัดหนึ่ง, การออกแบบวงจรถัดจะอาศัยสมการที่ได้จากกฎกำลังสองของฟิมอสเป็นหลัก จากนั้นเราจะจำลองการทำงานด้วยแบบจำลองระดับ 49 ของเทคโนโลยีซีมอส 0.18 ไมครอนโดยใช้โปรแกรม HSPICE

#### 4.1 กฎกำลังสองของมอส

พิจารณาภาพที่ 4.1 เป็นสัญลักษณ์และการกำหนดทิศทางกระแส-แรงดันอ้างอิงของฟิมอส โดยทั่วไปการกำหนดทิศทางกระแส-แรงดันที่เกี่ยวข้องกับฟิมอสจะเป็นค่าติดลบ แต่เพื่อความสะดวกในการวิเคราะห์ฟังก์ชันซึ่งได้จากการทำงานของฟิมอส เราจึงกำหนดค่ากระแสของฟิมอส ( $I_D$ ) เป็นค่าบวกเสมอ และใช้ค่าสัมบูรณ์ของแรงดันขีดเริ่มของฟิมอส  $|V_{TH}|$  ในการคำนวณเสมอ



ภาพที่ 4.1 สัญลักษณ์และทิศทางกระแส-แรงดันอ้างอิงของฟิมอส

เราสามารถให้ความสัมพันธ์ที่ง่ายที่สุด ของกระแสกับแรงดันของฟิมอสในย่านอิ่มตัว ที่เรียกว่า กฎกำลังสอง สำหรับคำนวณเป็นแนวทางเพื่อออกแบบวงจรถัด ซึ่งกฎกำลังสองของฟิมอสคือ

$$I_D = \frac{\mu_P C_{ox} (W/L)}{2} (V_{SG} - |V_{TH}|)^2 \quad (4.1)$$

เมื่อ  $(W/L)$  คือสัดส่วนของความกว้างต่อความยาวของช่องทางนำกระแสในพีมอส (Aspect ratio) ซึ่งต่อไปจะเรียกสั้นๆ ว่า “สัดส่วน” , กระแสจะแปรผันตรงกับกำลังสองของ “แรงดันขับ” (Overdrive voltage) ซึ่งแรงดันขับคือส่วนที่  $V_{SG}$  มากเกินกว่าแรงดันขีดเริ่ม คำนวณได้จาก

$$V_{OD} = V_{SG} - |V_{TH}| \quad (4.2)$$

ทำให้เราสามารถเขียนกฎกำลังสองในรูปแรงดันขับได้เป็น

$$I_D = \frac{\mu_p C_{ox} (W/L)}{2} V_{OD}^2 \quad (4.3)$$

พฤติกรรมของพีมอสจริงจะแตกต่างไปจากกฎกำลังสอง โดยเฉพาะพีมอสที่มี  $L$  สั้น (Short Channel Transistor) สมการที่ใกล้เคียงพฤติกรรมของพีมอสที่มี  $L$  สั้นมากกว่ากฎกำลังสองได้แก่

$$I_D = \frac{\mu_p C_{ox} (W/L)}{2} (V_{SG} - |V_{TH}|)^2 \times (1 + \lambda) V_{SD} \quad (4.4)$$

เมื่อ  $\lambda$  คือ สัมประสิทธิ์ Channel length modulation ซึ่งมีค่าประมาณ [18]

$$\lambda = \Delta L / L \quad (4.5)$$

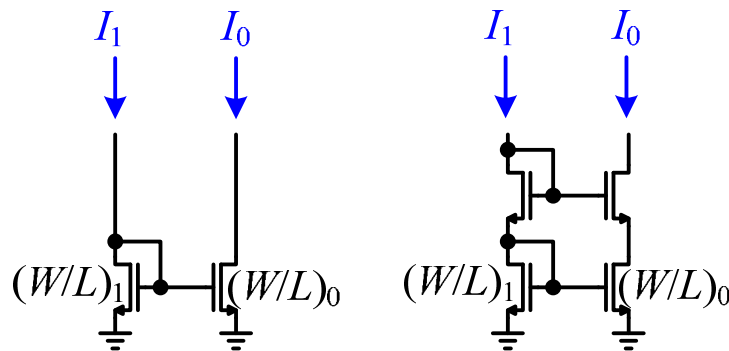
เมื่อ  $\Delta L$  คือความยาวของช่องทางนำกระแสที่ลดลงเมื่อพีมอสเข้าสู่สภาวะอิ่มตัว, จาก (4.4) จะเห็นได้ว่าปริมาณกระแสได้รับผลจาก  $V_{SD}$  ซึ่งจะมีค่าเปลี่ยนไปตามโหนดของแต่ละวงจร ทำให้เราไม่สามารถควบคุมปริมาณกระแสให้อิสระจากโหนดได้อย่างแท้จริง แต่เมื่อพิจารณา (4.5) เราสามารถเลือกใช้พีมอสที่มีค่า  $L$  สูงๆ เพื่อลด  $\lambda$  ให้มีค่าน้อยจนไม่มีนัยสำคัญ พีมอสที่มี  $L$  มากจะมีพฤติกรรมใกล้เคียงกฎกำลังสองมากขึ้น เราจะเรียกพีมอสที่ประพฤติตัวตามกฎกำลังสองว่า “พีมอสอุดมคติ” และจะใช้พีมอสอุดมคติเป็นฐานในการอนุพันธ์สมการและฟังก์ชันของวงจรถัดต่อไป

กฎกำลังสองใน (4.1) มีพารามิเตอร์ของขบวนการผลิตอยู่ 3 ตัวได้แก่  $\mu_p$ ,  $C_{ox}$ , และ  $V_{TH}$  นอกจากจะขึ้นอยู่กับกระบวนการผลิตแล้ว  $\mu_p$  และ  $V_{TH}$  ยังขึ้นกับคุณสมบัติอีกด้วย ดังนั้นการออกแบบวงจรให้เป็นอิสระจากพารามิเตอร์ทั้งสามนี้ จะช่วยให้วงจรดัดตนทานต่อการเปลี่ยนแปลงของคุณสมบัติได้ดีขึ้น, การออกแบบวงจรในหัวข้อต่อไป จึงใช้เทคนิคเพื่อชดเชย  $|V_{TH}|$  และหักล้าง  $\mu_p C_{ox}$ , เนื่องจาก  $|V_{TH}|$  ของพีมอสแต่ละตัวมีค่าขึ้นอยู่กับ ความต่างศักย์ระหว่างขั้วบอดี้กับซอร์ส  $V_{Bulk-S}$  เรียกว่า Body effect ดังนั้นเราจึงต่อขั้วทั้งสองเข้าด้วยกัน ดังแสดงด้วยเส้นประในภาพที่ 4.1 เพื่อให้  $V_{Bulk-S}$  มีค่าเป็นศูนย์ ซึ่งเทคนิคนี้สามารถกระทำได้ในกระบวนการผลิตแบบ N-well เพราะเราสามารถสร้าง N-well สำหรับพีมอสแต่ละตัวแยกกันได้, ด้วยเหตุนี้เราจึงอนุมานได้ว่าพีมอสทุกตัวในวงจรมีแรงดันขีดเริ่มเท่ากัน และนำไปสู่การออกแบบวงจรสร้างกระแสเพื่อชดเชยแรงดันขีดเริ่ม

วงจรในภาพที่ 4.2 (ซ้าย) เป็นวงจรสะท้อนกระแสโดยใช้เอ็นมอส จากการต่อขั้วเกตของเอ็นมอสทั้งสองเข้าด้วยกันทำให้แรงดันขั้วมีค่าเท่ากัน จากกฎกำลังสองจึงสรุปได้ว่า อัตราส่วนของกระแสสองฝั่งจะเท่ากับอัตราส่วนของสัดส่วนของเอ็นมอส

$$\frac{I_0}{I_1} = \frac{(W/L)_0}{(W/L)_1} \quad (4.6)$$

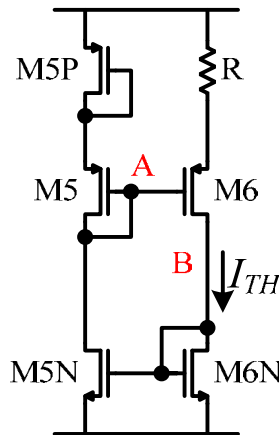
กระแสจากฝั่ง M1 จะถูกคัดลอกไปยังฝั่ง M0 ด้วยสัดส่วนใน (4.5) ความผิดพลาดของการคัดลอกกระแสก็เกิดมากจากความไม่เป็นอุดมคติของเอ็นมอส เราจึงเลือกใช้เอ็นมอสที่มี  $L$  สูงๆ เพื่อให้เอ็นมอสใกล้เคียงอุดมคติมากขึ้น, ถ้าต้องการความแม่นยำสูงในการคัดลอกกระแส เราสามารถใช้โครงสร้าง Cascode current mirror ในภาพที่ 4.2 (ขวา) ได้ ซึ่งในโครงสร้างนี้จะให้แรงดันที่ขั้วเดรนของ M0 และ M1 ใกล้เคียงกันส่งผลให้การคัดลอกกระแสผิดพลาดน้อยลง แต่ทว่าโครงสร้างนี้ก็ต้องการแรงดันสูงมากขึ้นด้วย



ภาพที่ 4.2 วงจรสะท้อนกระแสที่ใช้เอ็นมอส (ซ้าย) แบบปกติ (ขวา) แบบ Cascode

#### 4.2 วงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม

เพื่อออกแบบวงจรตัดให้อิสระจากแรงดันขีดเริ่ม เราได้ออกแบบวงจรเพื่อสร้างกระแส  $I_{TH}$  ที่สามารถชดเชยแรงดันขีดเริ่มได้ตามภาพที่ 4.3



ภาพที่ 4.3 วงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม

พิจารณาภาพที่ 4.3 ทรานซิสเตอร์ M5N, M6N ถูกออกแบบให้สะท้อนกระแส  $I_{TH}$  จากฝั่ง M6 ไปยัง M5 ด้วยอัตราส่วนหนึ่งต่อหนึ่ง

$$(W/L)_{5N} = (W/L)_{6N} \quad (4.7)$$

ดังนั้นกระแสที่ผ่าน M5P, M5, และ M6 จึงเท่ากับ  $I_{TH}$  ทั้งหมด, เมื่อเราเลือกสัดส่วนของพีมอสทั้งสามให้สัมพันธ์กันดังนี้

$$(W/L)_{5P} = (W/L)_5 = 4(W/L)_6 \quad (4.8)$$

จากกฎกำลังสองใน (4.3) ทำให้เราได้ความสัมพันธ์ของแรงดันขั้วของพีมอสทั้งสามเป็น

$$V_{OD5P} = V_{OD5} = V_{OD6}/2 \quad (4.9)$$

ต่อไปเราอาศัย KVL พิจารณาศักย์ระหว่างโหนด A กับ  $V_{DD}$  จะได้

$$V_{OD5P} + |V_{TH}| + V_{OD5} + |V_{TH}| = V_{OD6} + |V_{TH}| + I_{TH}R \quad (4.10)$$

เมื่อนำ (4.9) มาแทนใน (4.10) จะได้ค่ากระแสเป็น

$$I_{TH} = \frac{|V_{TH}|}{R} \quad (4.11)$$

กระแส  $I_{TH}$  ที่ได้นี้จะแปรผันตรงกับ  $|V_{TH}|$  เราสามารถตัดลอกกระแสนี้ไปใช้เพื่อชดเชยแรงดันขีดเริ่มได้โดยนำไปผ่านตัวต้านทานค่า  $R$  และจะได้แรงดันตกคร่อมมีค่าเท่ากับแรงดันขีดเริ่มของพีมอส  $|V_{TH}|$

การได้มาซึ่ง (4.11) อาศัยกฎกำลังสองของมอสในย่านอิมิตัวเป็นสมมติฐานต้น ดังนั้นการจัดไบอัสให้มอสทุกตัวอยู่ในย่านอิมิตัวจึงเป็นเงื่อนไขที่จำเป็น, สังเกต M5P, M5, และ M6N จะอยู่ในย่านอิมิตัวอยู่แล้วเพราะต่อขั้วเดรนกับขั้วเกตเข้าด้วยกัน จะได้ว่า

$$V_{SG} = V_{SD} \Rightarrow V_{SD} > (V_{SG} - |V_{TH}|) \quad (4.12)$$

ซึ่งเป็นเงื่อนไขการอิมิตัวของมอส, เพื่อให้ M6 และ M5N อยู่ในย่านอิมิตัวด้วย เราต้องจัดวงจรให้ ศักย์ที่โหนด A สูงกว่าโหนด B หรือ ต่ำกว่าได้แต่ผลต่างต้องไม่เกิน  $|V_{TH}|$  กล่าวคือ

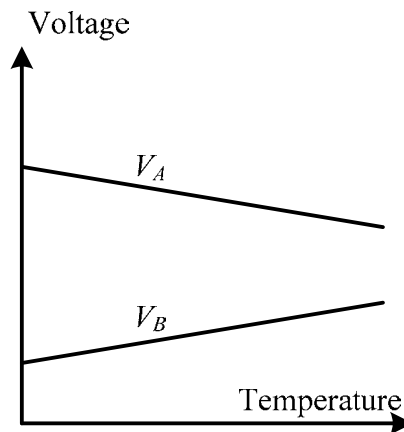
$$V_A - V_B > -|V_{TH}|$$

เพื่อการันตีการอิมิตัวสำหรับทุกค่า  $V_{TH}$  ที่เปลี่ยนตามอุณหภูมิ เราจึงเลือกเงื่อนไข

$$V_A \geq V_B \quad (4.13)$$

ซึ่งแน่นอนกว่าสำหรับการการันตีการอิมิตัวของ M6 และ M5N, สังเกตถ้าเราจัดให้  $V_A$  ใกล้เคียง กับ  $V_B$  จะช่วยลดความผิดพลาดของการสะท้อนกระแสของเอ็นมอสด้วย

เมื่ออุณหภูมิสูงขึ้น  $\mu_p$  จะลดลงด้วยอัตราประมาณ 3/2 [21] ซึ่งจะลดลงมากกว่า แรงดันขีดเริ่มที่ลดลงด้วยอัตรา 1 เป็นเหตุให้  $V_{OD6}$  จะต้องมีค่ามากขึ้นเพื่อชดเชยการลดลง ของ  $\mu_p$  ที่ลดลงด้วยอัตราที่มากกว่าอัตราการลดของ  $|V_{TH}|$ , เนื่องจากศักย์ที่โหนด A มีค่าเป็น  $V_{DD} - 2|V_{TH}| - V_{OD6}$ ,  $V_A$  จึงมีแนวโน้มลดลงเมื่ออุณหภูมิสูงขึ้น ด้วยเหตุผลทำนองเดียวกัน  $V_B$  จะมีค่าเพิ่มขึ้นตามอุณหภูมิ ดังแสดงในภาพที่ 4.4



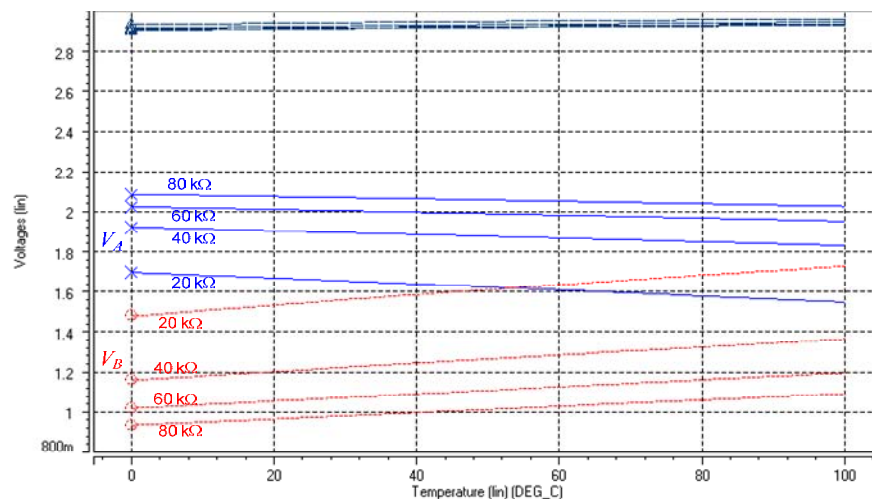
ภาพที่ 4.4 แนวโน้มศักย์ในวงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม เมื่ออุณหภูมิเปลี่ยน

ต่อไปเราจะพิจารณาในกรณีที่อุณหภูมิสูงขึ้น เพื่อไม่ให้  $V_{OD6}$  มีค่าเพิ่มขึ้นมากเกินไป เราจึงเลือกใช้  $R$  ที่มีค่าสูง เป็นผลให้  $I_{TH}$  ที่สร้างขึ้นมากมีค่าน้อย, ด้วยปริมาณกระแสที่น้อย แรงดัน ขั้วที่ต้องการจึงไม่มาก และทำให้ปริมาณที่เพิ่มขึ้นของแรงดันขั้วน้อยตามไปด้วย, ด้วยเหตุผล เดียวกันปริมาณที่เพิ่มขึ้นของ  $V_B$  ก็จะไม่มาก, นอกจากนี้การเลือกใช้มอสขนาดใหญ่ก็เป็นอีก ปัจจัยหนึ่งที่ทำให้แรงดันขั้วไม่มากเช่นกัน และช่วยให้เรารักษาเงื่อนไข (4.13) ได้ตลอดช่วง อุณหภูมิการใช้งานได้

ตารางที่ 4.1 สัดส่วนของมอสวงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม

MOS	(W/L) [ $\mu\text{m}/\mu\text{m}$ ]
M5, M5P	28.800/7.2000
M6	7.2000/7.2000
NMOS ทุกตัว	0.9000/7.2000

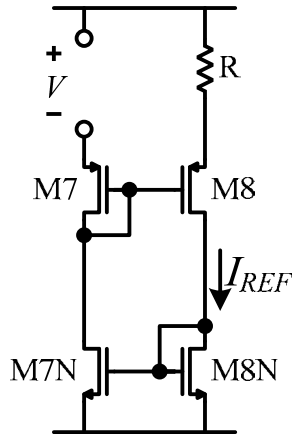
เราสังเคราะห์วงจรมุมที่ 4.3 โดยใช้แรงดันซัพพลาย  $V_{DD} = 3.3 \text{ V}$  เราเลือกใช้มอสที่มีสัดส่วนตามตารางที่ 4.1 ซึ่งคำนวณมาจาก (4.8) และทดลองเลือกใช้ค่า  $R$  ที่ค่าคือ 20, 40, 60, และ 80  $\text{k}\Omega$ , ผลการจำลองการทำงานในช่วงอุณหภูมิ 0–100  $^{\circ}\text{C}$  แสดงในภาพที่ 4.5, สังเกตได้ว่าช่วงว่างแรงดัน  $V_{AB}$  มีค่าลดลงเมื่ออุณหภูมิสูงขึ้นตามที่คาดการณ, เมื่อเลือกใช้  $R$  ค่ามากจะช่วยให้ได้ช่วงแรงดัน  $V_{AB}$  ที่กว้างกว่าซึ่งการันตีการันการอิมตัวของ M6 และ M5N ได้ดี สังเกตในกรณี  $R = 20 \text{ k}\Omega$  จะทำให้เงื่อนไข (4.13) ไม่เป็นจริงที่อุณหภูมิสูงกว่า 55  $^{\circ}\text{C}$ , ส่วนแรงดันที่ตกคร่อมตัวต้านทาน (กราฟสีน้ำเงินเข้ม) มีค่าใกล้เคียงกันทุกค่า  $R$  และลดลงเมื่ออุณหภูมิสูงขึ้นอย่างเป็นเชิงเส้น ซึ่งเป็นพฤติกรรมของแรงดันขีดเริ่ม



ภาพที่ 4.5 ผลการจำลองการทำงานของวงจรมุมสร้างกระแสชดเชยแรงดันขีดเริ่ม

ถ้าเราเลือก  $R$  ค่ามากเกินไปจะทำให้  $V_{DS}$  ของ M5N และ M6N ต่างกันมาก เป็นผลให้การคัดลอกกระแสผิดพลาดมากขึ้น ดังนั้นเราควรเลือก  $R$  ที่มีค่าน้อยแต่สามารถการันตีเงื่อนไขการอิมตัวได้ ในที่นี้เราจึงเลือกใช้ค่า  $R = 40 \text{ k}\Omega$  สำหรับวงจรมุมสร้างกระแสชดเชยแรงดันขีดเริ่ม

### 4.3 วงจรสร้างกระแสอ้างอิง



ภาพที่ 4.6 วงจรหลักของวงจรสร้างกระแสอ้างอิง

เราได้ประดิษฐ์วงจรเพื่อสร้างกระแสอ้างอิง  $I_{REF}$  สำหรับ DAC, การที่ DAC ใช้  $I_{REF}$  สิ่งเคราะห์สัญญาณไปป้อนแก่วงจรตัด จะสามารถหักล้างผลของ  $\mu_p C_{ox}$  ที่เอาต์พุตของวงจรตัดได้, วงจรหลักของวงจรมีดังสร้างกระแสอ้างอิงแสดงในภาพที่ 4.6 เราเลือกสัดส่วนพีมอสและเอ็นมอส ให้เป็นไปตามเงื่อนไข

$$(W/L)_7 = (W/L)_8 \quad (4.14)$$

และ

$$(W/L)_{7N} = (W/L)_{8N} \quad (4.15)$$

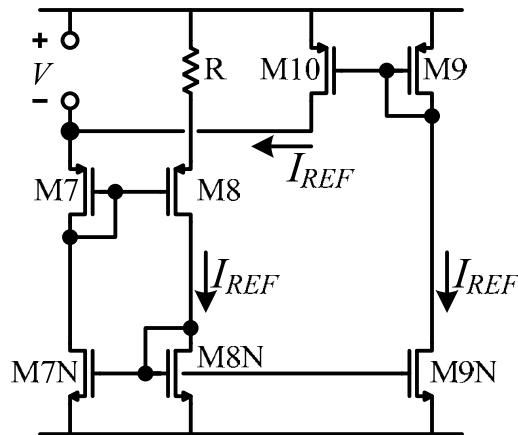
กระแสที่ผ่าน M7 และ M8 จึงเท่ากับ  $I_{REF}$  และสัดส่วนของพีมอสเท่ากัน เราจึงได้

$$V_{OD7} = V_{OD8} \quad (4.16)$$

เมื่ออาศัย KVL พิจารณาวงรอบแรงดันส่วนบนของวงจร และ (4.16) จะได้ว่าแรงดันตกคร่อมตัวต้านทานเท่ากับ  $V$  และคำนวณกระแสได้เป็น

$$I_{REF} = \frac{V}{R}$$





ภาพที่ 4.7 เพิ่มส่วนสร้างสภาพเปิดวงจรเสมือนของวงจรสร้างกระแสอ้างอิง

ต่อไปเราเพิ่มมอสเข้าไปอีก 3 ตัว เพื่อตัดลอกจากกระแส  $I_{REF}$  แล้วนำไปป้อนเข้าที่ขั้วซอร์สของ M7 ดังแสดงในภาพที่ 4.7, เป็นผลให้กระแสไม่ไหลจากขั้วลบของ  $V$  เข้ามาสู่ส่วนหลักของวงจรได้ เป็นการสร้างสภาพเปิดวงจรเสมือน, การตัดลอกจากกระแสเพื่อสร้างสภาพเปิดวงจรเสมือนนี้ เราต้องเลือกสัดส่วนมอสตามเงื่อนไข

$$(W/L)_9 = (W/L)_{10} \quad (4.17)$$

และ

$$(W/L)_{9N} = (W/L)_{8N} \quad (4.18)$$

วงจรสมมูลของวงจรสร้างกระแสอ้างอิงแสดงในภาพที่ 4.8 ใช้ต้นกระแส  $I_0$  เป็นอินพุต ต้นกระแส  $I_0$  นี้จะใช้ไปอัสวงจรตัดและเป็นตัวกำหนดแอมพลิจูดของสัญญาณที่สังเคราะห์ด้วย,  $I_0$  ถูกป้อนผ่าน M0 ที่ต่อขั้วเกตเข้าขั้วเดรนไว้ จึงการันตีได้ว่า M0 อิมิต, กระแสที่ผ่าน M0 มาจากต้นกระแส  $I_0$  เท่านั้น เพราะไม่มีกระแสไหลจาก M0 ไปยัง M7 เนื่องด้วยสภาพเปิดวงจรเสมือน ดังนั้นตามกฎกำลังสองแล้วแรงดันขั้วของ M0 จึงมีค่าเป็น

$$V_{OD0} = \sqrt{\frac{2I_0}{\mu_p C_{ox} (W/L)_0}} \quad (4.19)$$

จากวงจรหลักในภาพที่ 4.6 เราจะได้แรงดันที่ตกคร่อมตัวต้านทานเท่ากับ  $V_{OD0} + |V_{TH}|$  และคำนวณกระแสที่ไหลผ่านตัวต้านทานได้เป็น

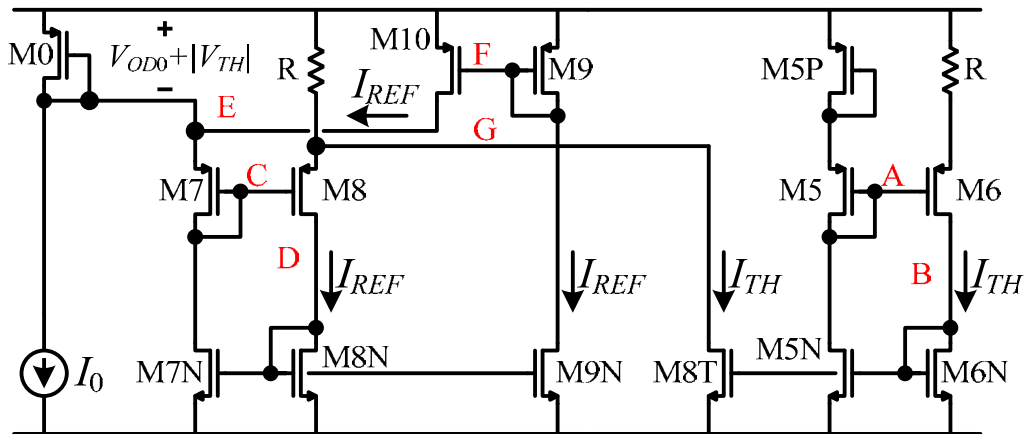
$$I_R = \frac{V_{OD0} + |V_{TH}|}{R} \quad (4.20)$$

จากนั้นเราใช้ M8T คัดลอกจากกระแส  $I_{TH}$  มาดึงกระแสจากตัวต้านทานด้วย, เมื่ออาศัย KCL ที่โหนด G เราจะได้ว่า

$$I_{REF} = I_R - I_{TH} \quad (4.21)$$

เราใช้ (4.11) มาช่วยแก้สมการ (4.19) ถึง (4.21) จะได้ความสัมพันธ์ของกระแสเป็น

$$I_{REF} = \frac{1}{R} \sqrt{\frac{2I_0}{\mu_p C_{ox} (W/L)_0}} \quad (4.22)$$



ภาพที่ 4.8 วงจรสร้างกระแสอ้างอิง

สุดท้ายเราได้  $I_{REF}$  ใน (4.22) ไปใช้เป็นกระแสอ้างอิงของ DAC, สังเกตได้ว่าค่าของ  $I_{REF}$  ยังขึ้นกับ  $\mu_p C_{ox}$  แต่จะถูกหักล้างออกไปภายหลัง เช่นเดียวกับค่า  $R$  ก็จะถูกหักล้างออกไปด้วยเช่นกัน ดังนั้นผลของตัวต้านทานมีค่าแปรตามอุณหภูมิก็จะถูกหักล้างออกไปด้วยเช่นกัน, ส่วนต้นกระแส  $I_0$  เราตั้งสมมติฐานว่าเป็นอินพุตที่มีค่าคงที่และไม่ขึ้นกับอุณหภูมิ

เมื่อพิจารณาวงจรหลักของวงจรสร้างกระแสอ้างอิงในภาพที่ 4.6 จะคล้ายคลึงกับวงจรสร้างกระแสชดเชยแรงดันขีดเริ่ม ดังนั้นเราจึงเลือกใช้เงื่อนไข

$$V_C > V_D \quad (4.23)$$

เพื่อ garan ติ M8 และ M7N ให้อยู่ในย่านอิ่มตัว, แต่ทว่าเมื่ออุณหภูมิเพิ่มขึ้น ศักย์ที่โหนด D จะลดลงด้วยอัตราที่มากกว่าเมื่อเทียบกับอัตราการลดลงของศักย์ที่โหนด B เพราะกระแสที่ผ่าน M8 คือ  $I_{REF}$  ตาม (4.22) ซึ่งเห็นได้อย่างชัดเจนว่ามีค่าเพิ่มขึ้นตามอุณหภูมิ ในขณะที่กระแสที่ไหลผ่าน M6 คือ  $I_{TH}$  ซึ่งจะมีค่าลดลง ดังนั้น  $V_{OD8}$  จะต้องเพิ่มขึ้นอย่างมากเพื่อชดเชยทั้งค่า  $\mu_p$  ของตัวมันเองที่ลดลง และต้องผ่าน  $I_{REF}$  ที่เพิ่มขึ้นด้วย, ดังนั้นในการสังเคราะห์วงจรเราต้องเลือกให้ความต่างศักย์  $V_{CD}$  ที่อุณหภูมิปกติให้มีค่ามากพอ เพื่อพยายามรักษาเงื่อนไข (4.23) เมื่ออุณหภูมิสูงขึ้น

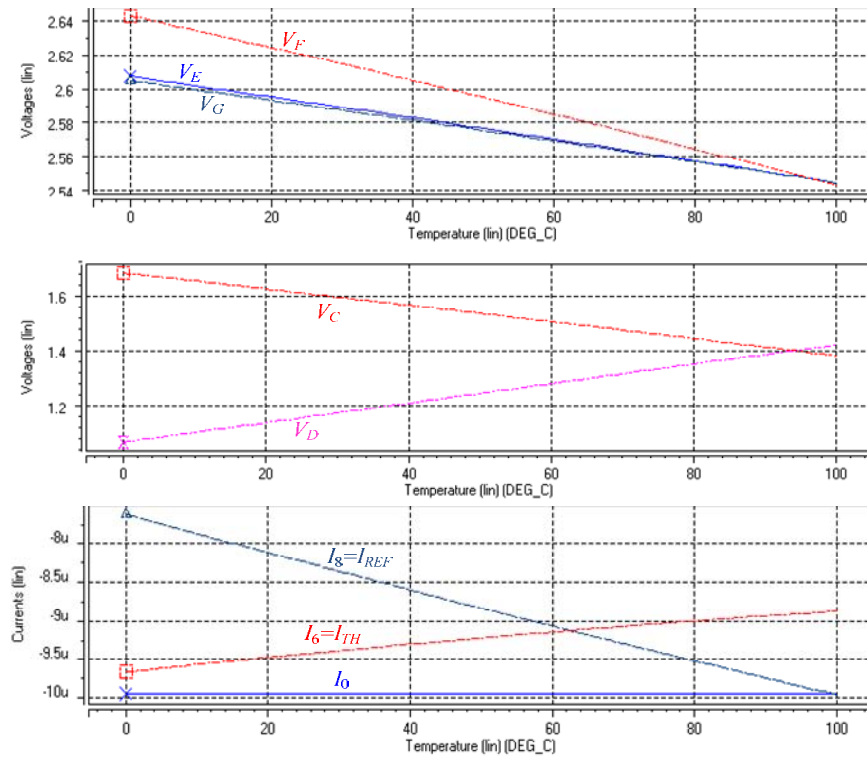
ในการสังเคราะห์วงจรสร้างกระแสอ้างอิงในภาพที่ 4.8 เราเลือกใช้ค่าความต้านทาน  $R$  เท่ากับ  $40 \text{ k}\Omega$  ทั้งสองตัว, นอกจากนี้การเลือกใช้ M10 ที่มีขนาดใหญ่ทำให้  $V_{OD10}$  มีค่าไม่มาก

เป็นผลให้ M10 เข้าสู่การอิ่มตัวได้ง่าย, สัดส่วนของมอสที่เลือกใช้แสดงในตารางที่ 4.2 และใช้กระแสอินพุต  $I_0 = 10 \mu\text{A}$  โดยมี  $V_{DD} = 3.3 \text{ V}$

ตารางที่ 4.2 สัดส่วนของมอสในวงจรถ่ายกระแสอ้างอิง

MOS	(W/L) [ $\mu\text{m}/\mu\text{m}$ ]
M0, M5, M5P	28.800/7.2000
M6, M7, M8	7.2000/7.2000
M9, M10	28.800/7.2000
NMOS ทุกตัว	0.9000/7.2000

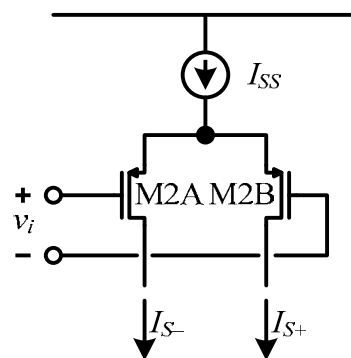
ผลการจำลองการทำงานของวงจรถ่ายกระแสอ้างอิงแสดงในภาพที่ 4.9, ในรูปบนจะเห็นว่า  $V_F > V_E$  จึงสรุปได้ว่า M10 อิ่มตัวตลอดช่วงอุณหภูมิ, ส่วน  $V_E$  มากกว่า  $V_G$  เล็กน้อย ซึ่งตามหลักการแล้วจะต้องเท่ากัน สังเกตในช่วงอุณหภูมิต่ำ ความต่างระหว่าง  $V_E$  กับ  $V_G$  จะมีค่ามากกว่าช่วงอุณหภูมิสูง ทั้งนี้เพราะในช่วงอุณหภูมิต่ำ (ดูรูปกลาง)  $V_C$  จะต่างจาก  $V_D$  มากทำให้การตัดออกกระแสผิดพลาด จึงส่งผลต่อ  $V_E$  ไม่ให้เท่ากับ  $V_G$ , พิจารณารูปล่าง เป็นการวัดกระแสของพีมอส (กราฟจึงเป็นเลขลบ) M0, M6, และ M8, กระแส  $I_6$  คือกระแสชดเชยแรงดันขีดเริ่มจึงลดลงอย่างเป็นเชิงเส้นเมื่ออุณหภูมิสูง ส่วน  $I_8$  คือกระแสอ้างอิง  $I_{REF}$  จะเพิ่มขึ้นตามอุณหภูมิด้วยอัตราที่มากกว่าอัตราการลดลงของ  $I_{TH}$  ตามคาดการณ์, สังเกตกราฟสีน้ำเงิน  $I_0$  คือกระแสที่ผ่าน M0 ซึ่งควรจะเท่ากับต้นกระแส  $10 \mu\text{A}$  แต่กลับมีค่าประมาณ  $9.95 \mu\text{A}$  ถือว่ามีความผิดพลาดคิดเป็นร้อยละ 0.5 เนื่องการชดเชย  $I_{REF}$  ของ M9 และ M10 มากเกินไป ซึ่งก็มีต้นเหตุมาจากความผิดพลาดของการตัดออกกระแส



ภาพที่ 4.9 ผลการจำลองการทำงานของวงจรสร้างกระแสอ้างอิง

#### 4.4 วงจรตัดเดี่ยว

วงจรตัดเดี่ยว คือ การใช้วงจรตัดขายน้เพียงวงจรเดียวมาประมาณฟังก์ชันขายน้ทั้งซีกบวกและลบ วงจรที่เรานำมาใช้เป็นวงจรตัดขายน้ก็คือวงจรขยายผลต่าง (Differential Amplifier) ซึ่งปกติมีฟังก์ชันใกล้เคียงขายน้จุดมคติดอยู่แล้ว



ภาพที่ 4.10 วงจรขยายผลต่าง

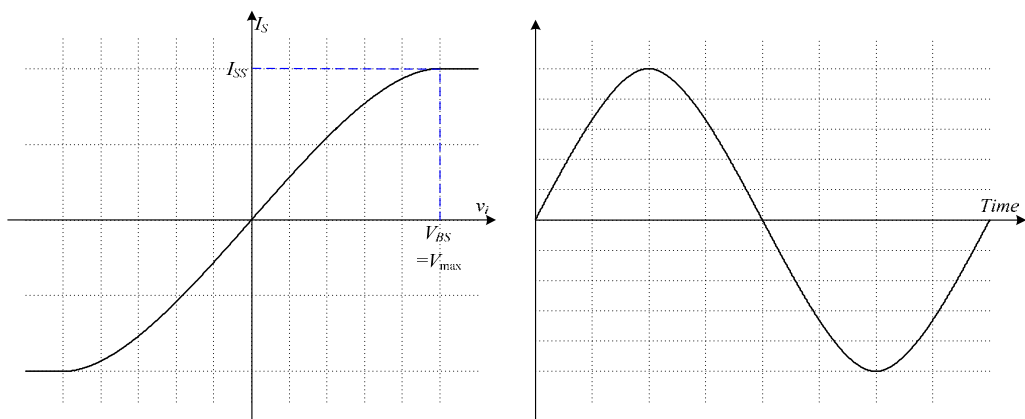
#### 4.4.1 วงจรตัดเดี่ยวอย่างง่าย

พิจารณาวงจรขยายผลต่างในภาพที่ 4.10, อินพุตของวงจรอยู่ในรูปผลต่างแรงดัน  $v_i$  และเอาต์พุตอยู่ในรูปผลต่างกระแส  $I_S = I_{S+} - I_{S-}$  เรากำหนดให้ M2A และ M2B เหมือนกันทุกประการและมีสัดส่วนเป็น  $(W/L)_2$  และมีต้นกระแส  $I_{SS}$  ทำหน้าที่ไบอัสวงจร ดังนั้นความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตจึงเขียนได้เป็น [22]

$$I_S = \begin{cases} I_{SS} & ; v_i > V_{BS} \\ I_{SS} \cdot v_i \sqrt{\frac{4I_{SS}}{\mu_p C_{ox} (W/L)_2} - v_i^2} & ; -V_{BS} \leq v_i \leq V_{BS} \\ -I_{SS} & ; v_i < -V_{BS} \end{cases} \quad (4.24)$$

เมื่อ 
$$V_{BS} = \sqrt{\frac{2I_{SS}}{\mu_p C_{ox} (W/L)_2}} \quad (4.25)$$

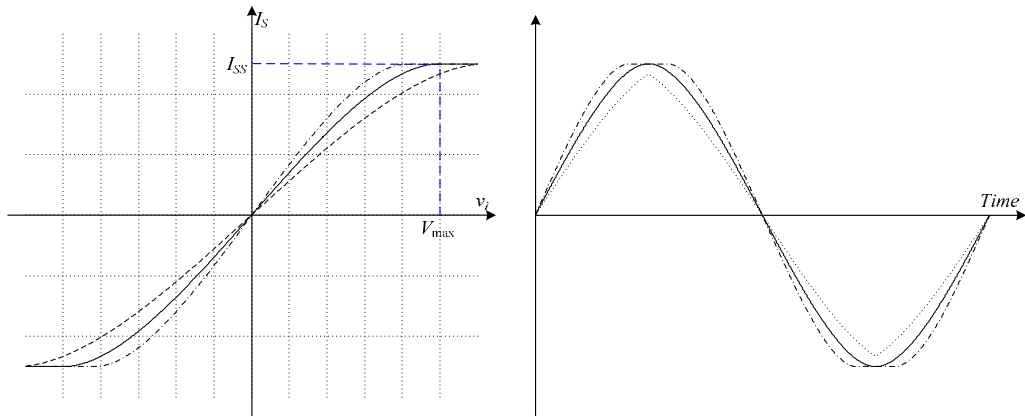
กราฟของความสัมพันธ์แสดงในภาพที่ 4.11 (ซ้าย) สังเกตในบริเวณใกล้จุดกำเนิดกราฟมีความชันสูงและเกือบเป็นเชิงเส้น เมื่อห่างจากจุดกำเนิดออกไป ค่าฟังก์ชันเพิ่มขึ้นแต่ความชันลดลง จนกระทั่งความชันเป็นศูนย์ ณ จุดที่ค่าฟังก์ชันมีค่าสูงสุดเท่ากับ  $I_{SS}$  และเข้าช่วงอิ่มตัว, ช่วงอิ่มตัวคือช่วงที่กระแสเอาต์พุตจะไม่เพิ่มขึ้นแม้ว่าแรงดันอินพุตจะเพิ่มขึ้น, จะเห็นได้ว่ากราฟในช่วงไม่อิ่มตัวมีลักษณะคล้ายฟังก์ชันซายน์ เมื่อเราป้อน  $v_i$  เป็นรูปคลื่นสามเหลี่ยมที่มีค่าอยู่ในช่วง  $[-V_{max}, +V_{max}]$  โดยที่  $V_{max} = V_{BS}$  จะได้กระแสเอาต์พุตที่มีรูปคลื่นที่แสดงในภาพที่ 4.11 (ขวา)



ภาพที่ 4.11 (ซ้าย) ฟังก์ชันของวงจขยายผลต่าง (ขวา) รูปคลื่นคล้ายซายน์

ต่อไปเราจะพิจารณาผลจากอุณหภูมิที่กระทบต่อความสัมพันธ์ใน (4.24) ผ่าน  $\mu_p$  โดยสมมติให้  $I_{SS}$  คงที่ กราฟของฟังก์ชันจะเปลี่ยนแปลงตาม  $\mu_p$  ดังแสดงในภาพที่ 4.12 ซ้าย, เมื่ออุณหภูมิเพิ่มขึ้นหรือลดลงเป็นผลให้  $V_{BS}$  เปลี่ยนแปลง เพราะ  $V_{BS}$  ใน (4.25) ขึ้นอยู่กับ  $\mu_p$  แต่

แรงดันอินพุตยังอยู่ในช่วง  $[-V_{\max}, +V_{\max}]$  เดิม แล้วเราจะได้กราฟที่มีลักษณะตามภาพที่ 4.12 ขวา



ภาพที่ 4.12 ผลของอุณหภูมิมิผ่าน  $\mu_p$  (ซ้าย) ฟังก์ชันวงจรรขยายผลต่าง (ขวา) รูปคลื่นคล้ายชายน้ำ

พิจารณาภาพที่ 4.12 เมื่อป้อนแรงดันอินพุตในช่วง  $V_{\max}$  เท่าเดิม ในขณะที่  $V_{BS}$  เปลี่ยนไป ทำให้รูปคลื่นที่ได้เปลี่ยนไปเพราะเงื่อนไข  $V_{BS} = V_{\max}$  ถูกทำลายลง, จึงเห็นได้ว่าการใช้วงจรรขยายผลต่างที่มี  $I_{SS}$  คงที่และมีช่วงอินพุต  $V_{\max}$  คงที่ไม่สามารถให้รูปคลื่นที่ทนทานต่ออุณหภูมิดี, เราจะปรับปรุงวงจรรขยายผลต่างให้เป็นวงจรรในภาพที่ 4.13 กำหนดให้ M1 มีสัดส่วนเท่ากับ M2A, M2B กล่าวคือ  $(W/L)_1 = (W/L)_2$ , M1 ทำหน้าที่สร้างกระแส  $I_{SS}$  เพื่อไบอัสวงจรรโดยป้อนแรงดันขั้วให้ M1 มีค่าเป็น

$$V_{OD1} = V_{\max} \quad (4.26)$$

ซึ่งจะได้กระแส  $I_{SS}$  เท่ากับ

$$I_{SS} = \frac{\mu_p C_{ox} (W/L)_2}{2} \cdot V_{\max}^2 \quad (4.27)$$

เมื่อนำ (4.27) ไปแทนใน (4.25) เราจะได้เงื่อนไข

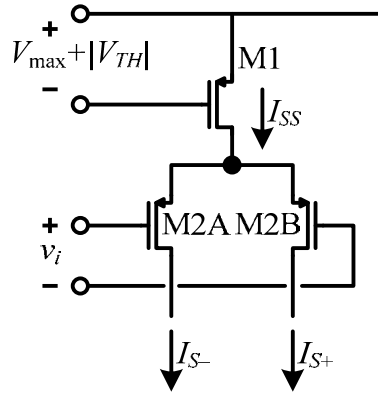
$$V_{BS} = V_{\max} \quad (4.28)$$

สำหรับทุกค่า  $\mu_p C_{ox}$  นั้นหมายความว่าสมการใน (4.24) จะมีเพียงแค่ช่วงไม่อิมิตวเท่านั้น และสามารถจัดรูปใหม่ได้เป็น

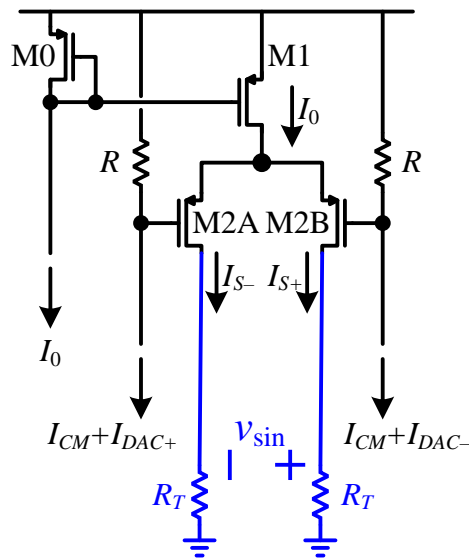
$$I_S = I_{SS} \cdot \left( \frac{v_i}{V_{\max}} \right) \sqrt{2 - \left( \frac{v_i}{V_{\max}} \right)^2} \quad (4.29)$$

และ ใน (4.29) สังเกตได้ว่ารูปร่างของเอาต์พุต  $I_S$  เป็นอิสระจาก  $\mu_p$  แต่อย่างไรก็ตามแอมพลิจูดของรูปคลื่นยังคงได้รับผลจาก  $\mu_p$  เพราะใน (4.29) มีตัวคูณเป็น  $I_{SS}$  ซึ่งในกรณีนี้มีค่าขึ้นอยู่กับ

$\mu_p$  ดังแสดงใน (4.27) รูปแล้ววงจรในภาพที่ 4.13 จะให้รูปคลื่นที่อิสระจาก  $\mu_p$  แต่แอมพลิจูดยังคงได้รับผลจาก  $\mu_p$  อยู่



ภาพที่ 4.13 วงจรขยายผลต่างที่ใช้พีเอ็มอสสร้างกระแสไบอัส



ภาพที่ 4.14 วงจรขยายผลต่างที่ใช้เป็นวงจรตัดเดี่ยวย่างง่าย

เราปรับปรุงวงจขยายผลต่างอีกครั้งเป็นวงจรในภาพที่ 4.14 โดยเปลี่ยนการป้อนอินพุตมาเป็นรูปผลต่างกระแสที่รับมาจาก DAC ( $I_{DAC} = I_{DAC+} - I_{DAC-}$ ) มีลักษณะเป็นสามเหลี่ยมดังในภาพที่ 4.15 แล้วนำมาผ่านตัวต้านทานสองตัวที่มีค่าเท่ากับ  $R$  เพื่อแปลงผลต่างกระแสให้เป็นผลต่างแรงดันสำหรับวงจขยายผลต่าง, ส่วนกระแสไบอัสจะใช้ M1 คัดลอกกระแส  $I_0$  มาจาก M0, ในวงจรรนี้เราเลือกใช้พีเอ็มอสที่มีสัดส่วนเท่ากันทั้งหมด จึงได้เงื่อนไข

$$(W/L)_0 = (W/L)_1 = (W/L)_2 \quad (4.30)$$

กระแสไบอัสมีค่าคงที่เท่ากับ  $I_0$  ทำให้  $V_{BS}$  ใน (4.25) เขียนใหม่ได้เป็น

$$V_{BS} = \sqrt{\frac{2I_0}{\mu_p C_{ox} (W/L)_2}} \quad (4.31)$$

ส่วนต้นกระแส  $I_{CM}$  ทำหน้าที่สร้างแรงดันคอมมอนโหมดให้กับวงจรถายผลต่าง จึงไม่ปรากฏในฟังก์ชันของวงจรถายผลต่าง เนื่องจากผลต่างแรงดันอินพุตที่ปรากฏต่อวงจรถายผลต่างมีค่าเป็น

$$v_i = R(I_{CM} + I_{DAC+}) - R(I_{CM} + I_{DAC-}) = RI_{DAC} \quad (4.32)$$

และเราเลือกใช้  $I_{REF}$  ใน (4.22) เป็นกระแสอ้างอิงของ DAC และกำหนดให้กระแสเต็มสเกล

$I_{DAC,FS} = I_{REF}$  แล้วเราจึงคำนวณผลต่างแรงดันอินพุตสูงสุดได้เป็น

$$V_{max} = RI_{DAC,FS} = RI_{REF} \quad (4.33)$$

เราแทน  $I_{REF}$  จาก (4.22) ลงใน (4.33) แล้วจะได้ว่า

$$V_{max} = \sqrt{\frac{2I_0}{\mu_p C_{ox} (W/L)_0}} \quad (4.34)$$

สังเกต (4.31) และ (4.34) จะเห็นว่า  $V_{BS}$  เท่ากับ  $V_{max}$  เพราะเงื่อนไข (4.30) ที่ว่า  $(W/L)_0 = (W/L)_2$ , เงื่อนไข  $V_{BS} = V_{max}$  จะนำไปสู่การได้ฟังก์ชันที่อิสระจาก  $\mu_p$  และเขียน (4.29) ใหม่ได้เป็น

$$I_s = I_0 \cdot \left( \frac{I_{DAC}}{I_{REF}} \right) \sqrt{2 - \left( \frac{I_{DAC}}{I_{REF}} \right)^2} \quad (4.35)$$

จะเห็นได้ว่าในสมการสุดท้ายเราได้แอมพลิจูดเท่ากับ  $I_0$  ซึ่งมีค่าคงที่, เมื่อเรานอมนัลไลซ์ (4.35) ด้วย  $I_0$  และกำหนดตัวแปรนอมนัลไลซ์

$$x = \frac{I_{DAC}}{I_{DAC,FS}} = \frac{I_{DAC}}{I_{REF}} \quad (4.36)$$

เราจะเขียน (4.35) ใหม่ได้เป็น

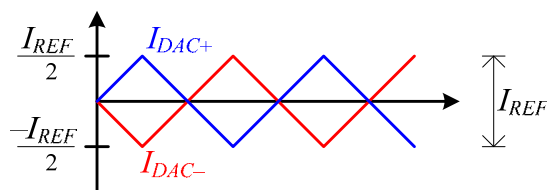
$$\frac{I_s}{I_0} = x\sqrt{2-x^2} = s(x) \quad (4.37)$$

ซึ่งก็คือฟังก์ชันของวงจรถัดเดี่ยวย่างง่ายนั่นเอง, สรุปแล้วเพื่อให้ได้วงจรถัดอย่างง่าย เราเลือกสัดส่วน M1, M2 ตาม (4.30) โดยอ้างอิงสัดส่วนของ M0 ในตารางที่ 4.2 เราจะได้สัดส่วนของพีมอสในวงจรถัดอย่างง่ายดังตารางที่ 4.3



ตารางที่ 4.3 สัดส่วนของพื้มอสในวงจรถัดเดี่ยวอย่างง่าย

MOS	(W/L) [ $\mu\text{m}/\mu\text{m}$ ]
M0, M1	28.800/7.2000
M2A, M2B	28.800/7.2000



ภาพที่ 4.15 ลักษณะกระแส  $I_{DAC}$  สำหรับวงจรถัดเดี่ยว

#### 4.4.2 วงจรถัดเดี่ยวที่ปรับพารามิเตอร์

สำหรับการออกแบบวงจรถัดเดี่ยวที่ปรับพารามิเตอร์ เรากลับไปพิจารณารูปทั่วไปของ  $s(x)$  ที่ว่า

$$s(x) = \begin{cases} \alpha & ; \beta x > 1 \\ \alpha \cdot (\beta x) \sqrt{2 - (\beta x)^2} & ; -1 \leq \beta x \leq 1 \\ -\alpha & ; \beta x < -1 \end{cases} \quad (4.38)$$

เทียบกับฟังก์ชันของวงจรถายผลต่างใน (4.24), เมื่อพิจารณา ณ จุดอิมิตัวของฟังก์ชันเราจะได้ว่า

$$\begin{aligned} v_i &= V_{BS} \\ \frac{v_i}{V_{BS}} &= 1 \\ \frac{V_{\max}}{V_{BS}} \frac{v_i}{V_{\max}} &= 1 \\ \frac{V_{\max}}{V_{BS}} \frac{RI_{DAC}}{RI_{REF}} &= 1 \\ \frac{V_{\max}}{V_{BS}} x &= 1 \end{aligned} \quad (4.39)$$

เมื่อเทียบกับจุดอิมิตัวของ  $s(x)$  จะได้ว่า

$$\beta = \frac{V_{\max}}{V_{BS}} \quad (4.40)$$

และเมื่อเทียบในแง่ของแอมพลิจูด หรือ ตัวคูณ จะได้ว่า

$$\alpha = \frac{I_{SS}}{I_0} \quad (4.41)$$

เรายังคงสามารถใช้วงจรในภาพที่ 4.14 เป็นวงจรตัดเดี่ยวที่ปรับพารามิเตอร์ได้เหมือนเดิม แต่ต้องเลือกสัดส่วนของมอสใหม่, เริ่มต้นด้วยการคัดลอกกระแส  $I_0$  ไปเป็น  $I_{SS}$  ซึ่งจะได้ค่ากระแสที่ขึ้นอยู่กักับสัดส่วนของ M1 และ M0 คือ

$$I_{SS} = \frac{(W/L)_1}{(W/L)_0} \cdot I_0 \quad (4.42)$$

จาก (4.41)-(4.42) ทำให้เราได้สัดส่วนของ M1 เป็น

$$(W/L)_1 = \alpha(W/L)_0 \quad (4.43)$$

เมื่อเราแทน  $I_{SS}$  ใน (4.42) ลงไปใน (4.25) จะทำให้  $V_{BS}$  กลายเป็น

$$V_{BS} = \sqrt{\frac{2 \frac{(W/L)_1}{(W/L)_0} I_0}{\mu_P C_{ox} (W/L)_2}} = \sqrt{\frac{2(W/L)_1 I_0}{\mu_P C_{ox} (W/L)_2 (W/L)_0}} \quad (4.44)$$

ส่วนแรงดันอินพุตสูงสุดใน (4.34) ยังคงเท่าเดิม เราใช้สมการ (4.34), (4.40), และ (4.44) จะได้

$$\beta = \sqrt{\frac{1}{(W/L)_0} \cdot \frac{(W/L)_2 (W/L)_0}{(W/L)_1}} = \sqrt{\frac{(W/L)_2}{(W/L)_1}} \quad (4.45)$$

สุดท้ายเราได้สมการการออกแบบสำหรับ M2 โดยใช้เงื่อนไขใน (4.43) และ (4.45) คือ

$$(W/L)_2 = \alpha\beta^2 (W/L)_0 \quad (4.46)$$

สรุปแล้ว เราสามารถสร้างวงจรเดี่ยวที่ปรับพารามิเตอร์ได้ เพียงแค่ปรับสัดส่วนของพีมอสในวงจรในภาพที่ 4.14 ให้เป็นไปตามสมการ (4.43) และ (4.46) เท่านั้น เราใช้ค่า  $\alpha, \beta$  จากหัวข้อ 3.2.1 และสัดส่วน M0 ในตารางที่ 4.2 แล้วเราจะได้สัดส่วนของพีมอสตามตารางที่ 4.4

ตารางที่ 4.4 สัดส่วนของพีมอสในวงจรตัดเดี่ยวที่ปรับพารามิเตอร์

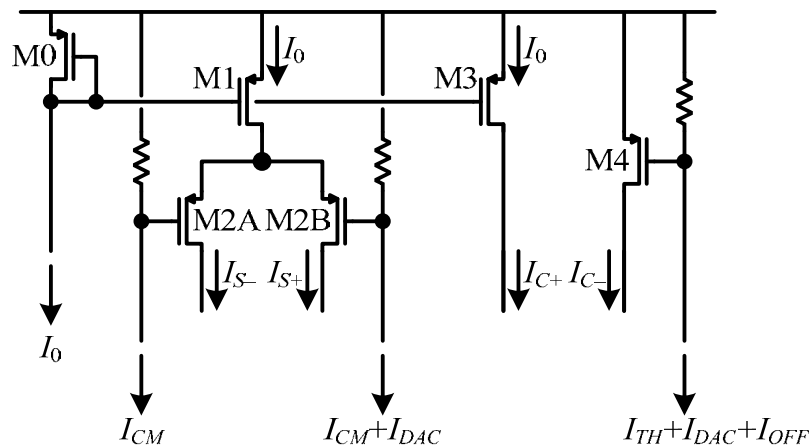
MOS	$(W/L)$ [ $\mu\text{m}/\mu\text{m}$ ]
M0	28.800/7.2000
M1	28.3950/7.2000
M2A, M2B	33.5700/7.2000

## 4.5 วงจรตัดคู่

การใช้วงจรถัดคู่ คือการนำวงจรถัดซ้ายและวงจรถัดขวาไปใช้ประมาณฟังก์ชัน ซายน์และโคซายน์บนช่วง  $1/8$  คาบ, วงจรขยายผลต่างถูกนำมาใช้เป็นวงจรถัดซ้ายเช่นเดิม ส่วนวงจรถัดขวาเราจะใช้วงจรรยกกำลังสองด้วยฟิมอส

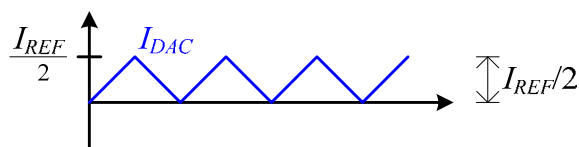
### 4.5.1 วงจรถัดคู่อย่างง่าย

วงจรถัดคู่อย่างง่าย แสดงในภาพที่ 4.16 ซึ่งเพิ่มเติมจากภาพที่ 4.14 ด้วยการเพิ่ม M3 และ M4 เข้ามาเป็นวงจรถัดโคซายน์, อินพุตของวงจรถัดซ้ายคือ  $I_{DAC}$  ส่วนวงจรถัดโคซายน์ ต้องการ  $I_{DAC}$  และ  $I_{TH}$  เพื่อชดเชยแรงดันขีดเริ่มของ M4 ส่วน  $I_{OFF}$  ต้องการให้มีค่าเป็นศูนย์ สำหรับวงจรถัดคู่อย่างง่ายนี้



ภาพที่ 4.16 วงจรถัดซ้ายและวงจรถัดขวา ที่ใช้เป็นวงจรถัดคู่อย่างง่าย

ลักษณะของ  $I_{DAC}$  ที่ป้อนให้กับวงจรถัดคู่เป็นไปตามภาพที่ 4.17 ซึ่งแตกต่างจากวงจรถัดเดี่ยว กล่าวคือจะมีเพียงกระแสเดียว มีค่าอยู่ในช่วง  $[0, I_{REF}/2]$



ภาพที่ 4.17 ลักษณะกระแส  $I_{DAC}$  สำหรับวงจรถัดคู่

สำหรับอินพุตของวงจรถัดคู่ เราสร้างผลต่างแรงดันเพื่อขับ M2A, M2B โดยการป้อนกระแส  $I_{DAC}$  ผ่านตัวต้านทาน แล้วจะได้ผลต่างแรงดันเป็น

$$v_i = R \cdot (I_{CM} + I_{DAC}) - R \cdot I_{CM} = R \cdot I_{DAC} \quad (4.47)$$

และกระแสเต็มสเกลของ DAC จะเป็นครึ่งหนึ่งของกระแสอ้างอิง  $I_{DAC,FS} = I_{REF}/2$  ดังนั้นตัวแปร นอมนัลไลซ์  $x$  จะเหลือช่วงเพียงแค

$$x = \frac{I_{DAC}}{I_{REF}} \in [0, 0.5] \quad (4.48)$$

กลับไปพิจารณาฟังก์ชันของวงจรถัดคู่อย่างง่ายที่ได้จากบทที่แล้ว

$$s(x) = (ax)\sqrt{2-(ax)^2}, \quad c(x) = 1-(ax)^2 \quad (4.49)$$

เมื่อเทียบกับรูปทั่วไปของ  $s(x)$  ใน (4.38) จะได้ว่า  $\alpha = 1, \beta = a$  เราจึงนำเอาสมการสำหรับเลือก สัดส่วนพีมอสใน (4.43) และ (4.46) ของวงจรถัดคู่มาใช้ได้เป็น

$$(W/L)_1 = (W/L)_0 \quad (4.50)$$

และ  $(W/L)_2 = a^2 (W/L)_0 \quad (4.51)$

พิจารณาวจรถัดโคชายนี่ประกอบด้วย M3 และ M4 อาศัยการเทียบเคียงเช่นเดียวกับ วงจรถัดคู่ชายน์จะได้  $\gamma = 1, \delta = a$  เราจึงเลือก

$$(W/L)_3 = (W/L)_0 \quad (4.52)$$

และ  $(W/L)_4 = a^2 (W/L)_0 \quad (4.53)$

ด้วยการเลือก M3, M4 ตาม (4.52) และ (4.53) นี้จะทำให้ผลต่างกระแส  $I_C = I_{C+} - I_{C-}$  มีค่าเป็น

$$\begin{aligned} I_C &= I_0 - \frac{\mu_p C_{ox} (W/L)_4}{2} \cdot (RI_{DAC})^2 \\ &= I_0 - a^2 \frac{\mu_p C_{ox} (W/L)_0}{2} \cdot (RI_{DAC})^2 \\ &= I_0 - a^2 \frac{\mu_p C_{ox} (W/L)_0}{2} \cdot (RI_{REF})^2 \left( \frac{RI_{DAC}}{RI_{REF}} \right)^2 \end{aligned} \quad (4.54)$$

และเมื่อแทน  $I_{REF}$  จาก (4.22) ลงใน (4.54) จะได้

$$\begin{aligned} I_C &= I_0 - a^2 I_0 \left( \frac{I_{DAC}}{I_{REF}} \right)^2 \\ &= I_0 - a^2 I_0 x^2 \\ &= I_0 (1 - (ax)^2) \end{aligned} \quad (4.55)$$

แล้วนอมนัลไลซ์ด้วย  $I_0$  จะได้ฟังก์ชันวงจรถัดโคชายนี่

$$\frac{I_C}{I_0} = 1 - (ax)^2 = c(x) \quad (4.56)$$

สรุปแล้วเราเลือกสัดส่วนพีเอ็นในภาพที่ 4.16 ตาม (4.50)-(4.53) ก็จะได้วงจรถัดคู่อย่างง่าย เราใช้ค่า  $\alpha, \beta, \gamma, \delta$  ที่คำนวณได้จากหัวข้อ 3.3 โดยอ้างอิงสัดส่วน M0 จากตารางที่ 4.2 เราจะได้สัดส่วนของพีมอสตามตารางที่ 4.5

ตารางที่ 4.5 สัดส่วนของพีมอสในวงจรถัดคู่อย่างง่าย

MOS	(W/L) [ $\mu\text{m}/\mu\text{m}$ ]
M0	28.800/7.2000
M1, M3	28.800/7.2000
M2A, M2B, M4	33.750/7.2000

#### 4.5.2 วงจรถัดคู่ที่ปรับพารามิเตอร์

วงจรถัดคู่ที่ปรับพารามิเตอร์ก็สามารถใช้วงจรถัดคู่ในภาพที่ 4.16 ได้โดยที่  $I_{OFF} \neq 0$ , และจากการออกแบบวงจรถัดคู่อย่างง่ายในหัวข้อ 4.5.1 จะเห็นได้ว่าการเลือกสัดส่วนของพีมอสให้สอดคล้องกับพารามิเตอร์  $\alpha, \beta, \gamma, \delta$  ดังนั้นวงจรถัดคู่ที่ปรับพารามิเตอร์ก็สามารถทำได้ในทำนองเดียวกัน แต่สัดส่วนของพีมอสจะเปลี่ยนไปเป็น

$$(W/L)_1 = \alpha(W/L)_0 \quad (4.57)$$

$$(W/L)_2 = \alpha\beta^2(W/L)_0 \quad (4.58)$$

$$(W/L)_3 = \gamma(W/L)_0 \quad (4.59)$$

และ  $(W/L)_4 = \gamma\delta^2(W/L)_0 \quad (4.60)$

การสร้างกระแส  $I_{OFF}$  สามารถพิจารณาจากนิยาม  $x = I_{DAC}/I_{REF}$  และเมื่อเราบวกกระแส  $I_{OFF}$  เข้าไปกับ  $I_{DAC}$  จึงเทียบเท่ากับ  $x + \phi = (I_{DAC} + I_{OFF})/I_{REF}$  เราจึงได้

$$I_{OFF} = \phi I_{REF} \quad (4.61)$$

ซึ่งสามารถสร้างได้โดยการคัดลอกกระแส  $I_{REF}$  จากวงจรถัดคู่มาในอัตราส่วน  $\phi$  การได้มาซึ่ง  $\phi$  ในฟังก์ชันวงจรถัดคู่ที่ปรับพารามิเตอร์จะอาศัยเอ็นมอส M4OFF ทำหน้าที่คัดลอก  $I_{REF}$  จาก M8N ในวงจรถัดคู่อย่างง่ายอ้างอิงในภาพที่ 4.8 เพื่อสร้างกระแส  $I_{OFF}$  ตาม (4.61) สัดส่วนของ M4OFF จึงเป็น

$$(W/L)_{4OFF} = \phi(W/L)_{8N} \quad (4.62)$$

สรุปแล้วเราใช้สมการ (4.57)-(4.60) และอ้างอิงสัดส่วน M0 จากตารางที่ 4.2 ก็จะได้สัดส่วนพีมอส ในตารางที่ 4.6 สำหรับเอ็นมอสเราจะใช้ (4.62) และอ้างอิงสัดส่วน M8N จากตารางที่ 4.2 ก็จะได้ สัดส่วน M4OFF

ตารางที่ 4.6 สัดส่วนของพีมอสในวงจรถัดคู่ที่ปรับพารามิเตอร์

MOS	(W/L) [ $\mu\text{m}/\mu\text{m}$ ]
M0	28.800/7.2000
M1	26.145/7.2000
M2A, M2B	38.970/7.2000
M3	28.845/7.2000
M4	32.445/7.2000
M4OFF	0.0110/7.2000

#### 4.6 ผลของความผิดพลาดของสัดส่วนมอส

ในกระบวนการผลิต สัดส่วนของมอสที่ได้จริงอาจผิดไปจากสัดส่วนที่ออกแบบไว้ ด้วยสาเหตุทางการปฏิบัติ, สัดส่วนมอสที่ผิดพลาดไป  $\Delta(W/L)$  นี้จะเป็นเหตุให้ความแม่นยำในการประมาณลดลง โดยเฉพาะในวงจรถัดคู่ที่ปรับพารามิเตอร์ซึ่งอาศัยการปรับสัดส่วนของพีมอสเป็นหลักในการสร้างพารามิเตอร์ที่เหมาะสมที่สุด, จากรูปที่ 3.14 ในบทที่ 3 ฮาร์โมนิกส์ที่ 11 และ 13 ตัวใดตัวหนึ่งจะเป็นตัวกำหนด SFDR ของวงจรถัดคู่ที่ปรับพารามิเตอร์ ดังนั้น

$$\text{SFDR} = 20 \log(\min\{s_{11}, s_{13}\}) \quad (4.63)$$

เมื่อ 
$$s_n = \frac{b_1}{b_n} \quad (4.64)$$

$b_n$  คือองค์ประกอบความถี่ฮาร์โมนิกส์ที่  $n$  ซึ่งคำนวณได้จาก

$$b_n = \int_0^{0.5} s(x) \sin\left(n \frac{\pi}{2} x\right) dx + \int_0^{0.5} c(x) \cos\left(n \frac{\pi}{2} x\right) dx \quad (4.65)$$

จากสมการ (4.57)-(4.60) และ (4.62) แสดงให้เห็นว่า พารามิเตอร์ของฟังก์ชันวงจรถัดสามารถสร้างได้จากสัดส่วนของมอสต่อไปนี้ M1, M2A, M2B, M3, M4, M4OFF ความผิดพลาดของสัดส่วนของมอสทั้ง 6 ตัวนี้จึงทำให้ความเพี้ยนมากขึ้น

สำหรับ  $\Delta(W/L)$  ที่มีค่าน้อยๆ (ร้อยละ 0.1) รอบจุดที่ออกแบบตามตารางที่ 4.6 เราคำนวณค่า SFDR ที่ลดลงได้เป็น

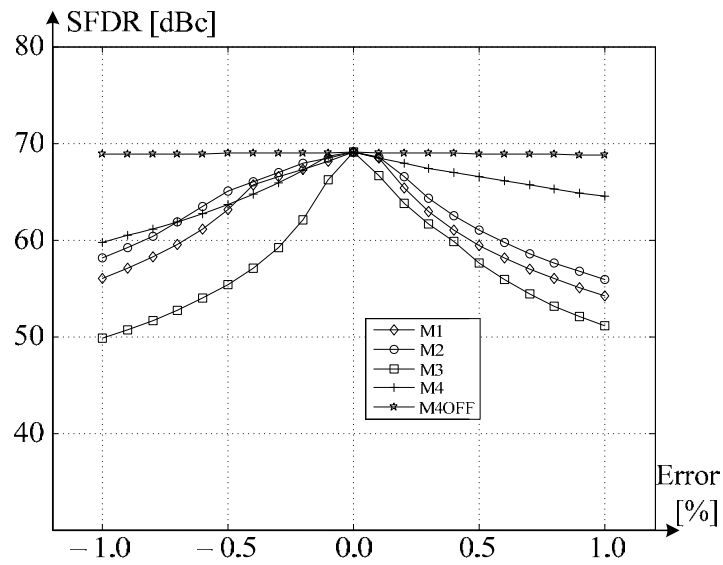
$$\Delta SFDR = 20 \frac{\Delta s_n}{s_n} = 20 \sum_{m \in M} a_m \frac{\Delta(W/L)_m}{(W/L)_m} \quad (4.66)$$

$n$  เท่ากับ 11 หรือ 13 ขึ้นอยู่กับ  $\min\{s_{11}, s_{13}\}$  ส่วน  $a_m$  คือสัมประสิทธิ์การแปรผันของ  $\Delta(W/L)$  ของมอสแต่ละตัว  $M \in \{1,2,3,4,4OFF\}$  เนื่องจากสูตร  $s_n$  ที่อยู่ในรูปของ  $(W/L)_m$  มีความยุ่งยากมาก เราจึงใช้ MATLAB คำนวณ  $a_m$  จากความชันของกราฟ SFDR ที่เปลี่ยนไปตาม  $\Delta(W/L)_m$  และได้ค่าดังแสดงในตารางที่ 4.7 จากค่าสัมประสิทธิ์ที่คำนวณได้ แสดงให้เห็นว่าความผิดพลาดของสัดส่วนของ M3 มีผลกระทบต่อ SFDR มากที่สุด ในขณะที่สัดส่วนของ M4OFF มีผลน้อยมาก

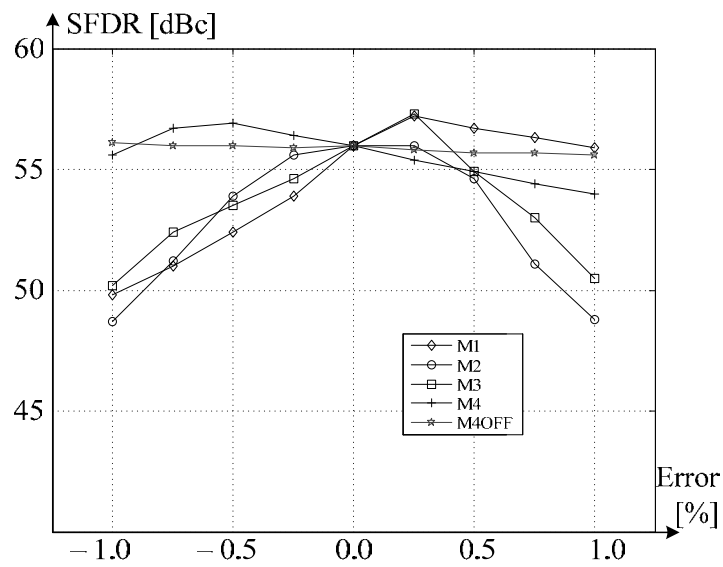
ตารางที่ 4.7 สัมประสิทธิ์การเปลี่ยนแปลง SFDR ต่อความผิดพลาดของสัดส่วนมอส

	$n=11$	$n=13$
$a_1$	113.9	74.5
$a_2$	66.8	-54.7
$a_3$	-231.6	197.9
$a_4$	50.7	-68.6
$a_{4OFF}$	-2.4	3.4

เรายังใช้ MATLAB จำลองผลกระทบจากความผิดพลาดของสัดส่วนของมอสในขนาดที่มากขึ้น (ร้อยละ 1.0) การจำลองนี้ใช้พฤติกรรมของมอสอุดมคติ และได้ผลลัพธ์แสดง ในภาพที่ 4.18 ซึ่งก็ให้ผลเช่นเดียวกับตารางที่ 4.7 คือ ความผิดพลาดในสัดส่วนของ M3 มีผลกระทบมากที่สุด รองลงมาคือ M1, M2, และ M4 ในขณะที่ M4OFF มีผลกระทบน้อยมาก อย่างไรก็ตามบนความผิดพลาดของสัดส่วนในระดับร้อยละ 1.0 นี้ เรายังคงได้ SFDR สูงเกิน 50 dBc ต่อไปเราจำลองการทำงานด้วยแบบจำลองระดับ 49 จะได้ผลตามภาพที่ 4.19 ซึ่ง SFDR มีแนวโน้มลดลง แต่ส่วนใหญ่ให้ค่า SFDR สูงเกิน 50 dBc เช่นเดียวกับกรณีอุดมคติ



ภาพที่ 4.18 SFDR ที่ลดลงเนื่องจากความผิดพลาดของสัดส่วนของอุดมคติ



ภาพที่ 4.19 ผลการจำลองการทำงานด้วยแบบจำลองระดับ 49 SFDR ที่ลดลงเนื่องจากความผิดพลาดของสัดส่วนของอุดมคติ



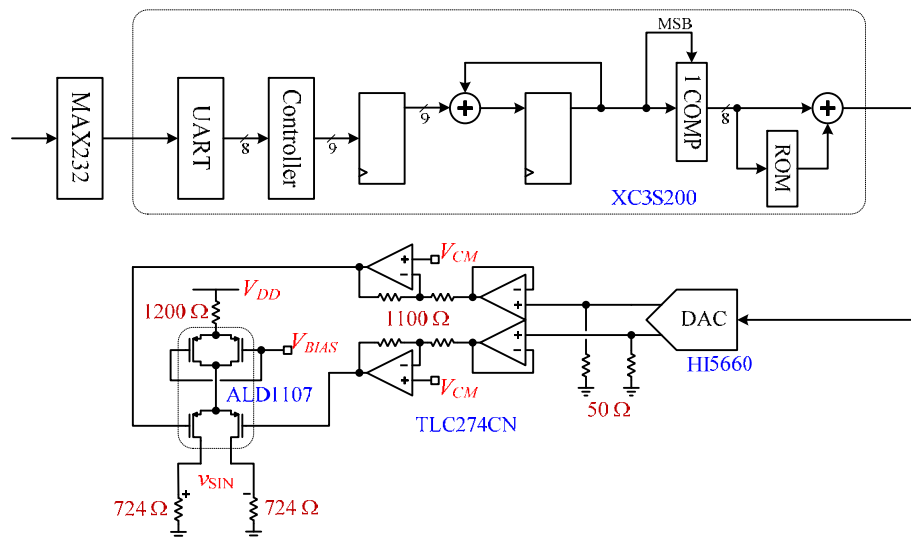
## บทที่ 5

### ต้นแบบและผลจำลองการทำงานของ DDFS ที่ใช้วงจรตัด

ในบทนี้จะนำเสนอต้นแบบ DDFS ที่ใช้วงจรตัดซึ่งต้นแบบสร้างจากเอพพีจีเอเป็นฐาน ต้นแบบนี้จะเป็น DDFS ที่ใช้วงจรตัดเดี่ยวที่ชดเชยเฟส ส่วน DDFS ที่ใช้วงจรตัดเดี่ยวที่แก้ไขความผิดพลาด, วงจรตัดคู่ที่ปรับพารามิเตอร์ และ วงจรคู่ที่ชดเชยเฟส จะจำลองการทำงานโดยใช้ HSPICE1, DDFS ที่นำเสนอนี้ถูกออกแบบให้ทำงานในย่านความถี่ต่ำ เพื่อสามารถนำไปใช้การมอดูเลตข้อมูลดิจิทัลแบบ FM ในช่วง Base-band ที่มีแบนด์วิธแคบ 200 kHz ที่สามารถส่งข้อมูลด้วยอัตราเร็ว 48 kbps

#### 5.1 ต้นแบบ DDFS

ต้นแบบ DDFS ที่ใช้วงจรเดี่ยวที่ชดเชยเฟสนี้ ใช้เอพพีจีเอสร้าง Phase Accumulator และ วงจรประกอบอื่นๆ เพื่อใช้รับค่าควบคุมจากคอมพิวเตอร์ผ่านพอร์ตอนุกรม ตามภาพที่ 5.1

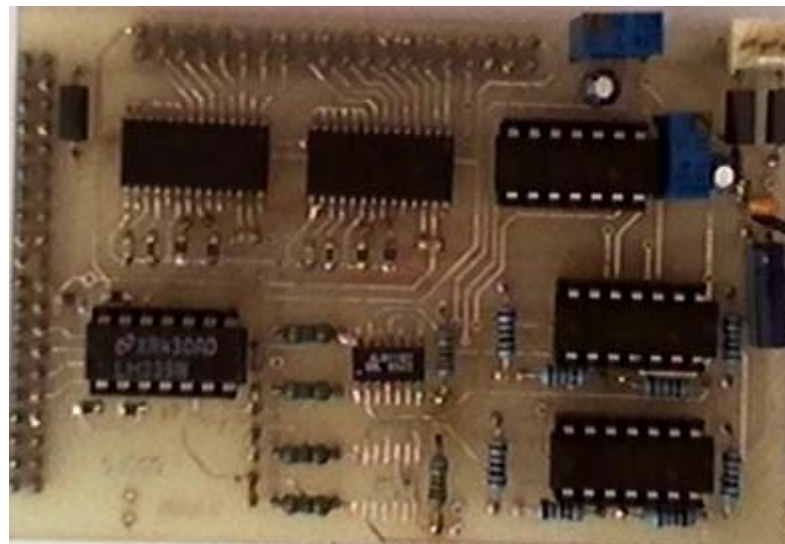


ภาพที่ 5.1 ผังวงจรอย่างง่ายของต้นแบบ DDFS ที่ใช้วงจรตัดเดี่ยวที่ชดเชยเฟส

ข้อมูลจากคอมพิวเตอร์ถูกแปลงจากอนุกรมเป็นขนานสำหรับคอนโทรลเลอร์เพื่อควบคุมความถี่ โดยส่งค่ากำหนดความถี่ให้กับ Phase Accumulator และปรับเฟสก่อนส่งออกไปให้ DAC ซึ่งใช้ไอซีเบอร์ HI5660 ที่ให้เอาต์พุตเป็นผลต่างกระแส (กระแสชอร์ต) นำกระแส DAC ทั้งสองผ่านตัวต้านทาน 50  $\Omega$  จะได้ผลต่างแรงดันที่มีค่าอยู่ระหว่าง 1 V, จากนั้นนำแรงดันไปขยายและบวกแรงดันคอมมอนโหมดด้วยออฟ-แอมป์ ไอซีเบอร์ TLC274CN เพื่อปรับสภาพแรงดันก่อนป้อน

ให้กับวงจรตัดซึ่งใช้พีมอสอาร์เรย์ ไอซีเบอร์ ALD1107 ในไอซีเบอร์นี้มีพีมอสสี่ตัว พีมอสสองตัวใช้สร้างกระแสไบอัส และอีกสองตัวใช้เป็นพีมอสคู่ในวงจรขยายผลต่าง เอาต์พุตในรูปแบบผลต่างกระแส ถูกนำไปผ่านตัวต้านทาน 724  $\Omega$  เพื่อสร้างแรงดันเอาต์พุต  $v_{SIN}$  ความถี่นาฬิกาสำหรับตัวควบคุมในเอพฟิจีเอเท่ากับ 25 MHz สำหรับความถี่นาฬิกาสำหรับ DDFS จะหารจากความถี่หลัก 32 เท่า เหลือเป็น  $f_{CLK} = 781.25$  kHz ขนาดของ Phase Accumulator  $W = 9$  บิต ความละเอียดในการจูนเท่ากับ 1.52588 kHz

ผังวงจรในภาพที่ 5.1 เป็นผังอย่างง่าย ซึ่งลดทอนรายละเอียดลงไปบางส่วน และในวงจรที่สร้างจริงจะชุดของ Phase Accumulator, DAC, วงจรขยายและ วงจรตัดเดี่ยว สองชุดสำหรับ , สร้างเป็นQDDFS ภาพถ่ายวงจรต้นแบบแสดงในภาพที่ 5.2



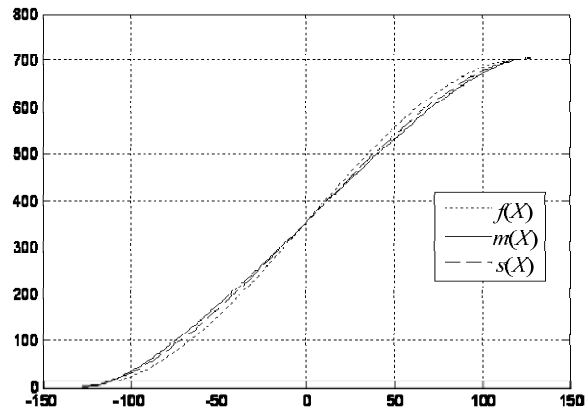
ภาพที่ 5.2 ภาพถ่ายต้นแบบ DDFS

เริ่มต้นเราทดลองใช้ DAC สร้างรูปคลื่นสามเหลี่ยมออกมาผ่านวงจรตัดก่อนโดยไม่ซัดเซยเฟส จากนั้นวัดแรงดันเอาต์พุตด้วยออสซิลโลสโคปและนำผลการวัดขึ้น PC เพื่อประมวลผลด้วยโปรแกรม MATLAB โดยกรองความถี่สูงออกด้วยวิธีการหาค่าเฉลี่ย จะได้ ฟังก์ชันของวงจรตัดเดี่ยว  $m(X)$  ดังแสดงในภาพที่ 5.3 ค่าที่วัดได้อยู่ระหว่าง 4-708 mV เพื่อความสะดวกในการวิเคราะห์ฟังก์ชันจึงนิยาม  $f(X)$  และ  $s(X)$  ได้แก่

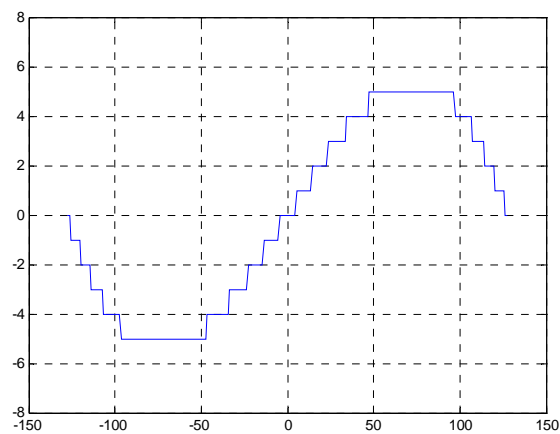
$$f(X) = 352 \sin\left(\frac{\pi}{2} \frac{X + 0.5}{128}\right) + 356 \quad ; X \in \{-128, -127, \dots, 127\} \quad (5.1)$$

$$g(X) = 352 \left(\frac{X + 0.5}{128}\right) \sqrt{2 - \left(\frac{X + 0.5}{128}\right)^2} + 356 \quad ; X \in \{-128, -127, \dots, 127\} \quad (5.2)$$

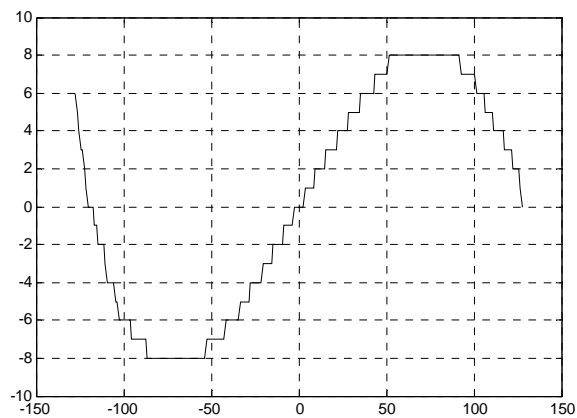
ซึ่งสมการทั้งสองมีค่าอยู่ในช่วงเดียวกับค่าที่วัดได้ และเนื่องจากสัญญาณอินพุตมีต้นกำเนิดจาก DAC ที่มีความละเอียด 8 จึงนิยามโดเมนของฟังก์ชันด้วยจำนวนเต็มในช่วง -128 ถึง 127



ภาพที่ 5.3 ฟังก์ชันที่ได้จาก  $f(X)$  ซายน์อุดมคติ,  $s(X)$  วงจรดัดที่ใช้มอดูมคติ,  $m(X)$  การวัด

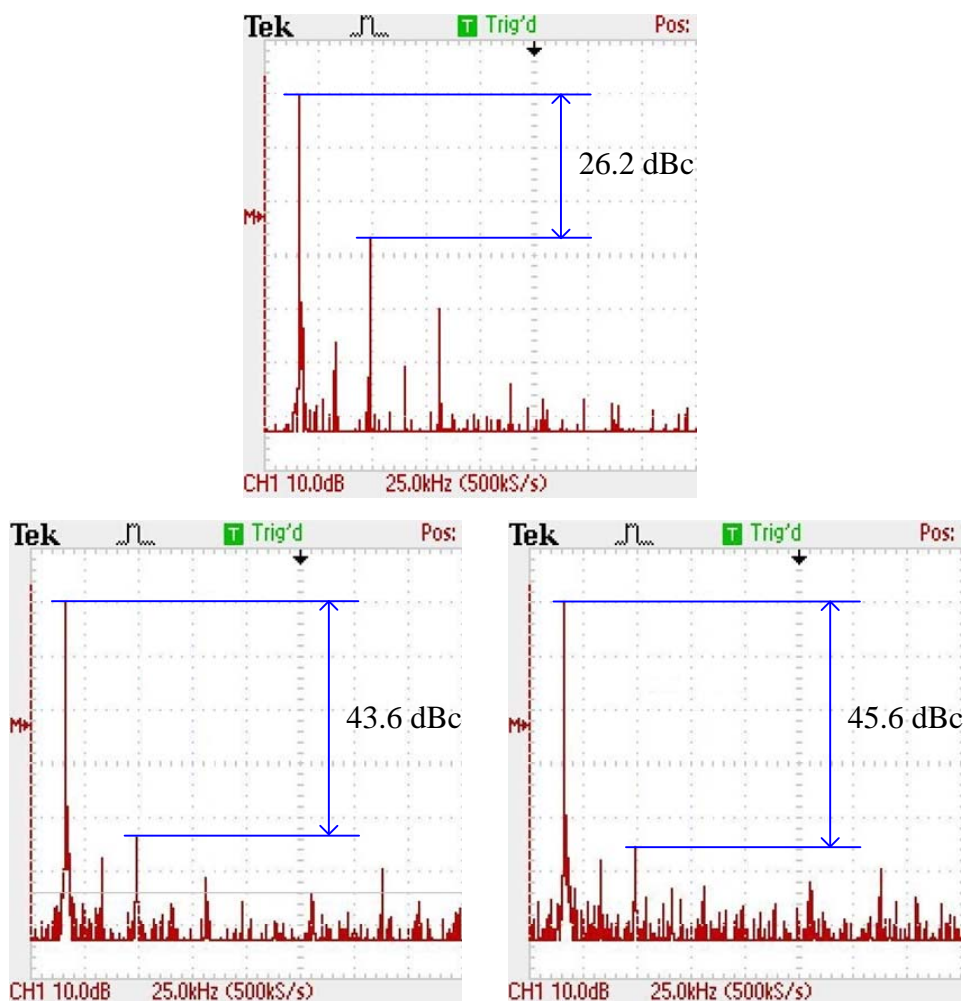


ภาพที่ 5.4 ค่าชดเชยเฟสกรณีใช้  $s(X)$  เพื่อประมาณ  $f(X)$



ภาพที่ 5.5 ค่าชดเชยเฟสกรณีใช้  $m(X)$  เพื่อประมาณ  $f(X)$

ภาพที่ 5.6 (บน) เป็นสเปกตรัมของสัญญาณที่ได้จากวงจรตัดโดยไม่มีการชดเชย โดยตั้งค่า  $F = 1$  จะสังเกตเห็นความถี่เอาต์พุตได้ 1.52588 kHz ฮาร์โมนิกที่ 3 จะแข็งแรงที่สุดแต่มีค่าต่ำกว่าความถี่หลัก 26.2 dBc ซึ่งกว่ากรณีอุดมคติ (27.0 dBc) เล็กน้อย เมื่อเราชดเชยด้วยค่าในภาพที่ 5.4 ซึ่งได้มาจากสมมติฐานที่ว่าพมอสที่ใช้เป็นพมอสอุดมคติ แล้วค่า SFDR ที่ได้จะเพิ่มขึ้นเป็น 43.6 dBc ตามภาพที่ 5.6 (ล่างซ้าย) สุดท้ายเราชดเชยด้วยค่าในภาพที่ 5.5 ซึ่งได้มาจากการวัดสัญญาณที่ได้จากวงจรจริง จะได้ผลตามภาพที่ 5.6 (ล่างขวา) คือค่า SFDR สูงขึ้นเล็กน้อยเป็น 45.6 dBc จึงสรุปได้ว่าการชดเชยเฟส



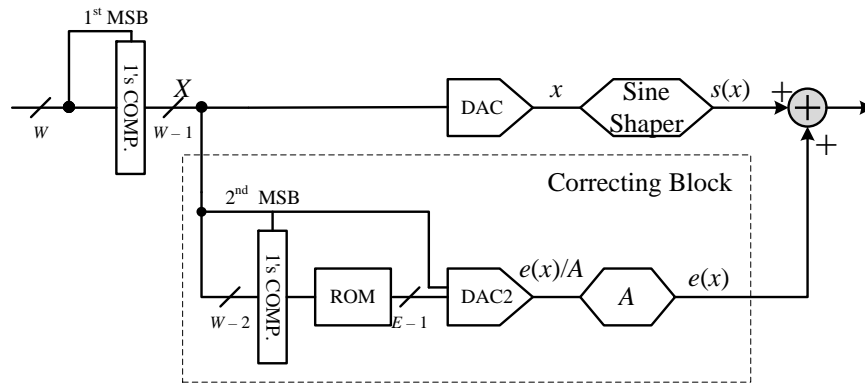
ภาพที่ 5.6 สเปกตรัมของสัญญาณที่ได้จากวงจรตัดเดี่ยว (บน) กรณีไม่ชดเชยเฟส (ล่าง-ซ้าย) ชดเชยเฟสค่าที่คำนวณจาก  $s(X)$  (ล่าง-ขวา) ชดเชยเฟสค่าที่คำนวณจาก  $m(X)$

## 5.2 ผลจำลองการทำงาน

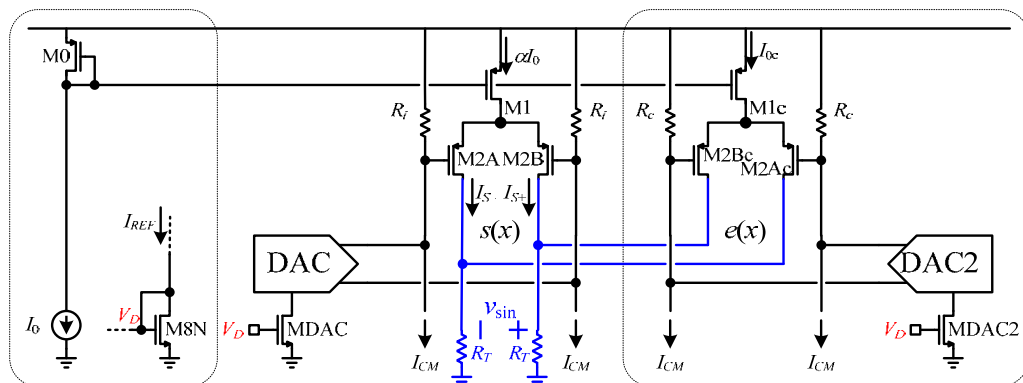
ในการจำลองการทำงานนี้เราจะใช้จำลอง DAC ระดับ 5 และให้เอาต์พุตแบบอนุกรมอุทมาคติ ดังนั้นผลที่ได้จากการจำลองการทำงานจึงไม่รวมความผิดพลาดที่ขึ้นจาก DAC

### 5.2.1 DDFS ที่ใช้วงจรตัดเดี่ยวที่แก้ไขความผิดพลาด

สำหรับ DDFS ที่ใช้วงจรตัดเดี่ยวที่แก้ไขความผิดพลาด เราใช้โครงสร้างในภาพที่ 5.7 ส่วนแก้ไขความผิดพลาดเราใช้วงจรขยายผลต่างอีกวงจรมุ่ง มาต่อร่วมกับวงจรตัดสายนี้ดังแสดงในภาพที่ 5.8 เราจะเรียกว่า วงจรแก้ไข, การป้อนอินพุตใช้หลักการเดียวกับการป้อนอินพุตให้วงจรตัดดังกล่าวมาแล้วในบทที่ 4 คือใช้ DAC2 สร้างผลต่างกระแสผ่านตัวต้านทาน,  $R_c$



ภาพที่ 5.7 DDFS ที่ใช้วงจรตัดเดี่ยวที่แก้ไขความผิดพลาดด้วยรวมและวงจขยายผลต่าง



ภาพที่ 5.8 วงจรตัดเดี่ยวพร้อมวงจขยายผลต่างสำหรับแก้ไขความผิดพลาด

เมื่อเทียบกับค่ากระแสขั้วไมล์ไอซ์  $I_0$  วงจรแก้ไขจะต้องให้กระแสสูงสุดเท่ากับ  $\varepsilon I_0$  เมื่อ  $\varepsilon$  คือค่าผิดพลาดสูงสุดจากหัวข้อ 3.2.3 ซึ่งมีค่า 0.0096 จะเห็นได้ว่าวงจรแก้ไขจะทำงานในช่วงแคบๆ เราจึงสามารถประมาณฟังก์ชันของวงจรแก้ไขเป็นเชิงเส้นได้ โดยมีอัตราขยาย

$$A = \left. \frac{\partial s(x)}{\partial x} \right|_{x=0} = g_m = \sqrt{\mu_p C_{ox} (W/L)_{2c} I_{0c}} \quad (5.3)$$

ดังนั้นแรงดันสูงสุดที่วงจรแก้ไขต้องการก็คือ

$$V_{in,max} = \frac{\varepsilon I_0}{g_m} = \frac{\varepsilon I_0}{\sqrt{\mu_p C_{ox} (W/L)_{2c} I_{0c}}} \quad (5.4)$$

และเมื่อแทนค่า  $I_0$  ในรูปของ  $I_{REF}$  จาก (4.22) และ

$$I_{0c} = \frac{(W/L)_{1c}}{(W/L)_0} I_0 \quad (5.5)$$

แล้วคำนวณหาค่ากระแสเต็มสเกลของ DAC2 จะได้ว่า

$$\begin{aligned} I_{DAC2,FS} &= \frac{V_{in,max}}{R_c} \\ &= \frac{\varepsilon I_0}{R_c \sqrt{\mu_p C_{ox} (W/L)_{2c} I_{0c}}} \\ &= \frac{\varepsilon (W/L)_0 R I_{REF}}{\sqrt{2(W/L)_{2c} (W/L)_{1c} R_c}} \end{aligned} \quad (5.6)$$

เพื่อความสะดวกเราเลือกให้พื้มอสในวงจรแก้ไขมีขนาดเป็น  $(W/L)_c$  ทั้งหมด แล้วจะได้

$$I_{DAC2,FS} = \frac{\varepsilon (W/L)_0 R I_{REF}}{\sqrt{2} (W/L)_c R_c} \quad (5.7)$$

จาก (5.7) เพื่อไม่ให้ DAC2 มีกระแสเต็มสเกลแตกต่างจาก DAC ตัวหลักมากเกินไป เราควรเลือกค่า  $(W/L)_c$  และ  $R_c$  ให้น้อยกว่า  $(W/L)_0$  และ  $R$  เพื่อจะได้หักล้างกับ  $\varepsilon$  ที่มีค่าน้อยมาก

จากบทที่ 4 เราเลือกค่ากระแสเต็มสเกลของ DAC เท่ากับกระแสอ้างอิงจากวงจรไบอัส  $I_{DAC,FS} = I_{REF}$  เพื่อให้ได้แรงดันอินพุตสำหรับวงจรตัดเป็น  $R I_{REF}$  เราจึงเลือกใช้ค่า  $R$  สำหรับป้อนอินพุตให้กับวงจรตัด เท่ากับค่า  $R$  ที่ใช้ในวงจรสร้างกระแสอ้างอิง แต่เราสามารถเลือกใช้ค่าความต้านทานสำหรับป้อนอินพุตให้วงจรตัดเป็น  $R_i$  และปรับกระแสเต็มสเกลของ DAC ให้รักษาเงื่อนไข

$$I_{DAC,FS} = \frac{R I_{REF}}{R_i} \quad (5.8)$$

เราก็จะได้ฟังก์ชันของวงจรตัดตามที่แสดงไว้ในบทที่ 4

จากภาพที่ 5.8 เราสามารถปรับสัดส่วนกระแสเต็มสเกลของ DAC และ DAC2 ได้โดยปรับสัดส่วนของเอ็นมอส MDAC และ MDAC2 ให้เป็นไปตาม (5.7)-(5.8)

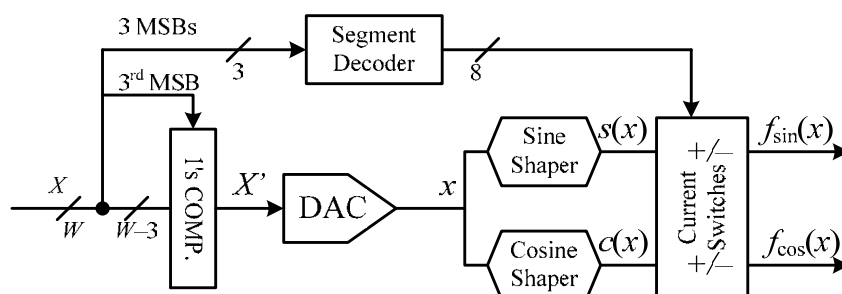
เราทดสอบสมรรถนะของ DDFS โครงสร้าง DDFS ในภาพที่ 5.7 ด้วยค่าต่างๆ ดังต่อไปนี้: ความยาวของ Phase Accumulator  $W = 6$ , ความถี่นาฬิกา  $f_{CLK} = 1.6 \text{ MHz}$  ความละเอียดของ DAC2 คือ  $E = 3$  และทดลองป้อนค่า  $F$  เพื่อกำหนดความถี่เอาต์พุต ได้ผลตามตารางที่ 5.1

ตารางที่ 5.1 SFDR ของสัญญาณที่ได้จาก DDFS ที่ใช้วงจรตัดเดี่ยวที่แก้ไขความผิดพลาด

$F$	$f_{out}$ [kHz]	SFDR [dBc]
1	25	55.7
2	50	56.2
4	100	56.0
8	200	56.0

### 5.2.2 QDDFS ที่ใช้วงจรตัดคู่ที่ปรับพารามิเตอร์

สำหรับ QDDFS ที่ใช้วงจรตัดคู่ในภาพที่ 5.9 จำเป็นจะต้องใช้สวิตช์กระแสเพื่อเลือกสัญญาณจากวงจรตัดทั้งสอง และ กำหนดเครื่องหมายบวกลบ ให้แก่เอาต์พุต เราใช้พีมอส 16 ตัว ต่อเป็นสวิตช์กระแสดังแสดงในภาพที่ 5.10 ถูกควบคุมด้วยเอาต์พุตของวงจรถอดรหัสเชกแมนต์ซึ่งทำงานตามคุณสมบัติสมมาตร 1/8 คาบ ดังรายละเอียดในตารางที่ 5.2



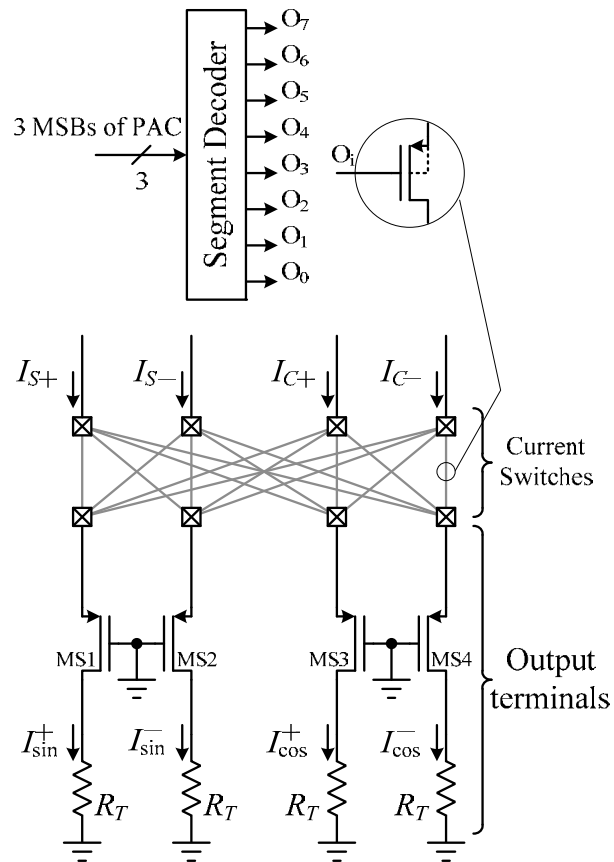
ภาพที่ 5.9 QDDFS ที่ใช้วงจรตัดคู่ที่ปรับพารามิเตอร์

เราทดสอบสมรรถนะของ QDDFS โครงสร้างด้วยค่าต่างๆ ดังต่อไปนี้: ความยาวของ Phase Accumulator  $W = 11$ , ความถี่นาฬิกา  $f_{CLK} = 1.6 \text{ MHz}$  และทดลองป้อนค่า  $F$  เพื่อกำหนดความถี่เอาต์พุต ได้ผลตามตารางที่ 5.3

ตารางที่ 5.2 เส้นทางการมัลติเพล็กซ์กระแสจากวงจรตัดคู่ออกไปยังเอาต์พุต เทียบกับ 3 MSB ของ Phase Accumulator

ต้นทางและปลายทางของกระแส (ต้นทาง, ปลายทาง)	3 MSB
$(I_{S+}, I_{\sin}^+)$ $(I_{S-}, I_{\sin}^-)$ $(I_{C+}, I_{\cos}^+)$ $(I_{C-}, I_{\cos}^-)$	000
$(I_{S+}, I_{\cos}^+)$ $(I_{S-}, I_{\cos}^-)$ $(I_{C+}, I_{\sin}^+)$ $(I_{C-}, I_{\sin}^-)$	001
$(I_{S+}, I_{\cos}^-)$ $(I_{S-}, I_{\cos}^+)$ $(I_{C+}, I_{\sin}^+)$ $(I_{C-}, I_{\sin}^-)$	010
$(I_{S+}, I_{\sin}^+)$ $(I_{S-}, I_{\sin}^-)$ $(I_{C+}, I_{\cos}^-)$ $(I_{C-}, I_{\cos}^+)$	011
$(I_{S+}, I_{\sin}^-)$ $(I_{S-}, I_{\sin}^+)$ $(I_{C+}, I_{\cos}^-)$ $(I_{C-}, I_{\cos}^+)$	100
$(I_{S+}, I_{\cos}^-)$ $(I_{S-}, I_{\cos}^+)$ $(I_{C+}, I_{\sin}^-)$ $(I_{C-}, I_{\sin}^+)$	101
$(I_{S+}, I_{\cos}^+)$ $(I_{S-}, I_{\cos}^-)$ $(I_{C+}, I_{\sin}^-)$ $(I_{C-}, I_{\sin}^+)$	110
$(I_{S+}, I_{\sin}^-)$ $(I_{S-}, I_{\sin}^+)$ $(I_{C+}, I_{\cos}^+)$ $(I_{C-}, I_{\cos}^-)$	111

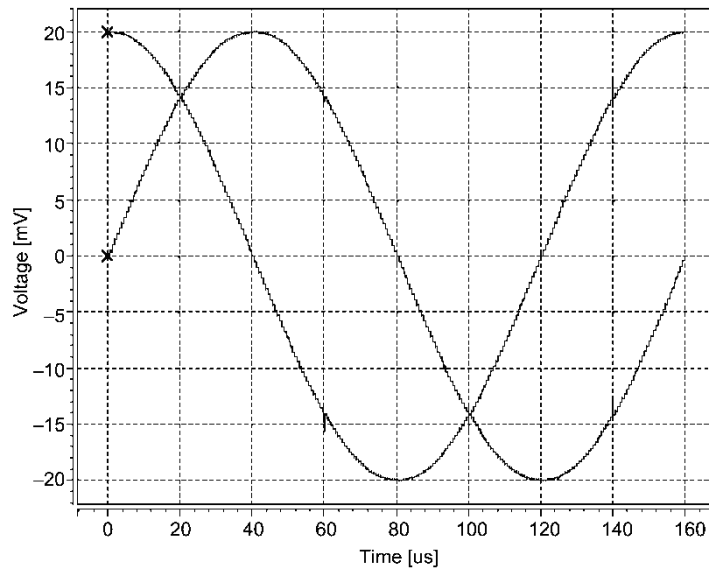




ภาพที่ 5.10 สวิตซ์กระแสและบัพเฟอร์กระแส

ตารางที่ 5.3 SFDR ของสัญญาณที่ได้จาก DDFS ที่ใช้วงจรตัดคู่ที่ปรับพารามิเตอร์

$F$	$f_{OUT}$ [kHz]	SFDR [dBc]
1	0.78125	55.8
2	1.56250	55.7
4	3.12500	55.9
8	6.25000	56.0
16	12.5000	55.2
32	25.0000	55.0

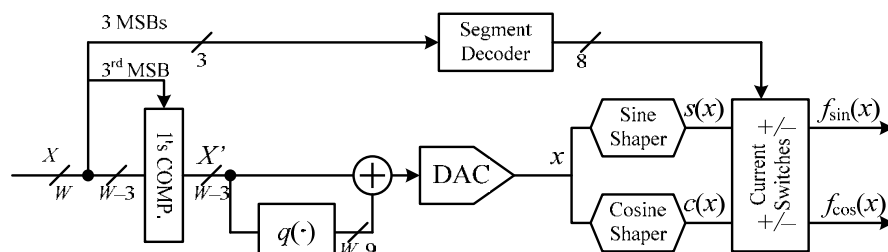


ภาพที่ 5.11 รูปคลื่นของ QDDFS กรณี  $F=8$ , ความถี่เอาต์พุต 6.25 kHz

สังเกตรูปคลื่นในภาพที่ 5.11 ณ เวลา 20, 60, 100, 140 us จะมีการสลับกระแสระหว่างชุดวงจรถัดทั้งสองกับเอาต์พุตทั้งสอง จะมีสัญญาณสไปซ์เกิดขึ้น เนื่องจากเกิดปรากฏการณ์ Clock feed through ที่สัญญาณดิจิตอลเปิดปิดสวิตช์พีมอส พีมอส MS1, MS2, MS3, MS4 ที่ทำหน้าที่บัฟเฟอร์กระแสจะช่วยลดผลนี้ที่ขั้วเอาต์พุตทั้งสอง สไปซ์ที่ปรากฏที่ขั้วเอาต์พุตจะมีขนาดเล็กน้อยดังภาพที่ 5.11

### 5.2.3 QDDFS ที่ใช้วงจรถัดคู่ที่ชดเชยเฟส

สำหรับ QDDFS ที่ใช้วงจรถัดคู่ตามโครงสร้างในภาพที่ 5.12 จำเป็นจะต้องใช้สวิตช์กระแสเช่นเดียวกับหัวข้อ 5.2.2 เราทดสอบสมรรถนะของ QDDFS โครงสร้างด้วยค่าต่างๆ ดังต่อไปนี้: ความยาวของ Phase Accumulator  $W = 10$ , ความถี่นาฬิกา  $f_{CLK} = 1.6 \text{ MHz}$  และ ทดลองป้อนค่า  $F$  เพื่อกำหนดความถี่เอาต์พุต ได้ผลตามตารางที่ 5.4



ภาพที่ 5.12 QDDFS ที่ใช้วงจรถัดคู่ที่ชดเชยเฟส

ตารางที่ 5.4 SFDR ของสัญญาณที่ได้จาก DDFS ที่ใช้วงจรตัดคู่  
\*ที่ขีดเซยเฟส #ที่ไม่ได้ขีดเซยเฟส

$F$	$f_{OUT}$ [kHz]	SFDR [dBc]#	SFDR [dBc]*
1	1.56250	44.8	53.3
2	3.12500	44.8	53.3
4	6.25000	44.9	53.3
8	12.5000	45.0	53.6
16	25.0000	44.9	52.2

### 5.3 วิเคราะห์และสรุปการทำงานทำงานของ DDFS

ในขั้นต้นจากผลการจำลองการทำงานในโครงสร้างต่างๆ ค่า SFDR ที่ได้จะต่ำกว่า SFDR อุดมคติที่คำนวณไว้ในบทที่ 3 ต้นเหตุหนึ่งคือพฤติกรรมของมอดตามแบบจำลองระดับ 49 แตกต่างจากกฎกำลังสอง แม้ว่าเราใช้มอดที่มีความยาวก็เพียงแต่ลดผลของ  $\lambda$  (Channel Length Modulation) ไม่สามารถกำจัดออกไปได้ ตัวอย่างเช่น เมื่อ  $\lambda$  ค่าน้อยๆ ทำให้กระแสต่างไปจากกฎกำลังสองคิดเป็นร้อยละ 1 ก็เทียบเท่า 40 dBc แต่ความผิดพลาดนี้ก็กระจายไปอยู่ที่องค์ประกอบความถี่ต่างๆ เราจึงประมาณได้ว่า

$$20\log(\%Error) < SFDR < SFDR_{Ideal} \quad (5.9)$$

SFDR ที่ได้จริงจะต่ำกว่าอุดมคติ แต่จะสูงกว่าความผิดพลาดของวงจรในหน่วย dBc, อย่างเช่นในหัวข้อ 5.2.2 ในกรณีอุดมคติจะได้ SFDR = 69 dBc ส่วนจากการจำลองการทำงานประมาณมากกว่า 50 dBc ซึ่งค่า SFDR ในระดับนี้ถือว่าสูงพอสำหรับการใช้งานเป้าหมาย

สำหรับกรณีต้นแบบในหัวข้อ 5.1 จะได้ฟังก์ชันวงจรตัดที่วัดมาได้จริงนั้น ไม่เป็นฟังก์ชันสมมาตร ก็เพราะความไม่เป็นอุดมคติของอุปกรณ์ต่างๆ เช่น ออปแอมป์ที่ใช้ปรับสภาพสัญญาณ อินพุตให้วงจรตัดมีออฟเซตซึ่งสังเกตได้จากภาพที่ 5.3 เป็นต้น

ในกรณีชดเชยเฟส (ในหัวข้อ 5.1 และ หัวข้อ 5.2.3 ตารางที่ 5.4) ถึงแม้ว่าวงจรถัดจะไม่ได้มีพฤติกรรมแบบอุดมคติ แต่การใช้ค่าดิจิทัลที่คำนวณจากกฎกำลังสองเป็นฐานก็ช่วยเพิ่มค่า SFDR ได้มาก จึงสรุปได้ว่าพฤติกรรมของวงจรถัดมีแนวโน้มไปในทางเดียวกับกรณีอุดมคติ

ความละเอียดของ DAC ที่ใช้ในโครงสร้างนี้จะขึ้นอยู่กับความกว้างของ Phase Accumulator,  $W$ , ความต้องการใช้ DAC ที่มีความละเอียดต่ำในโครงสร้างนี้ (ดังหัวข้อ 5.2.1) จะทำให้ความละเอียดในการจูนลดลงไปด้วย ดังนั้นถ้าต้องการเพิ่มความละเอียดในการจูนความถี่ก็ต้องเพิ่มความกว้างของ Phase Accumulator และใช้เทคนิคการปัดทังเข้ามาช่วย

สรุปได้ว่า DDFS และ QDDFS ที่ใช้วงจรถัดแบบต่างๆ ซึ่งเทคนิคทั้งแอนาล็อกและดิจิทัลรวมกันเพื่อประมาณฟังก์ชันไซน์และโคไซน์ที่นำเสนอไปนั้น ต้องการใช้เพียง DAC ที่มีความละเอียดปานกลาง  $\leq 8$  บิต เพื่อสังเคราะห์สัญญาณที่มี SFDR สูงกว่า 50 dBc ในกรณีสร้างด้วยวงจรรวม และ 45 dBc สำหรับต้นแบบเฟฟฟี่จีเอ ค่า SFDR นี้วัดในแบนด์วิธ 200 kHz ตามการใช้งานเป้าหมาย

## บทที่ 6

### บทสรุปและข้อเสนอแนะ

#### 6.1 ข้อสรุป

วิทยานิพนธ์นี้ได้นำเสนอ DDFS และ QDDFS โครงสร้างใหม่ที่ใช้งานวงจรตุ้รูปสามเหลี่ยมเป็นชายนี โครงสร้างที่นำเสนอมีความซับซ้อนต่ำและอาศัยหลักการวงจรทั้งแบบแอนาล็อกและดิจิตอลเพื่อคำนวณฟังก์ชันชายนีซึ่งแตกต่างจาก DDFS ส่วนใหญ่ที่ใช้วงจรดิจิตอลอย่างเดียวนำมาคำนวณฟังก์ชันชายนี, DDFS/QDDFS นี้ต้องการใช้ DAC ที่มีความละเอียดปานกลางสำหรับสังเคราะห์สัญญาณรูปสามเหลี่ยมซึ่งเทียบเท่ากับมมเฟส การแปลงจากรูปสามเหลี่ยมเป็นชายนีจะกระทำโดยวงจรตุ้ซึ่งเป็นวงจรแอนาล็อก วงจรตุ้ที่นำเสนอแบ่งออกเป็น 2 แบบ ได้แก่ วงจรตุ้เดี่ยว และ วงจรตุ้คู่

วงจรตุ้เดี่ยวที่ใช้ใน DDFS ที่จริงเป็นวงจรขยายผลต่างซึ่งมีฟังก์ชันส่งผ่านใกล้เคียงชายนีอุดมคติ DDFS นี้จะอาศัยคุณสมบัติสมมาตร  $1/2$  คาบของฟังก์ชันชายนีในการสังเคราะห์สัญญาณเต็มรูปคลื่น ในทางทฤษฎีการป้อนสัญญาณรูปสามเหลี่ยมที่มีขนาดสอดคล้องกับช่วงโมดูลัสของฟังก์ชันส่งผ่านของวงจรตุ้จะทำให้สังเคราะห์สัญญาณเอาต์พุตรูปชายนีที่มีความเพี้ยนระดับหนึ่ง (SFDR = 31 dBc) เราสามารถลดความเพี้ยนของสัญญาณที่สังเคราะห์ได้ 3 วิธี ได้แก่ วิธีที่ 1 การปรับพารามิเตอร์ คือ การปรับสัดส่วนของมอดูลัสในวงจรตุ้ ซึ่งจะทำให้ได้ SFDR เพิ่มขึ้นเป็น 45 dBc, วิธีที่ 2 การแก้ไขความผิดพลาด คือ การใช้ DAC ตัวที่สองซึ่งมีความละเอียดต่ำอีกตัวหนึ่งสังเคราะห์สัญญาณโดยอาศัยค่าที่เปิดตารางจากรวมขนาดเล็กเพื่อนำมาบวกกับเอาต์พุตของวงจรตุ้ จะทำให้ได้ SFDR เพิ่มขึ้นประมาณ 6 dBc ต่อความละเอียดของ DAC ตัวที่สองที่เพิ่มขึ้น 1 บิต, วิธีที่ 3 การชดเชยเฟส คือ การนำค่าเฟสดิจิตอลซึ่งสมนัยกับรูปสามเหลี่ยม ไปบวกกับค่าที่ได้จากการเปิดตาราง ก่อนส่งให้ DAC จะทำให้สัญญาณที่ได้จาก DAC แตกต่างไปจากรูปสามเหลี่ยมเล็กน้อย แต่จะทำให้เอาต์พุตของวงจรตุ้ใกล้เคียงชายนีอุดมคติมากขึ้น

วงจรตุ้คู่ที่ถูกรู้ใช้ใน QDDFS ประกอบด้วยวงจรตุ้ชายนีซึ่งก็คือวงจรขยายผลต่าง และวงจรตุ้โคชายนีซึ่งเป็นวงจรรวมกำลังสองที่ใช้ซิมอส, QDDFS นี้จะสังเคราะห์ได้ทั้งสัญญาณชายนีและโคชายนีได้พร้อมกัน โดยอาศัยคุณสมบัติสมมาตร  $1/8$  คาบของชายนีกับโคชายนี เป็นผลให้วงจรตุ้ทั้งสองทำงานบนช่วงที่แคบกว่าวงจรตุ้เดี่ยว กล่าวคือทำงานบนช่วงที่สมนัยกับมุม  $0-45^\circ$  ในทางทฤษฎีการป้อนสัญญาณสามเหลี่ยมให้สอดคล้องกับช่วงของวงจรตุ้ทั้งสอง จะได้

สัญญาณที่มีระดับความเพี้ยนต่ำกว่าวงจรถัดเดี่ยว (SFDR = 48 dBc), วิธีที่เหมาะสมสำหรับลดความเพี้ยนสำหรับวงจรถัดคู่มี 2 วิธี ได้แก่ วิธีการปรับพารามิเตอร์ซึ่งให้ค่า SFDR = 69 dBc และ วิธีการชดเชยเฟส ทั้งสองวิธีนี้ใช้หลักการเดียวกันกับวิธีสำหรับวงจรถัดเดี่ยว

ในการออกแบบวงจรถัดซึ่งใช้พีมอสเป็นหลัก และการปรับสัดส่วนของมอสในวงจรถัดอาศัยกฎกำลังสองเป็นสำคัญ ในของกฎกำลังสองมีพารามิเตอร์ 3 ตัวที่ขึ้นอยู่กับขบวนการผลิต ได้แก่  $\mu_p$ ,  $C_{ox}$ , และ  $V_{TH}$  เราสามารถจำกัดผลจากพารามิเตอร์เหล่านี้ได้โดยการ ออกแบบวงจรถัดสร้างกระแสอ้างอิง สำหรับไบอัสวงจรถัดและเป็นกระแสอ้างอิงของ DAC, การใช้กระแสอ้างอิงนี้จะทำให้พารามิเตอร์ทั้งสามนี้ถูกหักล้างที่เอาต์พุตสุดท้ายของวงจรถัด

ผลจากการจำลองการทำงานด้วยโปรแกรม HSPICE และสังเคราะห์วงจรต่างๆ ด้วยแบบจำลองมอสระดับ 49 แสดงให้เห็นว่า เราได้ระดับความเพี้ยน SFDR ที่วัดในช่วงแบนด์วิธ 200 kHz ได้ประมาณ >50 dBc ซึ่งต่ำกว่า SFDR ที่คำนวณได้จากกฎกำลังสอง แต่อย่างไรก็ตาม การใช้มอสที่มีความยาวช่องนำกระแสหลายๆ จะช่วยให้มอสมีพฤติกรรมใกล้เคียงและมีแนวโน้มไปทางเดียวกับกฎกำลังสอง เราจึงสามารถใช้ค่าดิจิตอลชดเชยและแก้ไขความผิดพลาดที่คำนวณจากกฎกำลังสอง ไปลดความเพี้ยนให้กับวงจรถัดในแบบจำลองระดับ 49 ได้, ซึ่งระดับความเพี้ยนที่ได้ >50 dBc นี้ถือว่าอยู่ในระดับสูงสำหรับการใช้งานเป้าหมาย และใช้กำลังงานไฟฟ้าประมาณ 1.3 mW

เราได้สร้างต้นแบบ DDFS ที่ใช้งานวงจรถัดเดี่ยวที่ชดเชยเฟส ซึ่งสร้างจาก เอฟพีจีเอ ออฟแอมป์ และ มอสอาร์เรย์ ก็ให้ผลทำนองเดียวกับการจำลองการทำงาน คือ ให้ค่า SFDR ต่ำกว่ากรณีอุดมคติเล็กน้อย แต่การชดเชยเฟสด้วยค่าดิจิตอลช่วยเพิ่ม SFDR ขึ้นมาในระดับ >40 dBc ซึ่งจัดว่าเป็นระดับที่เพียงพอในการใช้งาน

วงจรถัดที่นำเสนอนี้ทำงานได้ดี ณ ความถี่ต่ำ แต่การตอบสนองต่อสัญญาณรูปสามเหลี่ยมที่มีความถี่สูงไม่ดีนัก เนื่องจากเทคนิคการออกแบบใช้มอสที่มีขนาดใหญ่ ส่งผลให้ความเก็บประจุที่ขั้วเกตรวมทั้งความเก็บประจุแผ่นมีค่าสูง, ประกอบกับการใช้ตัวต้านทานร่วมด้วยในการขับขั้วเกตของมอสในวงจรถัด, ผลทางไดนามิกส์จึงมีค่าสูงขึ้น ณ ความถี่สูง ความเพี้ยนของสัญญาณที่สังเคราะห์ได้จึงเพิ่มมากขึ้น

จุดอ่อนของวงจรถัดอีกประการหนึ่ง คือ เทคนิคแก้ไขความผิดพลาดและชดเชยเฟสที่อาศัยวงจรถัดช่วยคำนวณการชดเชยส่วนที่ผิดพลาดของวงจรถัดนั้น, ให้ผลดีเมื่อค่าดิจิตอลที่ใช้มีความละเอียดต่ำ, แต่เมื่อเพิ่มความละเอียดของค่าดิจิตอลให้สูงขึ้น ระดับความเพี้ยนกลับไม่

ลดตามที่คุณวางไว้ด้วยกฎกำลังสอง ทั้งนี้เพราะระดับความผิดพลาดของฟังก์ชันวงจรถัดที่ต่างไป จากกฎกำลังสองมีนัยมากกว่าความละเอียดของดิจิตอลที่เพิ่มขึ้น

สรุปแล้วโครงสร้าง DDFS/QDDFS ที่ใช้วงจรถัดตามที่เสนอในวิทยานิพนธ์นี้ สามารถทำงานได้ดีที่ความถี่ต่ำ ใช้กำลังต่ำ วงจรมีความซับซ้อนต่ำมาก ต้องการความละเอียดของ DAC ปานกลาง เหมาะสำหรับงานที่ต้องการระดับความเพี้ยนปานกลางค่อนข้างสูง (40 – 50 dBc)

## 6.2 ข้อเสนอแนะ

1 พัฒนาโครงสร้าง DDFS ที่สามารถคำนวณค่าดิจิตอลเพื่อชดเชยวงจรถัดที่ใช้จริงใน วงจรนั้นๆ (In-circuit Calibration) ซึ่งจะช่วยให้ได้ระดับความเพี้ยนที่ต่ำกว่าการชดเชยด้วยค่าที่ คำนวณมาจากกฎกำลังสอง

2 พัฒนางจรถัดให้ตอบสนองความถี่สูงได้ดีขึ้น อย่างเช่น ค้นหารูปแบบวงจรถัดที่ไม่ใช้ตัว ต้านทาน และ ทำงานในโหมดกระแส

## รายการอ้างอิง

- [1] A. Torosyan, F. Dengwei, and A. N. Willson, Jr. A 300-MHz quadrature direct digital synthesizer/mixer in 0.25- $\mu\text{m}$  CMOS. Solid-State Circuits, IEEE Journal of. 38(2003): 875-887.
- [2] J. Tierney, C. Rader, and B. Gold. A digital frequency synthesizer, Audio and Electroacoustics, IEEE Transactions on. 19(1971): 48-57.
- [3] G. J. van Rooyen and J. G. Lourens. A quadrature baseband approach to direct digital FM synthesis. Broadcasting, IEEE Transactions on. 46(2000): 227-230.
- [4] J. Vankka, M. Waltari, M. Kosunen, and K. A. I. Halonen. A direct digital synthesizer with an on-chip D/A-converter. Solid-State Circuits, IEEE Journal of. 33(1998): 218-227.
- [5] A. Bellaouar, M. S. O'Brecht, A. M. Fahim, and M. I. Elmasry. Low-power direct digital frequency synthesis for wireless communications. Solid-State Circuits, IEEE Journal of. 35(2000): 385-390.
- [6] V. F. Kroupa, V. Cizek, J. Stursa, and H. Svandova. Spurious signals in direct digital frequency synthesizers due to the phase truncation. Ultrasonics, Ferroelectrics and Frequency Control, IEEE Transactions on. 47(2000): 1166-1172.
- [7] Y. Xuefeng, D. Fa Foster, J. David Irwin, and R. C. Jaeger. A 9-bit Quadrature Direct Digital Synthesizer Implemented in 0.18- $\mu\text{m}$  SiGe BiCMOS Technology. Microwave Theory and Techniques, IEEE Transactions on. 56(2008): 1257-1266.
- [8] A. Ashrafi and R. Adhami. Comments on A 13-bit resolution ROM-less direct digital frequency synthesizer based on a trigonometric quadruple angle formula. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on. 13(2005): 1096-1098.



- [9] J. M. P. Langlois and D. Al-Khalili. Phase to sinusoid amplitude conversion techniques for direct digital frequency synthesis. Circuits, Devices and Systems, IEE Proceedings -. 151(2004): 519-528.
- [10] A. Ashrafi and R. Adhami. Theoretical Upperbound of the Spurious-Free Dynamic Range in Direct Digital Frequency Synthesizers Realized by Polynomial Interpolation Methods. Circuits and Systems I: Regular Papers, IEEE Transactions on. 54(2007): 2252-2261.
- [11] J. Vankka, M. Kosunen, J. Hubach, and K. Halonen. A CORDIC-based multicarrier QAM modulator. In Global Telecommunications Conference, 1999. GLOBECOM '99, pp. 173-177. 1999.
- [12] H. T. Nicholas, III, H. Samueli, and B. Kim. The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects. In Frequency Control Symposium, 1988. Proceedings of the 42nd Annual, pp. 357-363. 1988.
- [13] A. M. Sodagar and G. Roientan Lahiji. Mapping from phase to sine-amplitude in direct digital frequency synthesizers using parabolic approximation. Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on. 47(2000): 1452-1457.
- [14] J. Jiandong and E. K. F. Lee. A low-power segmented nonlinear DAC-based direct digital frequency synthesizer. Solid-State Circuits, IEEE Journal of. 37(2002): 1326-1330.
- [15] D. A. Sunderland, R. A. Strauch, S. S. Wharfield, H. T. Peterson, and C. R. Cole. CMOS/SOS frequency synthesizer LSI circuit for spread spectrum communications. Solid-State Circuits, IEEE Journal of. 19(1984): 497-506.
- [16] U. Hai, M. N. Khan, M. S. Imran, and M. Rehan. Compressed ROM High Speed Direct Digital Frequency Synthesizer Architecture. In Microelectronics, 2005. ICM 2005. The 17th International Conference on, pp. 36-39. 2005

- [17] S. Morteza pour and E. K. F. Lee. Design of low-power ROM-less direct digital frequency synthesizer using nonlinear digital-to-analog converter. Solid-State Circuits, IEEE Journal of. 34(1999): 1350-1359.
- [18] A. McEwan and S. Collins. Direct Digital-Frequency Synthesis by Analog Interpolation. Circuits and Systems II: Express Briefs, IEEE Transactions on. 53(2006): 1294-1298.
- [19] J. W. Fattaruso and R. G. Meyer. Triangle-to-sine wave conversion with MOS technology. Solid-State Circuits, IEEE Journal of. 20(1985): 623-631.
- [20] J. M. P. Langlois and D. Al-Khalili. Novel approach to the design of direct digital frequency synthesizers based on linear interpolation. Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on. 50(2003): 567-578.
- [21] I. M. Filanovsky and A. Allam. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits. Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on. 48(2001): 876-884.
- [22] B. Razavi. Design of Analog CMOS Integrated Circuits. McGraw-Hill, 2001

## ประวัติผู้เขียนวิทยานิพนธ์

นายคณิตพงศ์ เพ็งวัน เกิดวันที่ 27 สิงหาคม พ.ศ. 2519 ที่จังหวัดอุดรธานี สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต (วิศวกรรมไฟฟ้า) จากมหาวิทยาลัยเชียงใหม่ ในปีการศึกษา 2540 และ ปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) จากจุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2545 และสมัครเข้าศึกษาต่อในหลักสูตรวิศวกรรมศาสตรดุษฎีบัณฑิต (วิศวกรรมไฟฟ้า) ณ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2549 ระหว่างการศึกษาค้นคว้าวิจัยได้ตีพิมพ์บทความดังต่อไปนี้

*บทความที่ได้รับการตีพิมพ์ในวารสารวิชาการในระดับนานาชาติ*

K. Pengwon and E. Leelarasmee. A Compact Design of a Low Frequency Quadrature DDFS with Low Distortion Using Analog Shapers. IEICE Trans. Communication, E94-B(September 2011): 1-8.

*บทความที่ถูกรับรองในการประชุมวิชาการระดับนานาชาติ*

K. Pengwon and E. Leelarasmee. A Quadrature Generator Based on CMOS Triangular-to-Sine/Cosine Converter with 1/4 Frequency Output. In The 4th IEEE International Conference on Circuits and Systems for Communications, pp.319-322. 2008.

K. Pengwon and E. Leelarasmee. A Modified CMOS Differential-Pair-Based Triangular-and-Trapezoidal-to-Sine Converter. In The 4th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2007), pp.5-8. 2007.