การพัฒนาโปรแกรมจำลองการทำงานของวงจรตรรกะ

นาย ภุชงค์ อุทโยภาศ

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
ภาควิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ.2531
ISBN 974-569-572-6
ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
016147
I10301355

Development of a logic simulation program

Mr. Putchong Uthayopas

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering

Department of Electrical Engineering

Graduate School

Chulalongkorn University

1988

ISBN 974-569-572-6

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

หัวข้อวิทยานิพนธ์	การพัฒนาโปรแกรมจำลองการทำงานของวงจรตรรกะ
โดย	นาย ภูชงค์ อุทโยภาศ
ภาควิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีบัณฑิตวิทยาลัย
(ศาสตราจารย์ ดร.ถาวร วัชราภัย)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(รองศาสตราจารย์ กฤษดา วิศวธีรานนท์)

..... กรรมการ
(รองศาสตราจารย์ ดร.สุริยัน ติษยาธิคม)

..... กรรมการ
(รองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี)

..... กรรมการ
(ผู้ช่วยศาสตราจารย์ สุยุชน์ สัตยประกอบ)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

ภูชงค์ อุทโยภาศ : การพัฒนาโปรแกรมจำลองการทำงานของวงจรตรรกะ
(DEVELOPMENT OF A LOGIC SIMULATION PROGRAM)
อ.ที่ปรึกษา รศ.ดร.เอกชัย ลีลารัศมี, ๑๗๒ หน้า

วิทยานิพนธ์นี้ กล่าวถึงการพัฒนาโปรแกรมต้นแบบบนไมโครคอมพิวเตอร์เพื่อจำลองการทำงานของวงจรตรรกะทั่วไป ซึ่งประกอบด้วยเกตและฟลิปฟลอป ต่อไปนี้ คือ AND, OR, NAND, NOR, INVERTER, XOR, BUFFER, TRI-STATE DRIVER, ฟลิปฟลอปแบบ T, D และ JK สัญญาณตรรกะที่ใช้ในโปรแกรมนี้มีได้ ๔ สถานะ คือ HIGH, LOW, UNKNOWN และ HIGH IMPEDANCE ผู้ใช้สามารถจำลองการทำงานของวงจร โดยป้อนข้อมูลของวงจรนั้นในรูปแบบที่โปรแกรมกำหนดขึ้นและสามารถตรวจดูสัญญาณที่แต่ละจุดของวงจรได้โดยง่าย เกตแต่ละตัวจะมีค่าเวลาประวิงซึ่งผู้ใช้สามารถกำหนดได้โดยอิสระ

ในการวิเคราะห์วงจรตรรกะนั้น โปรแกรมจะแปรข้อมูลวงจรให้อยู่ในรูปโครงสร้างข้อมูลที่เหมาะสม และใช้วิธีการที่เรียกว่า Event Driven ในการจำลองการทำงานวิธีนี้ทำให้การวิเคราะห์วงจรเป็นไปอย่างรวดเร็วและมีประสิทธิภาพ

ผลจากการวิจัยนี้ ทำให้เกิดฐานความรู้ที่จะนำไปพัฒนาโปรแกรมจำลองการทำงานของวงจรตรรกะซึ่งสามารถใช้ในการศึกษาและออกแบบวงจรตรรกะทั่วไปได้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต .....
สาขาวิชา วิศวกรรมไฟฟ้า
ปีการศึกษา 2531 ลายมือชื่ออาจารย์ที่ปรึกษา .....

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

PUTCHONG UTHAYOPAS : DEVELOPMENT OF A LOGIC SIMULATION PROGRAM. THESIS ADVISOR : ASSO. PROF EKACHAI LEELARASMEE, PH.D. 172 PP.

This thesis describes the development of a prototype program on a microcomputer that can simulate the operation of arbitrary logic circuits consisting of the following logic devices: AND, OR, NAND, NOR, INVERTER, BUFFER, TRI-STATE DRIVER and D, T, JK type flipflop. The logic signals used in this program can have 4 states, i.e. HIGH(H), LOW(L), UNKNOWN(X) and HIGH IMPEDANCE(Z). The user can simulate the circuit operation by entering the circuit descriptions in the format that provided by the program and can easily monitor the signal at any point in the circuit. Each logic gate can have its own propagation delay time which can be freely specified by the user.

To simulate the operation of a logic circuit, the program will transform the circuit descriptions into an appropriate form of data structure and use the so called Event Driven method to simulate the circuit operation. This method enables the simulation process to be carried out in a fast and efficient way.

The result of this research is a knowledge to develop a logic simulation program that can be used in the study and design of logic circuits.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต .....

สาขาวิชา วิศวกรรมไฟฟ้า

ปีการศึกษา 2531 ลายมือชื่ออาจารย์ที่ปรึกษา .....

กิตติกรรมประกาศ

ในการดำเนินการวิจัยนี้ ผู้เขียนขอกราบขอบคุณรองศาสตราจารย์ ดร. เอกชัย ลีลารัศมี ที่ได้กรุณาให้แนวทางและคำปรึกษาที่เป็นประโยชน์อย่างยิ่งต่อการวิจัยในครั้งนี้ รวมทั้งช่วยเหลือในการจัดหาเอกสารและอุปกรณ์ต่างๆที่ทำให้การวิจัยสำเร็จลุล่วงไปด้วยดี

นอกจากนี้ผู้เขียนต้องขอขอบคุณผู้เกี่ยวข้องทุกท่านที่มีส่วนช่วยให้การจัดทำรูปเล่มของวิทยานิพนธ์นี้ สำเร็จลงด้วยดี

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย..... ฆ

บทคัดย่อภาษาอังกฤษ..... ง

กิตติกรรมประกาศ..... จ

สารบัญภาพ..... ฎ

บทที่

1. บทนำ..... 1

1.1 ความเป็นมาและความสำคัญของปัญหา..... 1

1.2 งานวิจัยที่เกี่ยวข้อง..... 1

1.3 วัตถุประสงค์และขอบเขตการวิจัย..... 2

1.4 ขั้นตอนและวิธีดำเนินงานวิจัย..... 3

1.5 ประโยชน์ที่คาดว่าจะได้รับจากงานวิจัย..... 4

1.6 เนื้อหาโดยย่อของวิทยานิพนธ์..... 4

2. ลักษณะสมบัติและโมเดลของวงจรตรรกะ..... 5

2.1 วงจรตรรกะแบบจัดหมู่..... 5

2.2 วงจรตรรกะแบบลำดับ..... 8

2.3 จำนวนสถานะในวงจรตรรกะ..... 10

2.4 วงจรไตรเสตท (TRISTATE CIRCUIT)..... 10

2.5 การประวิงเวลาในวงจรตรรกะ..... 11

2.5.1 ค่าเวลาประวิงแผ่กระจายของเกต..... 11

2.5.2 เวลาประวิงที่ขอบขึ้นและขอบลง..... 12

2.5.3 เวลาประวิงแบบเฉื่อย..... 13

2.5.4 เวลาประวิงแบบไม่แน่นอน..... 14

2.5.5 เวลาประวิงกับการวิเคราะห์ทำงานของวงจรตรรกะ..... 15

สารบัญ(ต่อ)

บทที่		หน้า
	2.6 การเกิดสัญญาณยอดแหลมในวงจรตรรกะ	16
3.	การวิเคราะห์การทำงานของวงจรตรรกะ	18
	3.1 บทนำ	18
	3.2 การวิเคราะห์การทำงานของวงจรตรรกะโดยวิธี Event Driven	18
	3.3 การทำงานของ time queue	22
	3.4 การตรวจสอบสัญญาณยอดแหลมในการวิเคราะห์การทำงานของวงจรตรรกะ	24
4.	การหาค่าตรรกะของเกตในโปรแกรมวิเคราะห์การทำงานของวงจรตรรกะ	27
	4.1 บทนำ	27
	4.2 การจำแนกชนิดเกต	27
	4.3 การหาค่าตรรกะของเกตแบบจัดหมู่	28
	4.3.1 การใช้ตารางค่าความจริงในการหาค่าตรรกะ t	28
	4.3.2 การหาค่าตรรกะโดยใช้วิธีสร้างโปรแกรมย่อย	29
	4.4 การหาค่าตรรกะของเกตแบบลำดับ	30
	4.5 การหาค่าตรรกะของเกตในโปรแกรมต้นแบบสำหรับวิเคราะห์วงจรตรรกะ	31
	4.5.1 เกตแบบจัดหมู่ทั่วไป	31
	4.5.2 เกตแบบลำดับทั่วไป	33
	4.5.3 เกตจัดหมู่เฉพาะ	34
	4.5.4 เกตลำดับแบบเฉพาะ	36
	4.6 การตรวจสอบเงื่อนไขการเกิด bus contention	37
5.	โปรแกรมต้นแบบสำหรับการวิเคราะห์การทำงานของวงจรตรรกะ	40
	5.1 บทนำ	40
	5.2 ขั้นตอนในการใช้งานโปรแกรม LAP	41
	5.3 คำสั่งของโปรแกรม LAP	42

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ(ต่อ)

บทที่		หน้า
	5.4 คำสั่งป้อนข้อมูล	42
	5.4.1 คำสั่งกำหนดเกต	43
	5.4.2 คำสั่งกำหนดแหล่งกำเนิดสัญญาณ	44
	5.4.3 คำสั่งกำหนดโมเดลของผู้ใช้	46
	5.4.4 คำสั่งกำหนดเงื่อนไขเริ่มต้น	46
	5.4.5 คำสั่งเกี่ยวกับแมคโคร	47
	5.5 คำสั่งควบคุมการวิเคราะห์การทำงาน	48
	5.5.1 คำสั่ง LOAD	49
	5.5.2 คำสั่ง LIST	49
	5.5.3 คำสั่ง SET	49
	5.5.4 คำสั่ง SIM	50
	5.5.5 คำสั่ง DISPLAY	50
	5.5.6 คำสั่ง SAVE	54
	5.5.7 คำสั่ง NEW	54
	5.5.8 คำสั่ง QUIT	54
	5.6 คำสั่งทั่วไป	54
	5.6.1 คำสั่ง DIR	55
	5.6.2 คำสั่ง DEL	55
	5.6.3 คำสั่ง COPY	55
	5.6.4 คำสั่ง HELP	56
	5.6.5 คำสั่ง MEM	56
	5.7 โครงสร้างข้อมูลและการทำงานของโปรแกรม LAP	56
	5.7.1 การเก็บข้อมูลวงจรในหน่วยความจำ	56
	5.7.2 โครงสร้างข้อมูลของเกตโนดและแหล่งกำเนิดสัญญาณ	58
	5.7.3 โครงสร้างข้อมูลของโมเดล	61

สารบัญ(ต่อ)

บทที่ หน้า

5.8 การทำงานของโปรแกรม LAP 62

5.9 การอ่านข้อมูลเข้ามายังหน่วยความจำ..... 64

5.9.1 การเก็บข้อมูลแหล่งกำเนิดสัญญาณ..... 64

5.9.2 การเก็บข้อมูลของ BUS..... 67

5.9.3 การเก็บข้อมูลของโนด..... 67

5.9.4 การเก็บข้อมูลของโมเดล..... 67

5.9.5 การรับข้อมูลของเกต..... 67

5.10 การทำงานของแมคโคร..... 69

5.10.1 การรับข้อมูลของแมคโคร..... 69

5.10.2 การกระจายแมคโคร..... 72

5.11 การทำงานของส่วนวิเคราะห์การทำงาน..... 72

5.12 การจัดการ time queue ในโปรแกรม..... 75

5.13 การทำงานของแหล่งกำเนิดสัญญาณ..... 78

6. การทดสอบการทำงานโปรแกรม..... 80

6.1 วงจรแบบจัดหมู่อย่างง่าย..... 80

6.2 ผลของเวลาประวิงต่อการทำงานของวงจร..... 84

6.3 การเกิด delta spike 84

6.4 การจำลองการทำงานของวงจรออสซิลเลเตอร์..... 86

6.5 การจำลองการทำงานโดยใช้แมคโคร. 86

6.6 การจำลองการทำงานของวงจรประมวล 7493 92

6.7 ประสิทธิภาพของการจำลองการทำงาน..... 92

7. บทสรุป..... 95

7.1 สรุปผลการวิจัย..... 95

7.2 ข้อเสนอแนะในการพัฒนางานวิจัย..... 95

7.3 ท้ายบท..... 96

สารบัญ(ต่อ)

บทที่ หน้า

เอกสารอ้างอิง 97

ภาคผนวก

program listing 98

ประวัติ 172

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

รูปที่		หน้า
1.1	ตัวอย่างของวงจรที่สามารถทำการวิเคราะห์ได้.....	4
2.1	เกต AND และตารางค่าความจริง.....	6
2.2	เกตพื้นฐานในวงจรตรรกะ.....	6
2.3	ตัวอย่างของวงจรตรรกะแบบจัดหมู่.....	7
2.4	แสดง Reconvergent fanout.....	8
2.5	แบบจำลองของวงจรตรรกะแบบลำดับ.....	9
2.6	แสดง JK ฟลิบฟลอบและตารางลักษณะกับตารางการกระตุ้น...	9
2.7	การนำเกตไตรสเตทมาต่อเป็นบัส.....	10
2.8	แสดงการประวิงเวลาแผ่กระจายของเกต AND.....	12
2.9	แสดงการเปลี่ยนแปลงขนาดความกว้างของพัลซ์เนื่องจากค่าเวลาประวิงขอบขึ้นและลงไม่เท่ากัน.....	13
2.10	แสดงเวลาประวิงแบบเฉื่อย.....	14
2.11	แสดงผลของเวลาประวิงแบบไม่แน่นอน.....	15
2.12	แสดงผลจากเวลาประวิงของเกต.....	16
2.13	แสดงการเกิดสัญญาณยอดแหลม	16
2.14	แสดงการเกิด delta spike	17
3.1	แสดงการกระจายของการเปลี่ยนค่าตรรกะในวงจรตรรกะ.....	18
3.2	เกตในวงจรตรรกะ.....	19
3.3	แสดง fan in และ fan out.....	20
3.4	แสดงการกระจายของ event	20
3.5	แสดง propagation delay time.....	22
3.6	แสดง time queue.....	23
3.7	แสดง time queue ปกติ.....	24
3.8	แสดง time queue เมื่อเกิดสัญญาณยอดแหลม.....	25

สารบัญภาพ(ต่อ)

รูปที่ หน้า

3.9 แสดงการเกิด delta spike..... 25

4.1 เกตแบบจัดหมู่..... 27

4.2 เกตแบบลำดับ..... 28

4.3 ตารางค่าความจริงของเกต NAND 2 อินพุต..... 28

4.4 แบบจำลองของเกตแบบลำดับ..... 30

4.5 แสดงตารางค่าความจริงของเกตจัดหมู่ INV,BUFF,DRVL,XOR 32

4.6 การหาค่าตรรกะของเกต XOR..... 33

4.7 แสดงการหาค่าตรรกะของเกตแบบลำดับทั่วไป..... 34

4.8 การหาค่าตรรกะของเกต AND..... 35

4.9 การหาค่าตรรกะของเกต OR..... 36

4.10 การตรวจสอบสัญญาณ preset และ clear..... 37

4.11 เกตชนิดบัส..... 38

4.12 การประมวลผลเกตประเภทบัส..... 39

5.1 โครงสร้างการใช้งานโปรแกรม LAP 41

5.2 ตัวอย่าง netlist ที่ใช้ใน LAP 43

5.3 แสดงรายการเกตและขาอินพุตเอาท์พุต..... 44

5.4 สัญญาณนาฬิกา..... 45

5.5 สัญญาณแบบทั่วไป..... 45

5.6 แมคโครของเกต AOI..... 47

5.7 การแสดงผลเมื่อเริ่มโปรแกรม LAP..... 48

5.8 การใช้งานคำสั่ง DISPLAY NODE..... 50

5.9 การแสดงผลโดยคำสั่ง DISPLAY..... 51

5.10 เส้นกริดแบบต่างๆในการแสดงผล..... 52

5.11 การใช้คำสั่ง DISPLAY SET..... 53

5.12 ผลที่ได้จากคำสั่ง SAVE..... 54

สารบัญภาพ(ต่อ)

รูปที่		หน้า
5.13	การทำงานของคำสั่ง DIR	55
5.14	ตัวอย่างวงจรที่วิเคราะห์การทำงานได้	56
5.15	linked list ที่ใช้งานใน LAP	57
5.16	โครงสร้างข้อมูลของเกต	58
5.17	โครงสร้างข้อมูลของแหล่งกำเนิดสัญญาณ	59
5.18	โครงสร้างข้อมูลของโนด	60
5.19	โครงสร้างข้อมูลของโมเดล	61
5.20	การทำงานของโปรแกรมหลัก	63
5.21	การเก็บค่าแหล่งกำเนิดสัญญาณชนิด SIGNAL	65
5.22	การเก็บค่า CLOCK	66
5.23	การเก็บข้อมูลของ BUS	66
5.24	แผนภาพรับข้อมูลเกต	68
5.25	การเก็บเกตในหน่วยความจำ	69
5.26	(ก) แมคโครและตารางสัญลักษณ์	70
	(ข) MACROGATE	70
5.27	ขั้นตอนการรับข้อมูลจากแมคโคร	71
	(ก) การรับข้อมูลแมคโคร	71
	(ข) การ SCAN INPUT	71
5.28	การกระจายแมคโคร	73
5.29	การวิเคราะห์การทำงานการทำงาน	74
5.30	โครงสร้างของ time queue	75
5.31	แสดงการทำงานของ time queue	76
	(ก) วงจรแสดงการทำงานของ time queue	76
	(ข) ขั้นตอนการทำงานของ time queue	76
5.32	แผนภาพการทำงานของ time queue	77

สารบัญภาพ(ต่อ)

รูปที่		หน้า
5.33	แสดงการทำงานของแหล่งกำเนิดสัญญาณ.....	79
6.1	(ก) ตัวอย่างวงจรจัดหมู่.....	80
	(ข) แสดง netlist ของรูป 6.1 ก.....	81
	(ค) แผนภาพสัญญาณเวลาของวงจรในรูป 6.1 ก	81
6.2	(ก) วงจรทดสอบงผลการประวิงเวลา.....	82
	(ข) แสดง netlist ของวงจร.....	83
	(ค) แสดงผลการทำงานของโปรแกรม.....	83
6.3	แสดงการเกิด delta spike.....	84
6.4	แสดงการจำลองการเกิด delta spike ในวงจร.....	85
6.5	(ก) การจำลองการทำงานของวงจรออสซิลเลเตอร์.....	86
	(ข) แสดง netlist ของวงจรออสซิลเลเตอร์.....	87
	(ค) ผลการวิเคราะห์การทำงานของวงจรออสซิลเลเตอร์....	87
6.7	การออกแบบ ADDER.....	88
6.8	การจำลองการทำงานของ HALF ADDER.....	89
6.9	(ก) การจำลองการทำงานของ FULL ADDER.....	90
	(ข) การจำลองการทำงานของ FULL ADDER โดยใช้แมคโคร	91
6.10	วงจรภายในของ 7493.....	92
6.11	แสดงการทำงานของในรูป 6.11.....	93
6.12	ผลการจำลองการทำงานของวงจรทดสอบ.....	94