การวิเคราะห์สมรรถนะของระบบไมโครโปรเซสเซอร์หลายตัวที่ใช้หน่วยความจำร่วม

นายบวร ปภัสราทร

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
ภาควิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ. 2532
ISBN 974-576-310-1
ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

015419

I10904320

PERFORMANCE ANALYSIS OF A MULTIPLE-MICROPROCESSOR SYSTEM WITH SHARED MEMORY

Mr. Borworn Papasratorn

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Doctor of Engineering
Department of Electrical Engineering
Graduate School
Chulalongkorn University
1989

ISBN 974-576-310-1

Thesis Title Performance Analysis of a Multiple-Microprocessor System with Shared Memory.

By Mr. Borworn Papasratorn

Department Electrical Engineering

Thesis Advisor Associate Professor Prasit Prapinmongkolkarn D.Eng.

Accepted by the Graduate School, Chulalongkorn University in Partial Fulfillment of the Requirements for the Doctor's Degree.

.....Dean of Graduate School

(Professor Thavorn Vajrabhaya Ph.D.)

Thesis Committee

.....Chairman

(Associate Professor Narong Yoothanom Ph.D.)

.....Thesis Advisor

(Associate Professor Prasit Prapinmongkolkarn D.Eng.)

.....Member

(Professor Arporn Kengpol)

.....Member

(Associate Professor Suriyan Tishyadhigama Ph.D.)

.....Member

(Associate Professor Surapong Jirarattananon Ph.D.)

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บวร ปภัสราทร : การวิเคราะห์สมรรถนะของระบบไมโครโปรเซสเซอร์หลายตัวที่ใช้หน่วยความจำร่วม (Performance Analysis of a Multiple-Microprocessor System with Shared Memory) อ. ที่ปรึกษา : รศ.ดร.ประสิทธิ์ ประพิณมงคลการ, 71 หน้า.

การประยุกต์ใช้งานไมโครโปรเซสเซอร์ มีความซับซ้อนมากยิ่งขึ้นในปัจจุบัน ทำให้มีการนำระบบไมโครโปรเซสเซอร์หลายตัวมาใช้กันอย่างแพร่หลาย วิทยานิพนธ์นี้ เสนอหุ่นจำลองการเข้าคิวที่ใช้สำหรับวิเคราะห์สมรรถนะของระบบไมโครโปรเซสเซอร์หลายตัวแบบไม่สมดุลย์ที่ใช้หน่วยความจำร่วม โดยระบบไมโครโปรเซสเซอร์หลายตัวที่พิจารณาในวิทยานิพนธ์นี้ประกอบด้วยไมโครโปรเซสเซอร์จำนวนตามที่ต้องการและเป็นไมโครโปรเซสเซอร์ที่มีความสามารถแตกต่างกัน ซึ่งผลงานวิจัยที่ตีพิมพ์เท่าที่ผ่านมาเคยเสนอแต่วิธีวิเคราะห์สมรรถนะของระบบที่ลักษณะสมดุลย์เท่านั้น

หุ่นจำลองที่เสนอในวิทยานิพนธ์นี้ สามารถคำนวณเวลาตอบสนองของระบบได้ใกล้เคียงกับค่าที่ได้จากการทดลอง และพบว่าในระบบที่ประกอบด้วยไมโครโปรเซสเซอร์ 2 ตัวทำงานที่ภาระงานสูงกว่า 50% ขึ้นไป ไมโครโปรเซสเซอร์ตัวที่สอง ต้องมีความสามารถในการประมวลผลไม่น้อยกว่า 40% ของไมโครโปรเซสเซอร์ตัวแรก จึงจะทำให้ระบบไมโครโปรเซสเซอร์หลายตัวมีสมรรถนะสูงกว่าระบบที่ใช้ไมโครโปรเซสเซอร์ตัวเดียว

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต .....

สาขาวิชา วิศวกรรมไฟฟ้า

ปีการศึกษา 2531 ลายมือชื่ออาจารย์ที่ปรึกษา .....

ทองสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

BORWORN PAPASRATORN : PERFORMANCE ANALYSIS OF A MULTIPLE-MICROPROCESSOR SYSTEM WITH SHARED MEMORY. THESIS ADVISOR : ASSO. PROF. PRASIT PRAPINMONGKOLKARN, D.Eng. 71 PP.

As the complexity of the microprocessor applications is increasing, there is a widespread use of multiple-microprocessor systems. Unlike most of the recent researches which are focused on performance analysis of symmetrical multiple-microprocessor systems, this dissertation presents a queueing model, M/M/c with unidentical service rate, for the performance analysis of unsymmetrical multiple-microprocessor systems with shared memory. The performance model is based on flow equivalence technique. The multiple-microprocessor systems being considered consist of an arbitrary number of microprocessors sharing the common memory. Each microprocessor has unidentical processing rate.

The response time calculated from our model agrees with that measured from the experiment. It is found out from the model that in the shared-memory multiple-microprocessor system having two microprocessors working under the traffic intensity of higher than 50%, the second microprocessor should have the processing capability of not less than 40% of the first microprocessor in order to achieve full benefit of the multiple-microprocessor system.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา Electrical Engineering ลายมือชื่อนิสิต .....

สาขาวิชา Electrical Engineering

ปีการศึกษา 1988 ลายมือชื่ออาจารย์ที่ปรึกษา .....

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ACKNOWLEDGEMENT

The author would like to express his heartful thanks to Dr. Prasit Prapinmongkolkarn for his kind dissertation supervision, helpful support and continued encouragement. He also appreciates very much the thorough support from Dr. Narong Yoothanom, Chairman of the Department of Electrical Engineering. Sincere thanks are also due to Dr. Mongkol Dejnakarintra, Dr.Narong Yoothanom, Dr.Suriyan Tishyadhigama Dr.Surapong Jirarattananon and Professor Arporn Kengpol for their helpful comments which led to the improvement in quality of this dissertation.

The author also acknowledges the Chulalongkorn University Alumni Foundation for granting him the research scholarship in 1986.

Finally, the author acknowledges with gratitude the patience and understanding of his wife, Rosukhon, without whose tolerance and support this dissertation would never have been completed .

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

CONTENTS

Thai Abstract.....iv

Abstract.....v

Acknowledgement.....vi

List of Figures.....ix

CHAPTER 1 INTRODUCTION.....1

1.1 Classification of Multiple-Microprocessor Systems.....1

1.2 Multiple-Microprocessor System Interconnection Networks.....2

1.2.1 Crossbar.....2

1.2.2 Multistage.....2

1.2.3 Common Bus.....5

1.3 Shared-Memory Multiple-Microprocessor System.....5

1.4 Multiple-Microprocessor System Performance Analysis Methods.....7

1.4.1 Simulation.....8

1.4.2 Benchmarking.....8

1.4.3 Analytical Modeling.....8

1.5 Queueing model for the Multiple-Microprocessor System...9

1.6 Objectives of the Dissertation.....10

CHAPTER 2 ARCHITECTURE OF THE SHARED-MEMORY MULTIPLE-MICROPROCESSOR SYSTEMS.....12

2.1 Arbiter System Configuration.....12

2.2 Examples of the Shared Memory Multiple-Microprocessor System.....16

2.2.1 The Multiple-Microprocessor Based Front-End Communication Subsystem.....19
2.2.2 The Tri-Modular Redundant Multiprocessor.....21

CHAPTER 3 QUEUEING MODEL FOR THE MULTIPLE MICROPROCESSOR SYSTEMS WITH SHARED MEMORY.....24
3.1 The Unsymmetrical Multiple-Microprocessor System.....25
3.1.1 System Model.....25
3.1.2 Analysis of the Model.....27
3.2 The Unsymmetrical Multiple-Microprocessor System with Processor Priority.....33
3.2.1 System Model.....33
3.2.2 Analysis of the Model.....35
3.3 Experimental Verification.....38

CHAPTER 4 PERFORMANCE MODELING APPLICATIONS.....42
4.1 Performance Analysis of the Multiple-Microprocessor Based Communication Controller.....42
4.2 Performance Comparison of the SCADA Systems.....49
4.2.1 SCADA System with a Loosely-Coupled Multiple-Microprocessor System.....50
4.2.2 SCADA System with a Shared-Memory Multiple-Microprocessor System.....55

CHAPTER 5 CONCLUSIONS.....62

REFERENCES.....65

APPENDIX.....68
A. Derivation of Equation (3.1).....69

AUTOBIOGRAPHY.....71

LIST OF FIGURES

Fig		page
1.1	Comparison between shared-memory multiple-microprocessor system and loosely coupled multiple-microprocessor system.	3
1.2	Crossbar interconnection network	4
1.3	Multistage interconnection network	4
1.4	Common bus interconnection network	6
1.5	Main characteristics of some multiple-microprocessor systems.	6
2.1	Scanner and controller block diagram	13
2.2	Arbiter timing diagram	15
2.3	Comparison between various shared memory methods	17
2.4	The shared-memory multiple-microprocessor system block diagram.	18
2.5	The shared-memory multiple-microprocessor system as a front-end communication subsystem.	20
2.6	The tri-modular redundant multiprocessor	23
3.1	The unsymmetrical multiple-microprocessor system block diagram.	26
3.2	Queueing model (M/M/c with unidentical service rate) for the multiple-microprocessor system.	28
3.3	State diagram of the queueing model in Fig. 3.2	29
3.4	The unsymmetrical multiple-microprocessor system with processor priority.	34
3.5	Queueing model of the unsymmetrical multiple-microprocessor system with processor priority.	36
3.6	State diagram of the queueing model in Fig 3.5	36
3.7	Block diagram of the experimental multiple-microprocessor system.	39
3.8	Response time of the experimental multiple-microprocessor system compared with that of the calculation from the queueing model.	41

4.1 A multiple-microprocessor based communication.....43
controller in a data acquisition system.

4.2 Response time of the multiple-microprocessor.....45
system in Fig 4.1 when μ_1 = 1 transaction/s
and μ_2 = M μ_1, M = 0.1,0.2, 0.3,...

4.3 Response time of the multiple-microprocessor.....48
system in Fig 4.1 when microprocessor-1 has higher
priority than microprocessor-2.

4.4 The SCADA system with the loosely coupled.....51
multiple-microprocessor system as a communication
controller.

4.5 Queueing model of the SCADA system in Fig. 4.4.....53

4.6 The SCADA system with the shared-memory.....56
multiple-microprocessor system as a communication
controller.

4.7 Queueing model of the SCADA system in Fig. 4.6.....58

4.8 Performance comparison between the two SCADA systems..60

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย