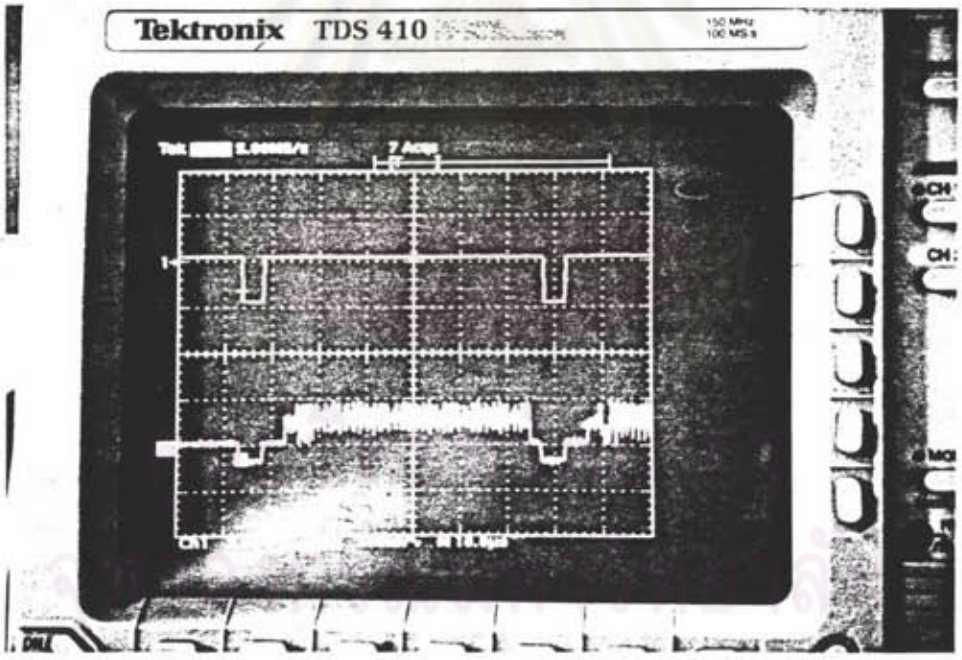
บทที่ 6

การทดสอบ

6.1 ทดสอบการทำงาน

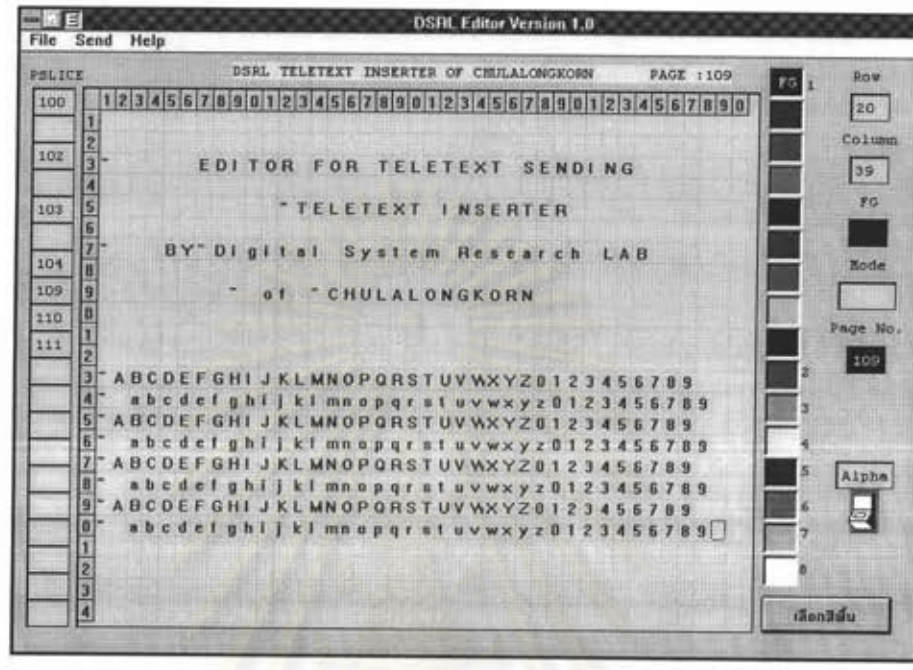
เมื่อได้ทำการนำฮาร์ดแวร์ที่ออกแบบไว้ในส่วน ๆ มาปรับปรุงแก้ไขเพิ่มเติม เช่น เพิ่มวงจรบัฟเฟอร์, วงจรแมชชิงอิมพีแดนซ์ เป็นต้น ประกอบกับชิป FPGA ที่ใช้วีเอชดีแอลในการออกแบบและปรับปรุงเรียบร้อย สามารถทำการแทรกสัญญาณข้อมูลเทเลเท็กซต์ลงไปในสัญญาณภาพรวมหรือสัญญาณวิดีโอได้ ดังรูปที่ 5.1 ซึ่งทำการเลือกเส้นกวาดหรือเส้นสแกนที่ 8(321), 9(322) และ 11(324) ในการแทรกข้อมูลลงไป และได้ทำการทดสอบการเลือกเส้นสแกนในการส่งสามารถเลือกเส้นสแกนระหว่างเส้นที่ 7(320) ถึง 22(335) ได้



รูปที่ 6.1 สัญญาณภาพรวมที่แทรกข้อมูลเทเลเท็กซต์

จากรูปที่ 6.2 แสดงหน้าจอจากเครื่องคอมพิวเตอร์ส่วนบุคคลที่ได้ดำเนินหรือรันโปรแกรมเทเลเท็กซต์เอดิเตอร์ (Teletext Editor) เพื่อทำการสร้างข้อมูลเทเลเท็กซต์ขึ้นในหน้าที่ 109 และจึงนำไปแปลหรือแปลงข้อมูลให้อยู่ในรูปแบบของเทเลเท็กซต์ โดยใช้เมนู File แล้วเลือก Compile ASCII เพื่อเก็บเป็นแฟ้มข้อมูล จากนั้นสามารถทำการส่งแฟ้มข้อมูลนี้โดยเลือกเมนู Send และผลจากการส่ง

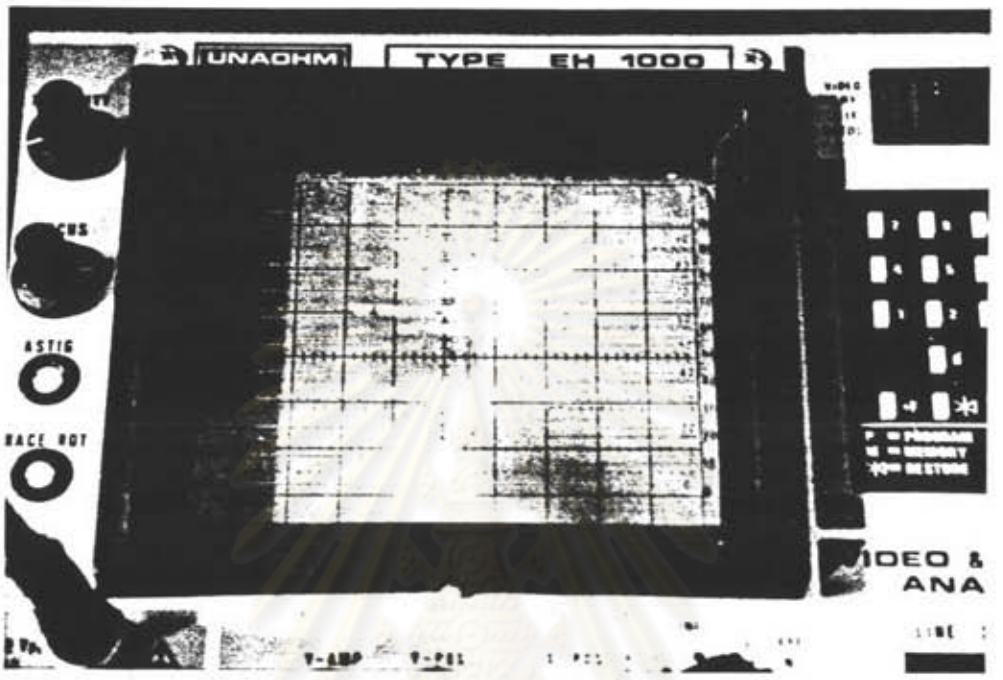
ข้อมูลเทเลเท็กซต์ในหน้าที่ 109 นี้สามารถรับด้วยโทรทัศน์ยี่ห้อ TANIN รุ่นที่มีวิดีโอเท็กซต์ ดังที่แสดงในรูปที่ 6.3



รูปที่ 6.2 การสร้างข้อมูลบนโปรแกรมเทเลเท็กซต์เอดิเตอร์

รูปที่ 6.3 หน้าจอโทรทัศน์ TANIN รับข้มูลเทเลเท็กซต์หน้า 109

นอกจากนี้ยังได้นำสัญญาณภาพรวมที่มีเทเลเท็กซต์ไปทดสอบกับเครื่อง Video & Teletext Analyzer ก็สามารถทำการรับได้ดังแสดงในรูปที่ 6.4



รูปที่ 6.4 หน้าจอของเครื่อง Video & Teletext Analyzerที่สามารถรับ
ข้อมูลเทเลเท็กซต์จากการทดสอบได้

6.2 ปัญหาในการทำงาน

1. เนื่องจากซอฟต์แวร์ที่ใช้ออกแบบเป็นเวอร์ชันที่ยังไม่สนับสนุนภาษาวีเอชดีแอลตามมาตรฐาน ตัวอย่างเช่น ใน ENTITY การสังเคราะห์จะไม่สนับสนุน (support) การกำหนดพอร์ตพารามิเตอร์เป็น INOUT และค่าประวิงเวลาดังนี้รูปที่ 6.5, ไม่สนับสนุนการใช้คำหลัก CASE, ไม่สนับสนุนการใช้คำหลัก VARIABLE ในกำหนดพารามิเตอร์ เป็นต้น ซึ่งทำให้ในการเขียนเป็นภาษาวีเอชดีแอลต้องมีการแก้ไขบ่อยครั้งในตอนเริ่มแรก

```
ENTITY microcontroller IS
PORT (clk, p1, p2; p3, p4, rd      : IN  VLBIT;
      wr                           : OUT VLBIT;
      p5,p6,p7,p8                  : INOUT VLBIT);
END microcontroller;
```

รูปที่ 6.5 ตัวอย่างการใช้ภาษาวีเอชดีแอลที่ไม่สนับสนุนการสังเคราะห์

2. ในขั้นตอนการสังเคราะห์ (synthesis) จะใช้เวลาค่อนข้างนาน สำหรับวงจรที่ค่อนข้างใหญ่ เนื่องจากโปรแกรมที่ใช้จะรันอยู่บนเครื่องคอมพิวเตอร์ส่วนบุคคล 486DX2-66 ใช้หน่วยความจำแรม 16 เมกกะไบต์ ซึ่งในขั้นตอนการสังเคราะห์ภาษาวีเอชดีแอลจะใช้ค่อนข้างบ่อย เนื่องจากทุกครั้งที่ทำการแก้ไขที่ภาษาวีเอชดีแอลก็ต้องมาทำการสังเคราะห์ใหม่ทุกครั้ง

3. สำหรับขั้นตอนการจัดเส้นทาง (routing) จะใช้เวลาค่อนข้างนานมาก โดยเฉพาะเมื่อออกแบบวงจรที่มีขนาดใหญ่ และจะต้องทำทุกครั้งที่มีการแก้ไขที่ภาษาวีเอชดีแอล เช่นเดียวกับข้อ 3 ทำให้ต้องใช้เวลามาก แต่ในการจัดเส้นทางนี้มีทางเลือก (option) ช่วยลดเวลาลงได้ เช่น นำชื่อของแฟ้มข้อมูลที่ทำการเลือกเส้นทางครั้งที่ยังไม่สมบูรณ์มาเป็นข้อมูลในการเลือกเส้นทางครั้งใหม่ นอกจากนี้ถ้าให้โปรแกรมเป็นเป็นผู้กำหนดขา (pin) ที่ใช้เป็นทางเข้าออกของสัญญาณเองก็จะช่วยลดเวลาลงได้บ้าง เพราะโปรแกรมจะไม่ถูกจำกัดการเลือกเส้นทางเนื่องจากขาของชิปที่เป็นฮาร์ดแวร์

4. จากการนำชิป FPGA มาใช้รวมวงจรหลาย ๆ ส่วนไว้ในชิปเพียงตัวเดียว ที่เป็นปัญหาก็คือการหาจุดบกพร่อง หรือจุดเสียหาย เพราะไม่สามารถใช้เครื่องมือวัดตรวจสอบได้ ทำให้ต้องใช้เวลาในการหาสาเหตุและแก้ไข

5. เนื่องจากชิปไม่มีจำหน่ายภายในประเทศทำให้ต้องใช้เวลาในการจัดซื้อ ซึ่งต้องใช้เวลาพอสมควร และทำให้เกิดความครียดในการทดลอง เพราะต้องระมัดระวังมากเป็นพิเศษ

6. ซอฟต์แวร์มีความสามารถจำกัดทางด้านขนาดในการสังเคราะห์ให้เป็นวงจร ในการทำวิทยานิพนธ์นี้มีการออกแบบภาษาวีเอชดีแอลของการทำบางส่วน ซึ่งเมื่อนำไปทำการสังเคราะห์แล้วไม่สามารถสร้าง schematic ของวงจรได้ จึงต้องมาทำการแบ่งออกเป็นแผนภาพย่อย ทำให้ต้องทำงานเพิ่มขึ้นอีก

7. เนื่องจากถูกจำกัดด้วยเวลา จึงไม่สามารถออกแบบแผ่นวง (print circuit board) ให้เป็นที่เรียบร้อย ซึ่งต้องระมัดระวังพอสมควรเกี่ยวกับขาของชิป FPGA

8. ก่อนทำการออกแบบชิปโดยใช้ภาษาวีเอชดีแอลนี้ควรศึกษาโครงสร้างทางฮาร์ดแวร์ของชิปที่จะนำมาสังเคราะห์ก่อน เพราะในการกำหนดค่าบางอย่าง ไม่สามารถสังเคราะห์ได้ เช่นในการทำวิทยานิพนธ์นี้ใช้ชิป XILINX เบอร์ XC3090PC84-7 ซึ่งโครงสร้างของชิปไม่สามารถทำการเซตฟลิปฟลอปภายใน CLB (Configurable Logic Block) ได้ จึงทำให้ไม่สามารถกำหนดเซตค่าเริ่มต้นของพารามิเตอร์ที่ใช้ฟลิปฟลอป เช่น พารามิเตอร์ที่เป็นวงจรนับ