



เอกสารอ้างอิง

1. George.L.Clark, Ph.d., D.Sc., Applied X-rays, p.3,7,86, Mcgraw-Hill Book Company., New York, Toronto, London, 4th.ed., 1955.
2. P.N. Cooper, Introduction to Nuclear Radiation Detectors, p.122-126., Cambridge University Press, Cambridge, London, New York, New Rocheelle, Melbourne, Sydney, 1986
3. นเรศร์ จันทน์ขาว, การตรวจสอบโดยวิธีถ่ายภาพด้วยรังสี, เอกสารประกอบการอบรมทางวิชาการ., หน้า 141, ภาควิชานิวเคลียร์เทคโนโลยี คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย กรุงเทพมหานคร, n.d.
4. Thomas S. Curry III et.al., Christensen's Introduction to the Physics of Diagnostic Radiology, p. 107,420-429., Lea & Febiger, Philadelphia, 3rd. ed., n.d.
5. Doanld G. Fink and John M. Carroh, Standard Handbook for Electrical Engineers, p.26-32,p.11-44, Mcgraw-Hill Book Company, 10th. ed., 1969.
6. Bernard Grob, Basic Television and Video Systems, p.26, Mcgraw-Hill Book Company, New York, 5th. ed., 1986
7. P.C. Sen, Power Electronics, TATA Mcgraw-Hill Publishing Company Limited., New Delhi, 1987.

8. Eugene R. Hnatek, Design of Solid State Power Supplies, Van Nostrand Company, New York, Cincinnati, Toronto, London, Melbourne, 1971.
9. M.A. Nadkarni & Suresh Bhat, Pulse Transformers Design and Fabrication, TATA McGraw-Hill Publishing Company Limited, New Delhi, n.d.
10. Motorola, Power MOSFET Transistor Data, Motorola Inc., U.S.A., 4th ed., 1989.
11. Philips, Power MOS Transistors, (Semiconductors Book S9), Netherlands, 1988.
12. International Rectifier, HEXFET Designer's Manual, International Rectifier Corporation., U.S.A. 4th ed., 1987
13. Muhammad Harunur Rashid, Power Electronics Circuits, Devices, and Applications, p.284-286, Prentice-Hall International, Inc, New Jersey, 1988.
14. William Mc Murray, "Sunbber design, "Power Semiconductor Applications, (John D. Harnden, Jr & Forest B. Golden.) Vol I: General Considerations., p.33-41, IEEE Press., New York, 1972.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



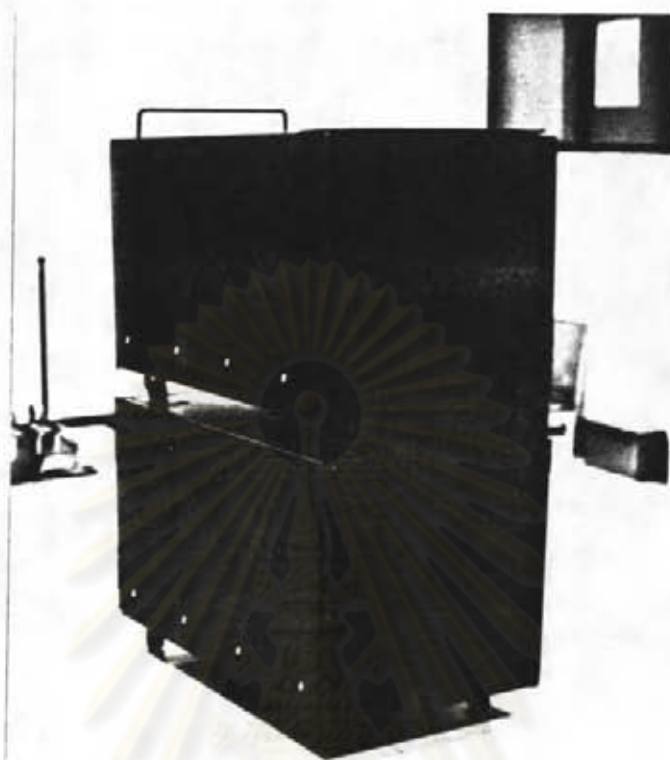
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ก

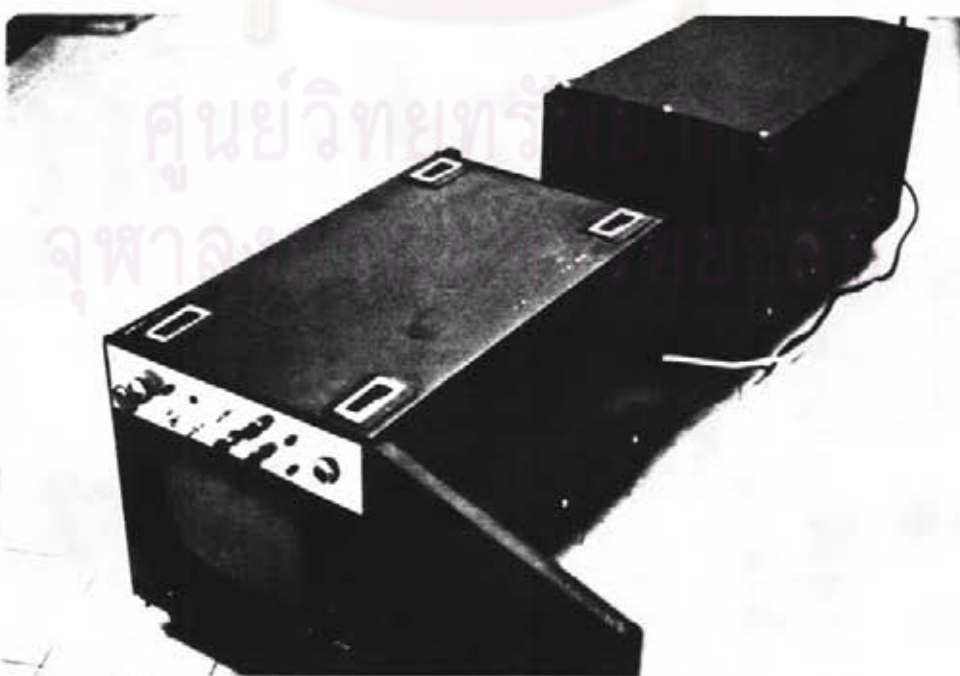
รูปเครื่องถ่ายภาพโทรทัศนด้วยรังสีเอกซ์ขนาดเล็ก



ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ ก.1 เครื่องถ่ายภาพโทรทัศนด้วยรังสีเอกซ์ขนาดเล็ก
ตั้งซ้อนกันเพื่อเตรียมการเคลื่อนย้าย



รูปที่ ก.2 เครื่องถ่ายภาพโทรทัศนด้วยรังสีเอกซ์ขนาดเล็กขณะใช้งาน



รูปที่ ก.3 หลอดกำเนิดรังสีเอกซ์(ขวา)
และหม้อแปลงแรงดันสูงที่สร้างขึ้น(ซ้าย)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

รูปแบบของอินเวอร์เตอร์
(Inverter Configurations)

นอกจากอินเวอร์เตอร์แบบสวิตช์อิมิตัวจะสามารถแบ่งออกตามการป้อนกำลังงาน
ยังสามารถแบ่งออกเป็นประเภทย่อยๆได้อีก 4 ประเภท ตามลักษณะของรูปแบบดังนี้

ก) ฟลายแบคอินเวอร์เตอร์ (Feed forward inverter or Flyback inverter) เครื่องแบบนี้ให้กำลังออกค่าไม่เกิน 250 วัตต์ และมีราคาถูก เนื่องจากใช้อุปกรณ์การสวิตช์เพียงตัวเดียว ลักษณะทั่วไปของวงจรแบบนี้ปรากฏดังรูปที่ ข.1ก และรูปที่ ข.1ข จะสังเกตเห็นว่า หม้อแปลงกำลังนั้นจะได้รับการแมกเนไทซ์ (Magnetize) เพียงทิศเดียวเท่านั้น ด้วยเหตุนี้หม้อแปลงที่ใช้จึงมี เส้นแรงสนามแม่เหล็ก (Residual magnetic flux) ค้างอยู่เสมอ เมื่ออุปกรณ์สวิตช์หยุดนำกระแส ดังนั้นจึงต้องมีการรีเซ็ตเส้นแรงสนามแม่เหล็กนี้ลง เพื่อไม่ให้เกิดการอิมิตัวของสนามแม่เหล็กในแกนเมื่อได้รับการแมกเนไทซ์ ในรอบ (Cycle) ถัดไป ซึ่งสามารถทำได้โดยการใช้ ไดโอดค่อร่วมกับวงจร RC network ดังรูปที่ ข.1ก หรือใช้วิธีเพิ่มขดพิเศษที่เรียกว่า ขดลวดรีเซ็ต (Reset winding) เข้าไปที่หม้อแปลงร่วมกับไดโอด ดังรูปที่ ข.1ข ซึ่งในกรณีหลังนี้พลังงานที่รีเซ็ตหม้อแปลงแล้วจะ วิ่งกลับคืนสู่แหล่งจ่ายไฟตรง ประสิทธิภาพจึง สูงกว่าแบบแรก แต่อย่างไรก็ตาม แรงดันคร่อมอุปกรณ์สวิตช์จากการเพิ่มขดลวดรีเซ็ต เข้ามานั้นจะสูงขึ้นมากซึ่งหาได้จาก

$$V_{oc} = V_s(1+N_p/N_r)$$

V_{oc} = แรงดันที่อุปรกรณ์สวิตช์เมื่ออุปรกรณ์สวิตช์หยุดนำกระแส (OFF)

V_s = แรงดันแหล่งจ่ายไฟตรง

N_p = จำนวนรอบของขดปฐมภูมิ

N_r = จำนวนรอบของขดลวดรีเซ็ด

โดยที่จำนวนรอบของขดลวดรีเซ็ด จะมีความสัมพันธ์กับ Duty cycle (k)

ดังนั้นการ

$$\frac{N_r}{N_p} = \frac{1-k}{k}$$

โดยทั่วไป แรงดันที่อุปรกรณ์สวิตช์ได้รับนี้จะมีค่าสูงมาก ตัวอย่างเช่น Duty cycle = 0.8 , $N_p/N_r = 4$ จะได้ $V_{oc} = 5V_s$ ที่เค็ชว ซึ่งสูงกว่าแรงดันจากแหล่งจ่ายไฟตรงมาก

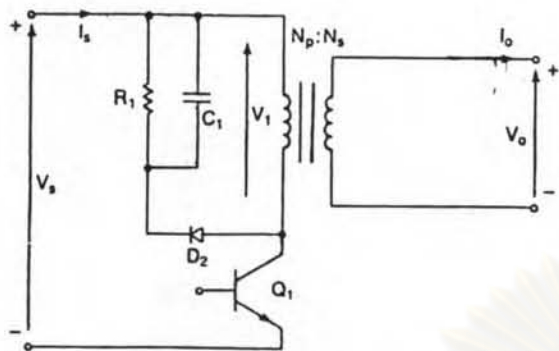
ข) พุช-พูลอินเวอร์เตอร์ (Push-Pull inverter) มีลักษณะดังรูปที่ ข.2 โดยทั่วไปนิยมใช้กับเครื่องที่มีแหล่งจ่ายไฟตรงแรงดันต่ำ ทั้งนี้เนื่องจากการไหลของกระแสในแต่ละครึ่งรอบ (Half cycle) นั้น จะผ่านอุปรกรณ์สวิตช์เพียงตัวเดียวเท่านั้น ดังนั้นแรงดันที่สูญเสียไปเนื่องจากตกคร่อมอุปรกรณ์สวิตช์จะน้อยกว่าอินเวอร์เตอร์อีกสองแบบที่จะกล่าวในหัวข้อถัดไป

อย่างไรก็ตาม จะเห็นได้ว่าเนื่องจากขดปฐมภูมิของหม้อแปลงนั้นแบ่งออกเป็นสองส่วนซึ่งจะมีกระแสไหลผ่านแต่ละส่วนในช่วงครึ่งรอบ อันส่งผลให้เกิดการเหนี่ยวนำแรงดันไปปรากฏยังอีกส่วนที่เหลือจึงทำให้อุปรกรณ์สวิตช์ได้รับแรงดันเป็นสองเท่าของแรงดันจากแหล่งจ่ายไฟตรง ส่วนกระแสเฉลี่ยที่ไหลผ่านอุปรกรณ์สวิตช์แต่ละตัวนั้นจะเท่ากับครึ่งหนึ่งของกระแสที่มาจากแหล่งจ่ายไฟตรง แต่อย่างไรก็ตามกระแสสูงสุดที่ไหลผ่านอุปรกรณ์สวิตช์จะเท่ากับกระแสจากแหล่งจ่ายไฟตรงเมื่อคิดที่ 50% Duty cycle

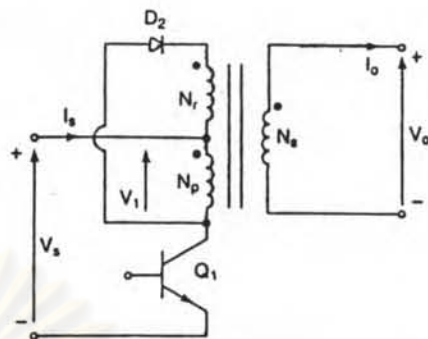
ค) ฮาร์ฟบริดจ์อินเวอร์เตอร์ (Half bridge inverter) ลักษณะของวงจรเป็นดังรูปที่ ข.3 เนื่องจากลักษณะวงจรนี้ประกอบด้วย $C1$ และ $C2$ ซึ่งแบ่งแรงดันออกเป็นสองส่วนเท่าๆ กัน ดังนั้นเมื่ออุปกรณ์สวิตช์ตัวหนึ่งๆ ทำหน้าที่สวิตช์จะมีผลให้แรงดันปรากฏที่ขดปฐมภูมิของหม้อแปลงเป็นครึ่งหนึ่งของแหล่งจ่ายไฟตรง แรงดันที่หม้อแปลงจึงสวิตช์จาก $-V_s/2$ ไปยัง $V_s/2$ ดังนั้นอุปกรณ์สวิตช์จึงรับแรงดันในขณะหยุดนำกระแสเท่ากับแหล่งจ่ายไฟตรง ด้วยเหตุนี้วงจรแบบนี้จึงเป็นที่นิยมใช้ในกรณีที่แหล่งจ่ายไฟตรงมีแรงดันสูง

ง) ฟูลบริดจ์อินเวอร์เตอร์ (Full bridge inverter) ลักษณะของวงจรแสดงไว้ในรูปที่ ข.4 จากการจัดวงจรดังกล่าว กระแสจะไหลผ่าน หม้อแปลงในสองทิศทาง คือเมื่อ $Q1$ และ $Q2$ นำกระแส กระแสจะไหลผ่านจากด้านล่างของขดปฐมภูมิไปยังด้านบน กลับสู่ขั้วลบของแหล่งจ่ายไฟตรง และในครั้งรอบถัดไป กระแสจะไหลผ่าน $Q3$ ผ่านขดปฐมภูมิของ หม้อแปลงผ่าน $Q4$ ไปยังขั้วลบของแหล่งจ่ายไฟตรง แรงดันที่หม้อแปลงจึงสวิตช์จาก V_s ไป $-V_s$ เหมือนกับวงจรแบบ พูช-พูล pull ในขณะที่เคลื่อนที่กระแสที่ไหลผ่านอุปกรณ์สวิตช์ แต่ละตัวจะมีค่าสูงสุดเท่ากับกระแสจากแหล่งจ่ายไฟตรง และ แรงดันที่อุปกรณ์สวิตช์ต้องแบกรับมีค่าสูงเท่ากับแหล่งจ่ายไฟตรงเหมือนกับวงจรแบบฮาร์ฟบริดจ์อินเวอร์เตอร์ ด้วยเหตุนี้จึงสามารถใช้อุปกรณ์สวิตช์ที่มีราคาไม่แพงนัก (ปกติ อุปกรณ์สวิตช์ที่ทนแรงดันสูงและกระแสสูงมีราคาแพงมาก) จึงเป็นที่นิยมใช้กันโดยทั่วไปในวงจรที่ต้องการกำลังขับออกเกิน 750 วัตต์

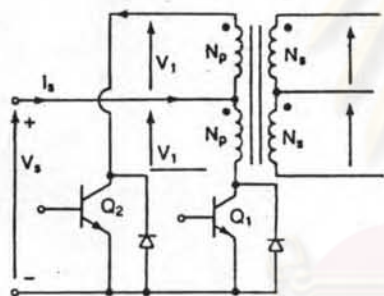
ศูนย์วิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



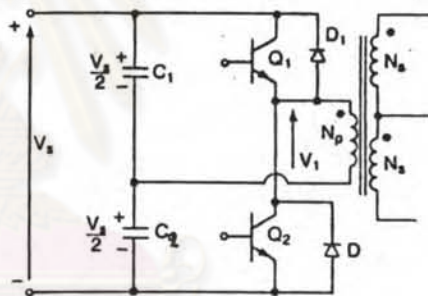
รูปที่ ข.1ก ฟลายแบคคอนเวอร์เตอร์



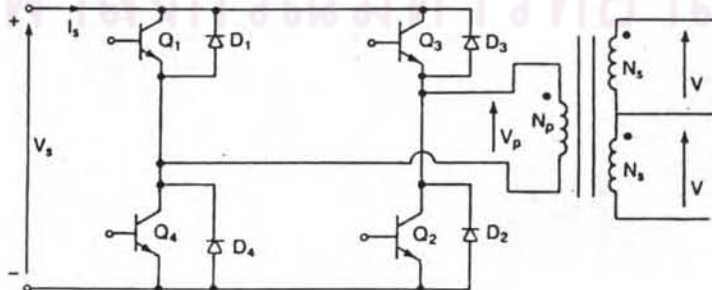
รูปที่ ข.1ข ฟลายแบคคอนเวอร์เตอร์
แบบมีซดลวารีเซ็ค



รูปที่ ข.2 พูช-พูล อินเวอร์เตอร์



รูปที่ ข.3 ฮาร์ฟบริดจ์อินเวอร์เตอร์



รูปที่ ข.4 ฟูลบริดจ์อินเวอร์เตอร์

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



ตารางที่ ข.1 เปรียบเทียบข้อเด่นข้อด้อยระหว่าง อินเวอร์เตอร์แบบป้อนแรงดัน
และอินเวอร์เตอร์แบบป้อนกระแส

อินเวอร์เตอร์แบบป้อนแรงดัน	อินเวอร์เตอร์แบบป้อนกระแส
1. นิยมใช้กันทั่วไป	1. นิยมใช้รับภาระประเภทมอเตอร์
2. ใช้กับภาระที่มีค่า เพาเวอร์แฟกเตอร์ ต่างจากหนึ่งไม่มากนัก	2. ใช้กับภาระที่มีค่า เพาเวอร์แฟกเตอร์ ต่างๆได้กว้าง
3. รับภาระแบบตัวเก็บประจุไม่ได้	3. รับภาระแบบตัวเหนี่ยวนำไม่ได้ เว้นแต่จะมี Resonance tank
4. ตัวกรองมีขนาดใหญ่	4. ไม่จำเป็นต้องมีตัวกรอง ถ้าต้องการ ก็สามารถใช้ขนาดเล็กได้
5. อุปกรณ์สวิตช์ต้องรับกระแสสูง	5. ไม่มีกระแสกระชากผ่านอุปกรณ์สวิตช์
6. หม้อแปลงต้องมีขนาดใหญ่เพื่อรับ กระแสกระชาก	6. หม้อแปลงมีขนาดเล็กกว่า
7. เป็นแหล่งกำเนิดสัญญาณรบกวน EMI	7. ไม่เป็นแหล่งกำเนิดสัญญาณรบกวน
8. ไม่เหมาะจะใช้รับภาระมอเตอร์ เพราะค่าเพาเวอร์แฟกเตอร์ ผิดจากหนึ่งมาก ร่วมกับ กินกระแสสูงมากในขณะ start มอเตอร์จะมีอายุสั้น	8. เนื่องจากกระแสคงที่ตลอดเวลา ภาระแบบมอเตอร์จะไม่มีผลต่อ กระแส ทำให้ Starting torque ดีมาก และไม่เกิดความร้อนเนื่อง จากการเกิดการอิ่มตัวของแกนเหล็ก อายุการใช้งานของมอเตอร์ยาวขึ้น

ภาคผนวก ค

การคำนวณหาจำนวนเพาเวอร์มอสเฟตที่นำมาต่อขนานกัน

เนื่องจากคุณสมบัติของเพาเวอร์มอสเฟต นั้นจะมีค่าความต้านทานภายในตัว
ของมันเองขณะที่อยู่ในภาวะนำกระแส ดังนั้นจึงเกิดการสูญเสียกำลังงานในตัวของ
เพาเวอร์มอสเฟต ในขณะที่นำกระแส ซึ่งมีค่าเท่ากับ I^2R โดย I คือกระแสที่ไหลผ่าน
เพาเวอร์มอสเฟต และ R คือความต้านทานของ เพาเวอร์มอสเฟต ขณะนำกระแส
ดังนั้น กำลังงานที่ได้จะมีความสัมพันธ์ดังนี้

กำลังออก = กำลังเข้า - กำลังที่สูญเสียในเพาเวอร์มอสเฟต

$$P_{out} = E_{in}I - I^2R$$

$$680 = 24I - I^2R$$

$$RI^2 - 24I + 680 = 0$$

จะได้

$$I = \frac{-(-24) \pm \sqrt{(-24)^2 - 4(680)R}}{2R}$$

$$I = \frac{24 \pm \sqrt{576 - 2720R}}{2R} \dots\dots 1$$

จากคุณสมบัติของเพาเวอร์มอสเฟต เบอร์ IRF 630 พบว่า ทนแรงดันสูงสุด
ได้ 200 โวลต์และทนกระแสได้ 9 A ที่อุณหภูมิ 25 °C ซึ่งที่อุณหภูมิตัวถังขณะใช้งาน
เพาเวอร์มอสเฟต จะทนกระแสลดลงไป คำนวณได้ดังนี้

$$\text{ความถี่ในการใช้งาน} = 600 \text{ Hz}$$

$$\text{คาบเวลา } (t_c) = 1/600 \text{ Hz} = 0.00166 \text{ s}$$

$$\text{Duty cycle (D)} = 0.45$$

$$\begin{aligned} \text{ช่วงเวลาที่นำกระแส } (t_1) &= Dt_c \\ &= 0.45 \times 0.00166 \text{ s} \\ &= 7.5 \times 10^{-4} \text{ s} \end{aligned}$$

จากข้อมูลข้างบนนี้ไปอ่านค่าจาก Normalized effective transient
thermal impedance ได้ค่าดังนี้

เทอร์มอลอิมพีแดนซ์ (Thermal impedance)

$$(R_{thjc}) = 1.67 \text{ } ^\circ\text{C/W}$$

เทอร์มอลไรซ์อิมพีแดนซ์ (Normalized impedance)

$$\frac{[Z_{thjc}(t)]}{[R_{thjc}]} = 0.5$$

$$[R_{thjc}]$$

ดังนั้นค่าของ Effective transient thermal impedance ณ เวลา
 $t_1 = .75 \text{ ms}$ มีค่าเป็น

$$\begin{aligned} Z_{thjc}(t_1) &= 1.67 \times 0.5 \text{ } ^\circ\text{C/W} \\ &= 0.835 \text{ } ^\circ\text{C/W} \end{aligned}$$

จากสมการ $T_{j,m} - T_c = P_{Dm} Z_{th,jc}(t_1)$

โดย $T_{j,m} =$ อุณหภูมิที่รอยต่อ (Junction) สูงสุด $= 125^\circ\text{C}$

$T_c =$ อุณหภูมิที่ตัวถัง (case) ขณะใช้งาน $= 60^\circ\text{C}$

$P_{Dm} =$ กำลังงานซิมซิปสูงสุด (Maximum power

dissipation)

จะได้ $125 - 60 = 0.835 P_{Dm}$

$P_{Dm} = 77.84$ วัตต์2

โดยที่ กำลังงานซิมซิปสูงสุด เกิดจากการที่กระแสไหลผ่านความต้านทานในตัวของ เพาเวอร์มอสเฟต นั่นคือ

$$P_{Dm} = I_D^2 R_{DS(on)125} \dots\dots\dots 3$$

โดยที่ $R_{DS(on)125}$ คือความต้านทานขณะนำกระแสที่อุณหภูมิรอยต่อเท่ากับ 125°C จากกราฟ Normalized on resistance VS temperature จะประมาณได้ว่า ที่อุณหภูมิรอยต่อ (T_j) $= 125^\circ\text{C}$ มีค่า ความต้านทานเดรน-ซอร์ส (Normalized drain to source resistance) $= 1.9$ เท่า

จะได้ $R_{DS(on)125} = 1.9 R_{DS(on)25}$

จากข้อมูลบ่งว่าค่า $R_{DS(on)25}$ มีค่าสูงสุด $= 0.4$ โอห์ม ที่อุณหภูมิตัวถัง 25°C

จะได้ $R_{DS(on)125} = 1.9 \times 0.4$

$= 0.76$ โอห์ม4

จากสมการที่ 2,3 และ 4 จะได้

$$\begin{aligned} I_D &= \sqrt{P_{Dm} / R_{DS(on)125}} \\ &= \sqrt{77.84 / 0.76} \\ &= 10.12 \quad \text{Amp} \end{aligned}$$

ซึ่งเป็นค่ากระแสสูงสุดที่ เพาเวอร์มอสเฟต จะทนได้ต่อตัว
ดังนั้นในการขนาน เพาเวอร์มอสเฟต เป็นจำนวน n ตัว จะได้ค่ากระแสเป็น

$$\begin{aligned} I &= n I_D \\ &= 10.12 n \quad \dots\dots 5 \end{aligned}$$

และค่าความต้านทานขณะนำกระแสเป็น

$$\begin{aligned} R &= R_{DS(on)125} / n \\ &= 0.76 / n \quad \dots\dots 6 \end{aligned}$$

จากสมการที่ 1,5,6 จะได้

$$10.12 n = \frac{24 \pm \sqrt{576 - 2720(0.76/n)}}{2(0.76/n)}$$

$$n = 4.12 \quad \dots\dots 7$$

ดังนั้นจะต้องใช้ เพาเวอร์มอสเฟต จำนวน 5 ตัวมาขนานกัน

จากสมการที่ 5 และสมการที่ 7 จะได้กระแสที่อินเวอร์เตอร์ต้องการเป็น

$$10.12 \times 4.12 = 41.69 \text{ A}$$

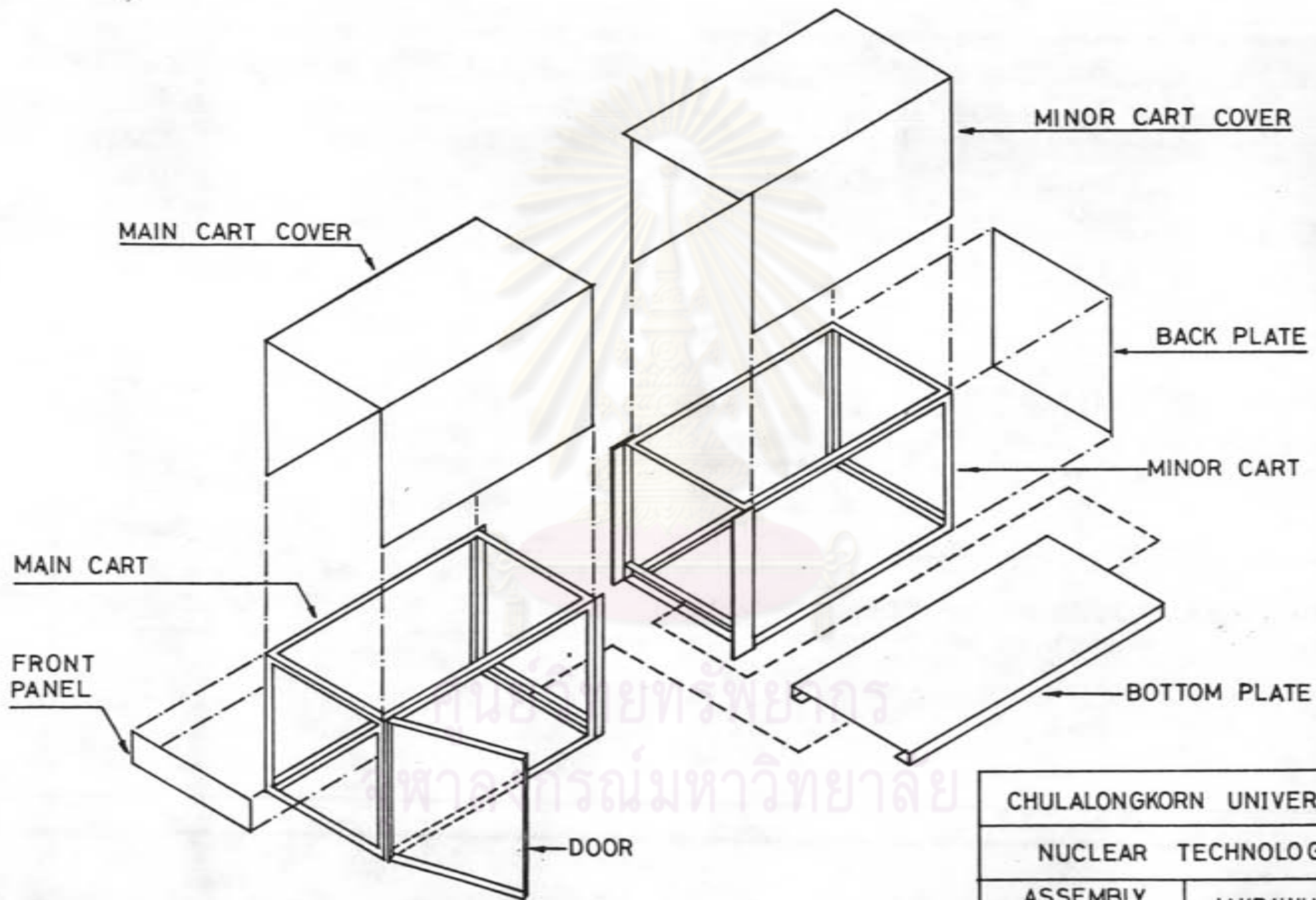


ภาคผนวก ง

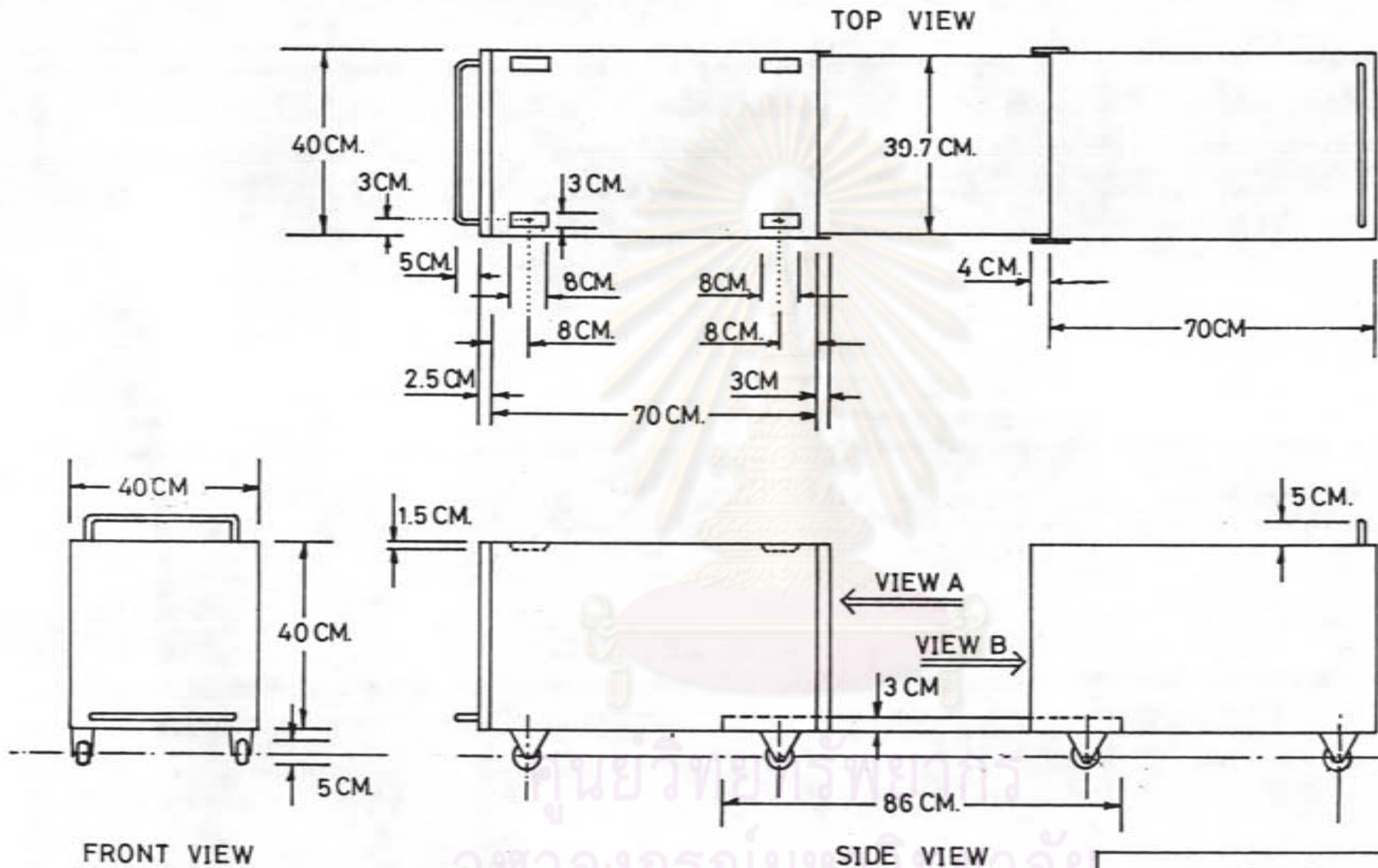
แบบโครงสร้างเครื่องถ่ายภาพโทรทัศน์ด้วยรังสีเอกซ์ขนาดเล็ก



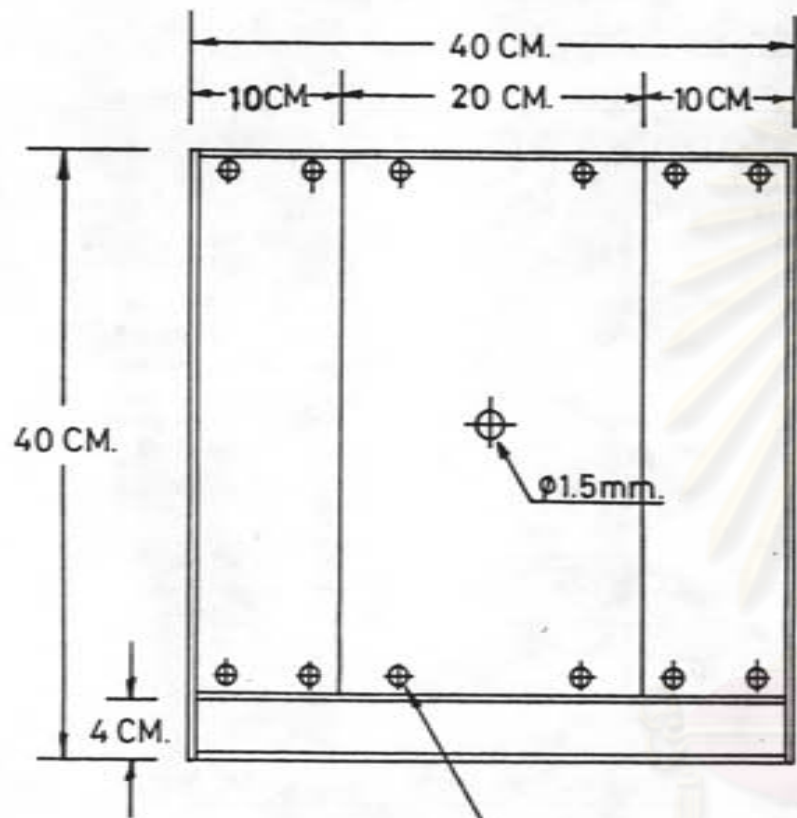
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



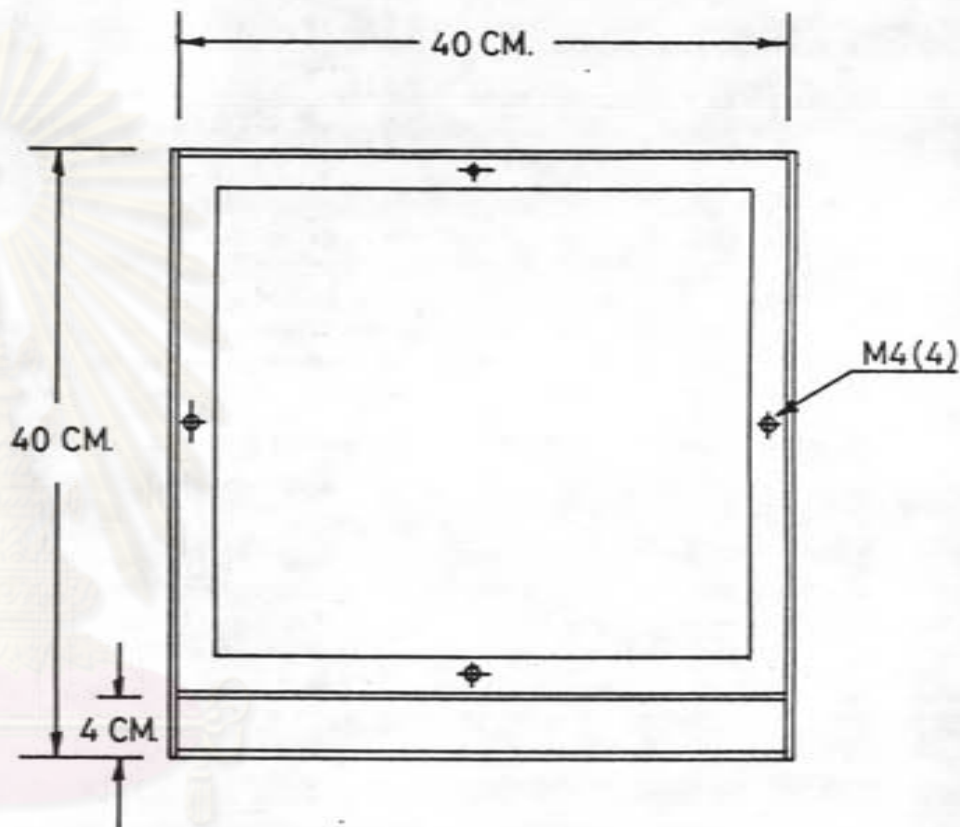
CHULALONGKORN UNIVERSITY	
NUCLEAR TECHNOLOGY	
ASSEMBLY DIAGRAM	JAKRAWUT P.



CHULALONGKORN UNIVERSITY	
NUCLEAR TECHNOLOGY	
CABINET	JAKRAWUT P.



VIEW A



VIEW B

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

CHULALONGKORN UNIVERSITY	
NUCLEAR TECHNOLOGY	
VIEW A, B	JAKRAWUT P.

ภาคผนวก จ

ลักษณะพิภพของอุปกรณ์ที่สำคัญ



ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

CONTENTS

1. INTRODUCTION AND TECHNICAL DATA

- 1.1 PURPOSE
- 1.2 VERSIONS
- 1.3 ITEMS SUPPLIED
- 1.4 EQUIPMENT IDENTIFICATION
- 1.5 TECHNICAL DATA
 - 1.5.1 Performance data
 - 1.5.2 Dimensions and weight
 - 1.5.3 Compatibility
 - 1.5.4 Accessories

2. INSTALLATION

3. SETTING UP

3.1 ADJUSTMENT OF THE TUBEHEAD FRICTION

4. REPLACEMENT OF THE TUBEHEAD

DRAWINGS

21.1 (86.0)

1. INTRODUCTION AND TECHNICAL DATA

1.1 PURPOSE

The tubehead Oralix 65S is a high tension generator with X-ray tube assembly; it is a component of the Oralix 65S system, for application in intraoral radiography.

1.2 VERSIONS

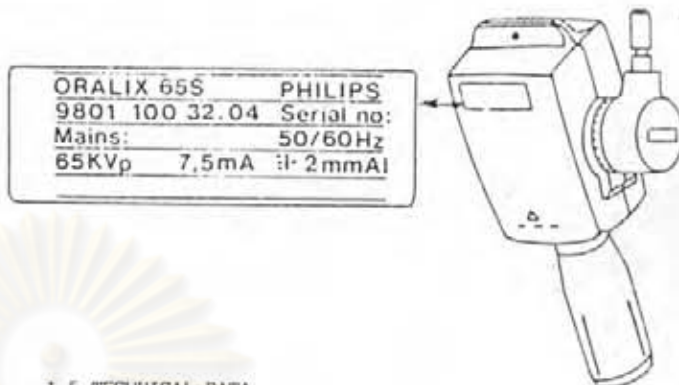
There are five versions of tubeheads 65 kV :
 PEI 9801 100 32004 for 220V, 50/60 Hz mains supply.
 PEI 9801 100 32104 for 100V, 50/60 Hz mains supply.
 PEI 9801 100 32304 for 120V, 50/60 Hz mains supply
 PEI 9801 100 32404 for 240V, 50/60 Hz mains supply
 PEI 9801 100 32504 for 220V, 50/60 Hz mains supply
 (version for Sweden only)

1.3 ITEMS SUPPLIED

The "ORALIX 65S" tubehead is delivered in a single packing, containing following items :
 - the tubehead assembly.
 - the cone 20 cm, diameter 6 cm. (cone 20 cm., diameter 5 cm only for version /25 for Sweden).
 - grease for mounting.

1.4 EQUIPMENT IDENTIFICATION

For the identification of the PEI supplied see figure below :



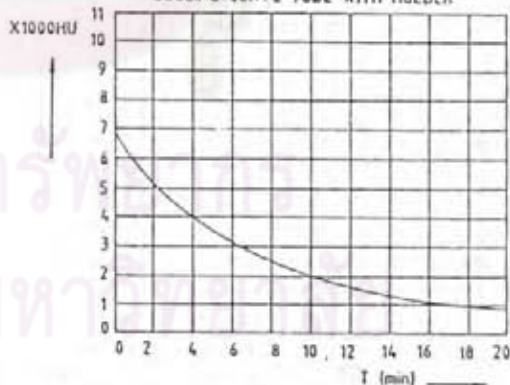
1.5 TECHNICAL DATA

1.5.1 Performance data

- wave form : 1 pulse
- max. potential difference : 65 kVp
- X-ray tube : FO 11 single focus grid controlled
- Focal spot : 0,7 mm IEC 336
- Inherent filtration: 2,0 - 2,3 mm Aluminium
- Tube current : 7,5 mA +/-10% at 100/120 Vac, 0,1 Grm
220/240 Vac 0,5 Grm
- Focus skin distance with cone: 20 cm
- Frequency : 50 and 60 Hz
- Distance focal spot to front of cone : 200 or 300 mm
- Mains requirements:
100/120 Vac, 60 Hz (0,1 - 0,25 Ohm)
220/240 Vac, 50 Hz (0,5 - 1 Ohm)
- irradiated field at distal cone end :60 mm diameter
(Ø 50 mm for version /25).
- duty cycle : 1/60
- Longest exposure time : 2,5 seconds

For the cooling data see the figure below.

COOLING CURVE TUBE WITH HOLDER



1.5.2 Dimensions and weights

Tubehead weight : 6,5 kg.
 packing weight: 7,8 Kg

INTERNATIONAL RECTIFIER HEXFET[®] TRANSISTORS **IRF630****IRF631****IRF632****IRF633**
200 Volt, 0.4 Ohm HEXFET
TO-220AB Plastic Package

The HEXFET[®] technology is the key to International Rectifier's advanced line of power MOSFET transistors. The efficient geometry and unique processing of the HEXFET design achieve very low on-state resistance combined with high transconductance and great device ruggedness.

The HEXFET transistors also feature all of the well established advantages of MOSFETs such as voltage control, very fast switching, ease of paralleling, and temperature stability of the electrical parameters.

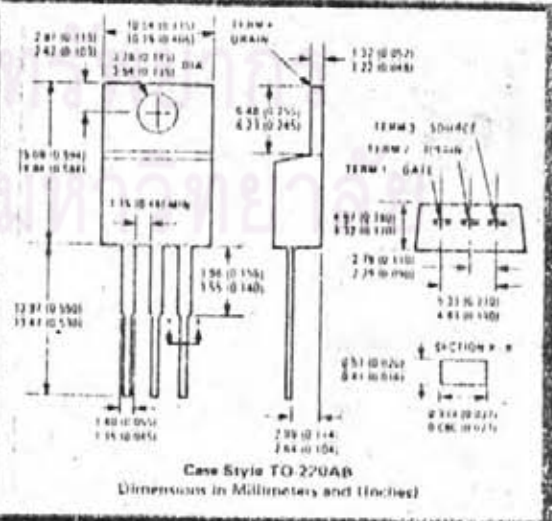
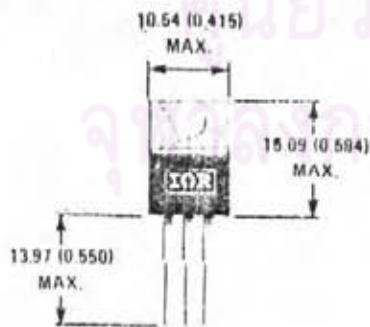
They are well suited for applications such as switching power supplies, motor controls, inverters, choppers, audio amplifiers, and high energy pulse circuits.

Features:

- Compact Plastic Package
- Fast Switching
- Low Drive Current
- Ease of Paralleling
- Excellent Temperature Stability

Product Summary

Part Number	V _{DS}	R _{DS(on)}	I _D
IRF630	200V	0.4Ω	9.0A
IRF631	150V	0.41Ω	9.0A
IRF632	200V	0.61Ω	8.0A
IRF633	150V	0.61Ω	8.0A

CASE STYLE AND DIMENSIONS

IRF630, IRF631, IRF632, IRF633 Devices

Absolute Maximum Ratings

Parameter	IRF630	IRF631	IRF632	IRF633	Units
V_{DS} Drain-Source Voltage (1)	200	150	200	150	V
V_{DSS} Drain-Source Voltage ($I_{D,S} = 20 \text{ mA}$) (2)	200	150	200	150	V
I_D at $T_C = 25^\circ\text{C}$ Continuous Drain Current	8.0	9.0	8.0	8.0	A
I_D at $T_C = 100^\circ\text{C}$ Continuous Drain Current	6.0	6.0	6.0	5.0	A
I_{DM} Pulsed Drain Current (3)	30	30	32	32	A
V_{GS} Gate-Source Voltage	±20				V
$P_{D,DC}$ at $T_C = 25^\circ\text{C}$ Max. Power Dissipation	75 (see Fig. 14)				W
Linear Derating Factor	0.0 (see Fig. 14)				W/A (4)
I_{SM} Inductive Current, Cleared	100 (see Fig. 15 and 16) 100 (5)				A
T_J Operating Junction and Storage Temperature Range	-55 to 150				$^\circ\text{C}$
$T_{L,STG}$ Lead Temperature	300 to 0 (6) (7) (8) (9) (10) (11)				$^\circ\text{C}$

Electrical Characteristics @ $T_C = 25^\circ\text{C}$ (Unless Otherwise Specified)

Parameter	Type	Min	Typ	Max	Units	Test Conditions
BV_{DS} Drain-Source Breakdown Voltage	IRF630 IRF632 IRF631 IRF633	200	-	-	V	$V_{GS} = 0\text{V}$ $I_D = 250\mu\text{A}$
$V_{GS(th)}$ Gate Threshold Voltage	All	2.0	-	4.0	V	$V_{DS} = V_{GS}$, $I_D = 250\mu\text{A}$
I_{DSS} Gate-Source Leakage Forward	All	-	-	500	nA	$V_{GS} = 20\text{V}$
I_{DSS} Gate-Source Leakage Reverse	All	-	-	500	nA	$V_{GS} = -20\text{V}$
I_{DSS} Zero Gate Voltage Drain Current	All	-	-	250	μA	$V_{GS} = \text{Max. Rating}$, $V_{DS} = 0\text{V}$
$I_{D(on)}$ On-State Drain Current (2)	IRF630 IRF631	9.0	-	-	A	$V_{DS} = \text{Max. Rating} \times 0.8$, $V_{GS} = 0\text{V}$, $T_C = 125^\circ\text{C}$
$R_{DS(on)}$ Static Drain-Source On-State Resistance (2)	IRF630 IRF631 IRF632 IRF633	-	0.25 0.4	0.4	Ω	$V_{GS} = 10\text{V}$, $I_D = 5.0\text{A}$
g_{fs} Forward Transconductance (2)	All	3.0	4.8	-	S (10)	$V_{DS} = I_{D(on)} \times R_{DS(on) \text{ max.}}$, $I_D = 5.0\text{A}$
C_{iss} Input Capacitance	All	-	600	800	pF	$V_{GS} = 0\text{V}$, $V_{DS} = 25\text{V}$, $f = 1.0\text{MHz}$
C_{oss} Output Capacitance	All	-	280	450	pF	See Fig. 10
C_{riss} Reverse Transfer Capacitance	All	-	80	150	pF	
$t_{turn(on)}$ Turn-On Delay Time	All	-	-	30	ns	$V_{DS} = 50\text{V}$, $I_D = 5.0\text{A}$, $Z_{th} = 150$
t_r Rise Time	All	-	-	60	ns	See Fig. 12
$t_{turn(off)}$ Turn-Off Delay Time	All	-	-	50	ns	(MOSFET switching tests are essentially independent of operating temperature.)
t_f Fall Time	All	-	-	40	ns	
Q_g Total Gate Charge (Gate-Source Plus Gate-Drain)	All	-	19	30	nC	$V_{DS} = 10\text{V}$, $I_D = 1.2\text{A}$, $V_{GS} = 0\text{V}$ Max. Rating. See Fig. 18 for test circuit. (Gate charge is essentially independent of operating temperature.)
Q_{gs} Gate-Source Charge	All	-	10	-	nC	
Q_{gd} Gate-Drain ("Miller") Charge	All	-	9.0	-	nC	
L_D Internal Drain Inductance	All	-	3.5 4.5	-	nH	Measured from the current (500mA) on lab to center of die. Measured from the drain lead (0.015" to 0.020" in) from package to center of die.
L_S Internal Source Inductance	All	-	7.5	-	nH	Measured from the drain to lead. Shift to 25 ns from 50 ns to 100 ns by using a bonding pad.

Thermal Resistance

Parameter	Description	All	1.57	K/W (4)
$R_{th(j-c)}$	Junction to Case	All	1.0	K/W (4)
$R_{th(j-s)}$	Case to Sink	All	-	K/W (4)
$R_{th(j-a)}$	Junction to Ambient	All	80	K/W (4)

IRF630, IRF631, IRF632, IRF633 Devices

Source-Drain Diode Ratings and Characteristics

I_S	Continuous Source Current (Body Diode)	IRF 630 IRF 631	-	-	9.0	A	Modified MOSFET symbol showing the integral reverse P-N junction rectifier
I_{SM}	Pulse Source Current (Body Diode) (1)	IRF 632 IRF 633	-	-	8.0	A	
I_{SM}	Pulse Source Current (Body Diode) (2)	IRF 630 IRF 631	-	-	36	A	
V_{GS}	Diode Forward Voltage (2)	IRF 632 IRF 633	-	-	3.2	A	
V_{GS}	Diode Forward Voltage (2)	IRF 630 IRF 631	-	-	7.0	V	$T_C = 25^\circ\text{C}, I_S = 8.0\text{A}, V_{DS} = 0\text{V}$
V_{GS}	Diode Forward Voltage (2)	IRF 632 IRF 633	-	-	1.8	V	$T_C = 25^\circ\text{C}, I_S = 8.0\text{A}, V_{DS} = 0\text{V}$
t_{rr}	Reverse Recovery Time	ALL	-	450	ns		$T_J = 150^\circ\text{C}, I_F = 8.0\text{A}, dI_F/dt = 100\text{A}/\mu\text{s}$
Q_{rr}	Reverse Recovered Charge	ALL	-	3.0	μC		$T_J = 150^\circ\text{C}, I_F = 8.0\text{A}, dI_F/dt = 100\text{A}/\mu\text{s}$
t_{on}	Forward Turn-on Time	ALL	Intrinsic turn-on time is negligible. Turn-on transient substantially controlled by $t_f + t_D$				



(1) $T_C = 25^\circ\text{C}$ to 150°C . (2) Pulse Test: Pulse width $\leq 500\mu\text{s}$, Duty Cycle $\leq 2\%$.
 (1) kW = °CW
 Wk = W°C

(2) Repetitive Rating: Pulse width limited by max. junction temperature. See Transient Thermal Impedance Curve (Fig. 5).

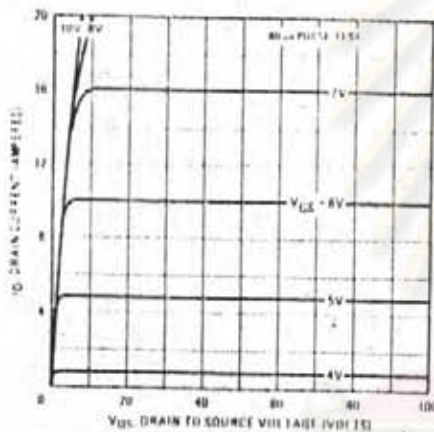


Fig. 1 - Typical Output Characteristics

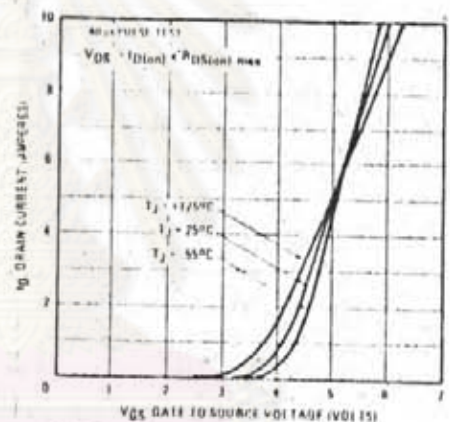


Fig. 2 - Typical Transfer Characteristics

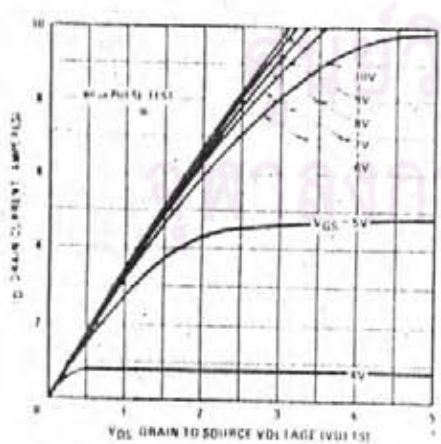


Fig. 3 - Typical Saturation Characteristics

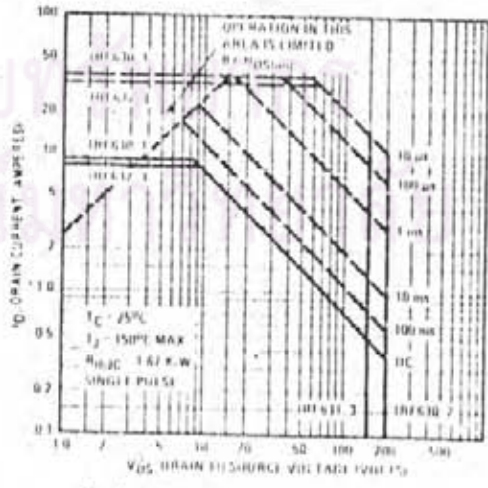


Fig. 4 - Maximum Safe Operating Area

10-328



IRF630, IRF631, IRF632, IRF633 Devices

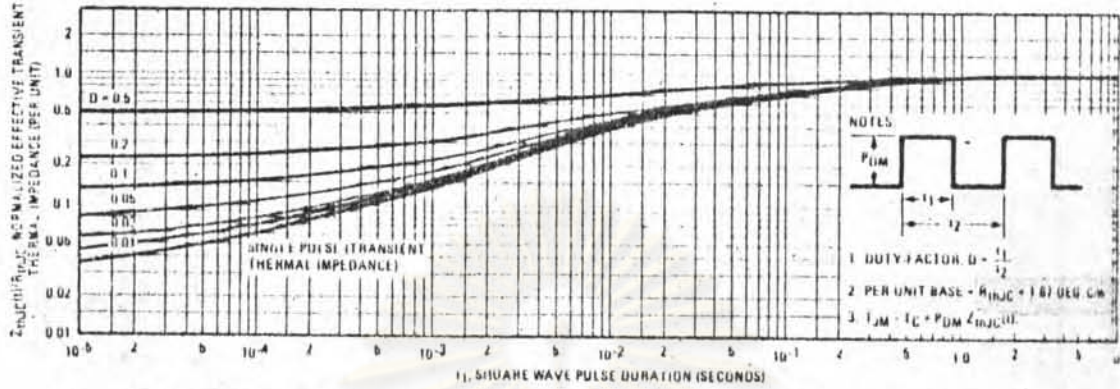


Fig. 5 - Maximum Effective Transient Thermal Impedance, Junction-to-Case Vs. Pulse Duration

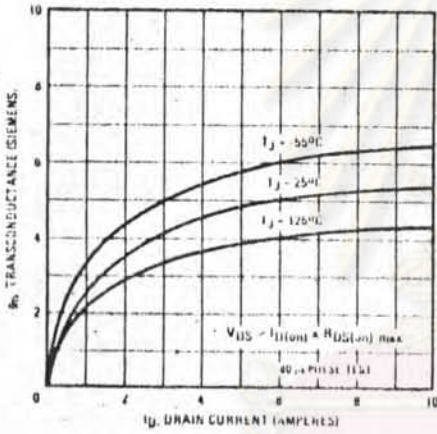


Fig. 6 - Typical Transconductance Vs. Drain Current

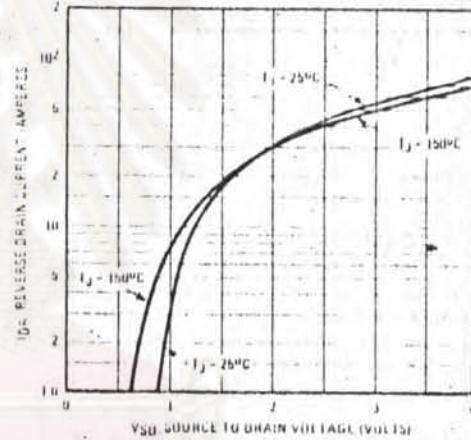


Fig. 7 - Typical Source-Drain Diode Forward Voltage

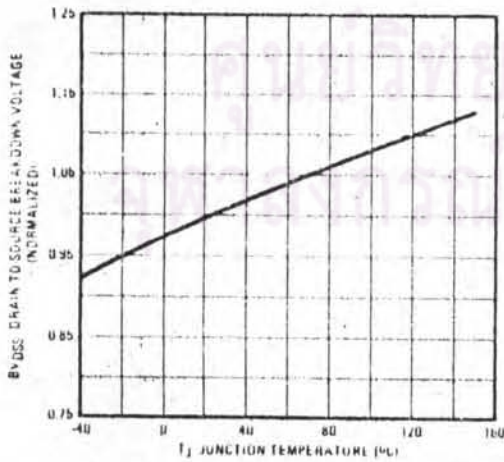


Fig. 8 - Breakdown Voltage Vs. Temperature

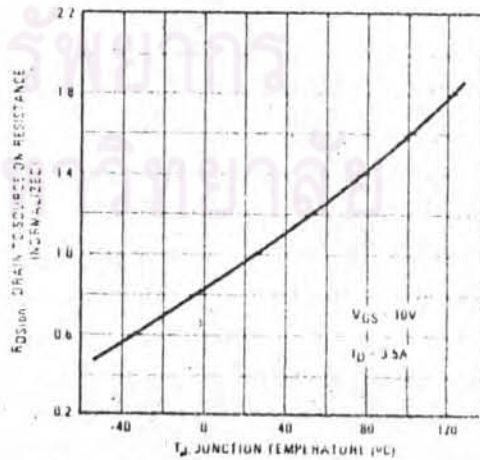


Fig. 9 - Normalized On-Resistance Vs. Temperature

IRF630, IRF631, IRF632, IRF633 Devices

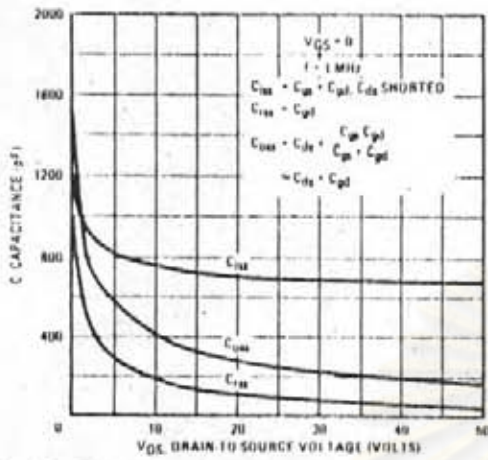


Fig. 10 - Typical Capacitance Vs. Drain-to-Source Voltage

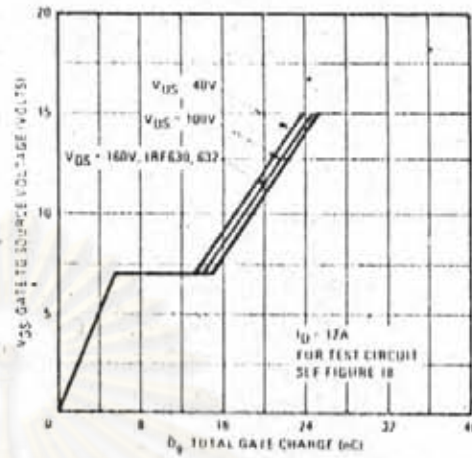


Fig. 11 - Typical Gate Charge Vs. Gate-to-Source Voltage

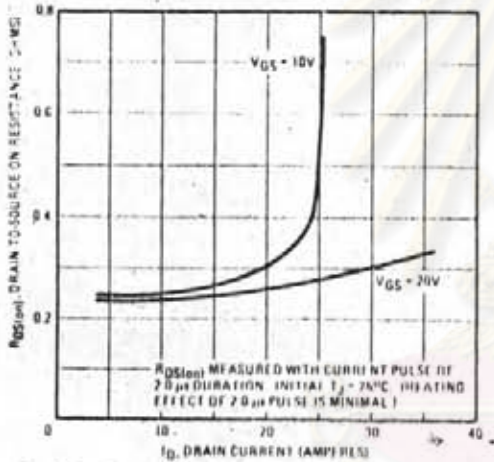


Fig. 12 - Typical On-Resistance Vs. Drain Current

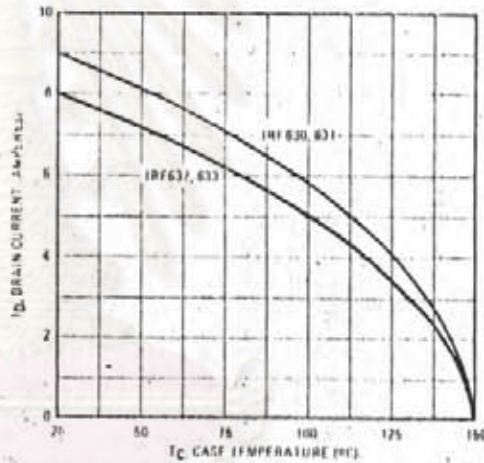


Fig. 13 - Maximum Drain Current Vs. Case Temperature

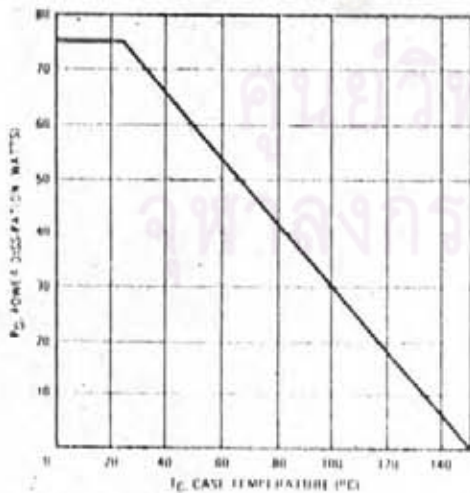


Fig. 14 - Power Vs. Temperature Derating Curve

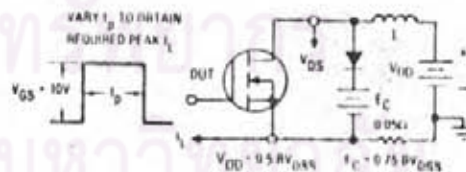


Fig. 15 - Clamped Inductive Test Circuit

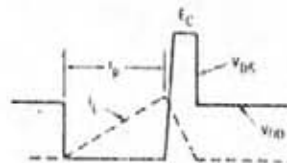


Fig. 16 - Clamped Inductive Waveforms

IRF630, IRF631, IRF632, IRF633 Devices

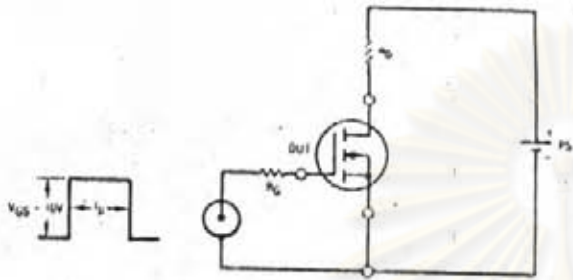


Fig. 17 - Switching Time Test Circuit

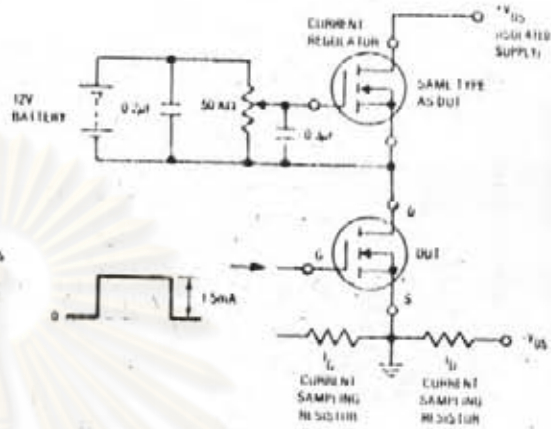
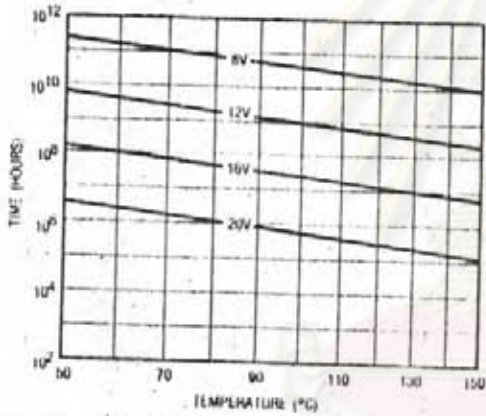
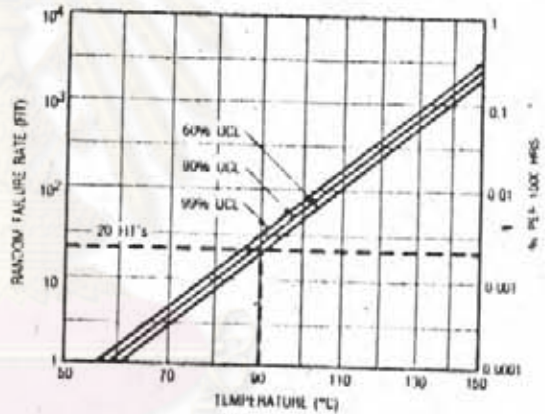


Fig. 18 - Gate Charge Test Circuit



*Fig. 19 - Typical Time to Accumulated 1% Gate Failure



*Fig. 20 - Typical High Temperature Reverse Bias (HTRB) Failure Rate

*The data shown is correct as of April 15, 1967. This information is updated on a quarterly basis; for the latest reliability data, please contact your local IR field office.

ศูนย์วิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Linear Integrated Circuits

CA3300



CMOS Video Speed 6-Bit Flash Analog-to-Digital Converter

For Use In Low-Power Consumption, High-Speed
Digitization Applications

FEATURES:

- CMOS low power with speed
- Parallel conversion technique
- 15-MHz sampling rate (66-ns conversion time)
- 6-bit latched 3-state output with overflow bit
- $\pm 1/2$ LSB accuracy
- Single supply voltage (3 to 10 V)
- 2 units in series allow 7-bit output
- 2 units in parallel allow 30-MHz sampling rate
- Internal VREF with ext VREF option

The RCA-CA3300 is a CMOS 50-mW parallel (FLASH) analog-to-digital converter designed for applications demanding both low-power consumption and high-speed digitization.

The CA3300 operates over a wide full-scale input-voltage range of 2.4 volts up to the dc supply voltage with maximum power consumptions as low as 50 to 200 mW, depending upon the clock frequency selected. When operated from a 5-volt supply at a clock frequency of 11 MHz, the power consumption of the CA3300 is less than 50 mW. When operated from an 8-volt supply at a frequency of 15 MHz, the power consumption is less than 150 mW.

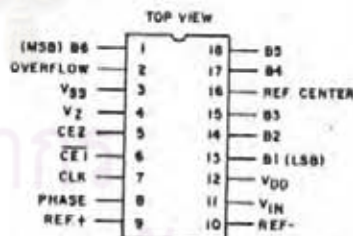
The intrinsic high conversion rate makes the CA3300 ideally suited for digitizing high-speed signals. The overflow bit makes possible the connection of two or more CA3300s in series to increase the resolution of the conversion system. A series connection of two CA3300s may be used to produce a 7-bit high-speed converter. Operation of two CA3300s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15 to 30 MHz). CA3300s in parallel may be combined with a high-speed 6-bit D/A converter, a binary adder, control logic, and an op amp to form a very high-speed A/D converter.

Sixty-four paralleled auto-balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel-bit outputs in the CA3300. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

The CA3300 type is available in an 18-lead dual-in-line ceramic package (D suffix) or in chip form (H suffix).

APPLICATIONS

- The CA3300 is especially suited for high-speed conversion applications where low power is also important
- TV video digitizing (industrial/security)
- High-speed A/D conversion
- Ultrasound signature analysis
- Transient signal analysis
- High-energy physics research
- High-speed oscilloscope storage/display
- General-purpose hybrid ADCs
- Optical character recognition
- Radar pulse analysis
- Motion signature analysis



92CS-32263M

TERMINAL ASSIGNMENT

Data Conversion Circuits

CA3300

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS	LIMITS			UNITS
		MIN.	TYP.	MAX.	
Resolution		—	—	8	Bits
Linearity Error	V _{DD} =8 V, V _{REF} =7.68 V CLK=15 MHz, gain adjusted	—	±0.5	±0.8	LSB
Differential Linearity Error	V _{DD} =8, V _{REF} =7.68 V CLK=15 MHz	—	±0.5	±0.8	
Quantizing Error		-1/2	—	1/2	
Analog Input: Full Scale Range	V _{DD} =8 V CLK=15 MHz	2.4	—	V _{DD} +0.5	V
Input Capacitance		—	50	—	pF
Input Current		—	600	1000	μA
Gain Temperature Coefficient	V _{DD} =8 V, CLK=15 MHz	—	0.016	—	LSB/°C
Maximum Conversion Speed	V _{DD} =5 V V _{DD} =8 V	— 15M	12M 19M	— —	SPS
Device Current (Excludes I _{REF} , I _Z)	V _{DD} =5 V (CLK=11 MHz) V _{DD} =8 V (CLK=15 MHz) V _{DD} =5 V (Auto Balance State) V _{DD} =8 V (Auto Balance State)	— — — —	7 22 6.4 24	— — 16 40	mA
Ladder Impedance		1000	1400	1800	Ω
Digital Inputs:					
Low Voltage	V _{DD} =5 V V _{DD} =8 V	— —	— —	1.5 2.5	V
High Voltage	V _{DD} =5 V V _{DD} =8 V	3.5 5.5	— —	— —	V
Input Current	V _{DD} =8 V	—	±1	—	μA
Digital Outputs:					
Output Low (Sink) Current	V _{DD} =5 V, V _O =0.4 V V _{DD} =8 V, V _O =0.5	1.6 3.2	10 15	— —	mA
Output High (Source) Current	V _{DD} =5 V, V _O =4.8 V V _{DD} =8 V, V _O =7.5 V	-0.8 -1.6	6 9	— —	
Zener Voltage	I _Z =10 mA	6.2	6.8	7.4	
Zener Dynamic Impedance	I _Z =10 mA	—	10	30	Ω
Zener Temperature Coefficient		—	0.5	—	mV/°C
Digital Output Delay, t _d	V _{DD} =8 V	—	20	—	ns
Aperture Time	V _{DD} =8 V	—	25	—	

Linear Integrated Circuits

CA3300

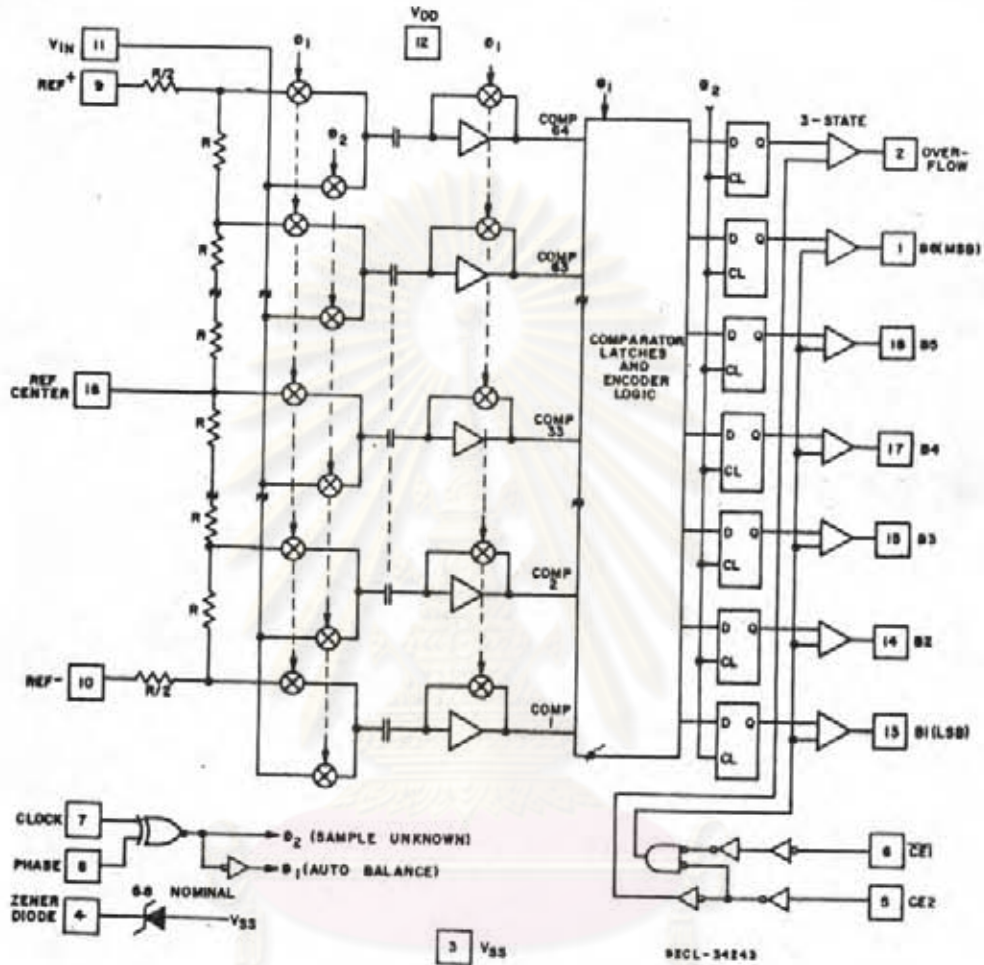
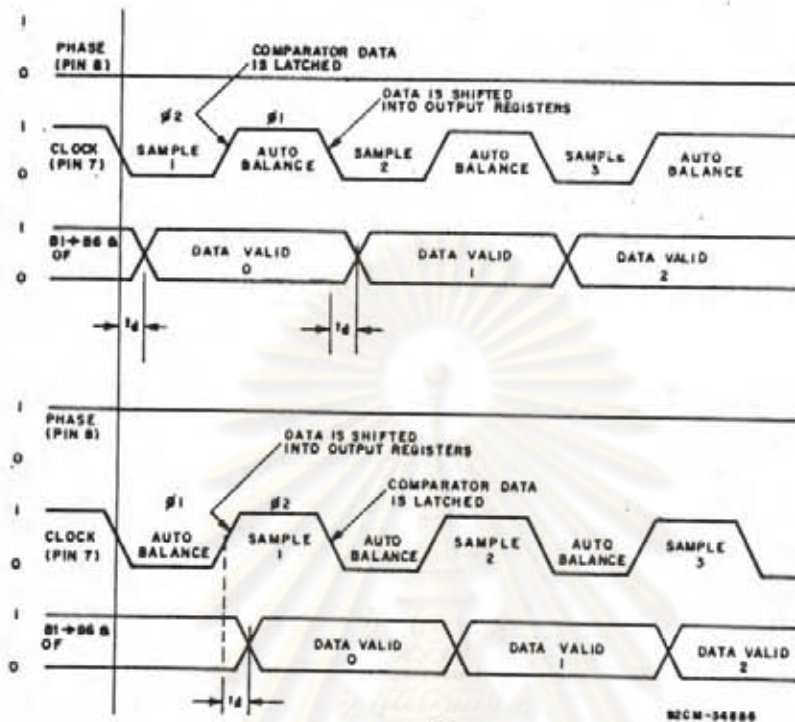


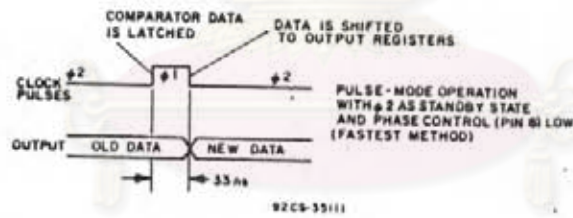
Fig. 1 - Block diagram for the CA3300.

MAXIMUM RATINGS, Absolute-Maximum Values:

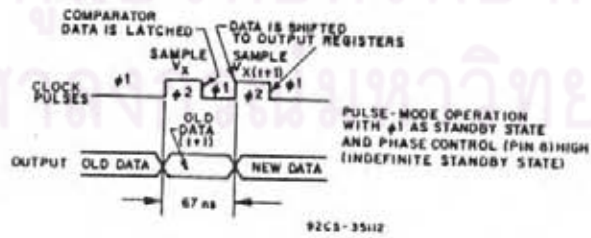
DC SUPPLY VOLTAGE RANGE (V_{DD}) (VOLTAGE REFERENCED TO V_{SS} TERMINAL)	-0.5 to 10 V
INPUT VOLTAGE RANGE ALL INPUTS EXCEPT ZENER (PIN 4)	-0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT CLK, PH, $\overline{CE1}$, CE2, V_{IN}	± 10 mA
POWER DISSIPATION PER PACKAGE (P_D) FOR $T_A = -40$ to 55°C	315 mW
FOR $T_A = 55^\circ\text{C}$ to 85°C	Derate linearly at 3.3 mW/ $^\circ\text{C}$
TEMPERATURE RANGE OPERATING	-40 to $+85^\circ\text{C}$
STORAGE	-65 to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING) AT DISTANCE $1/16 \pm 1/32$ in. (1.59 ± 0.79 mm) FROM CASE FOR 10 s MAX.	$+265^\circ\text{C}$



(a)



(b)



(c)

Fig. 2 - Timing diagrams for the CA3300.

Linear Integrated Circuits

CA3300

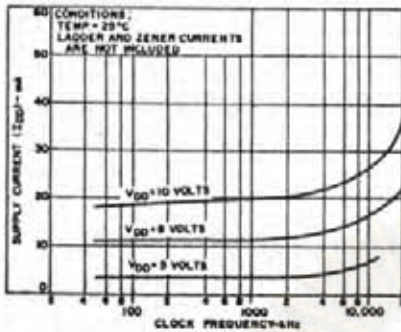


Fig. 3 - Typical current drain versus sampling rate as a function of supply voltage.

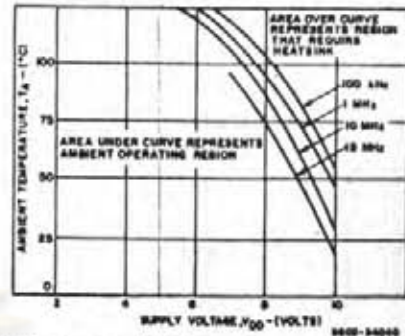


Fig. 4 - Maximum ambient temperature versus supply voltage. (Above curve includes ladder dissipation but not the zener dissipation.)

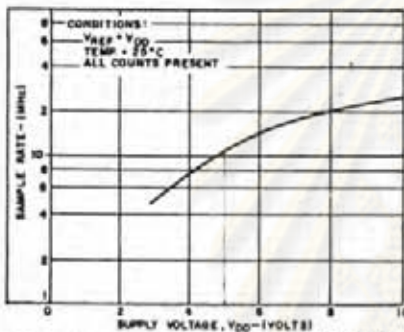


Fig. 5 - Typical maximum sample rate versus supply voltage.

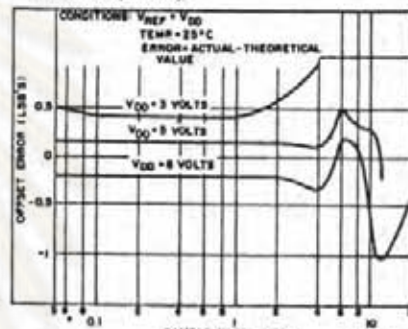


Fig. 6 - Typical offset error versus sample rate as a function of supply voltage. (See literature for offset trim.)

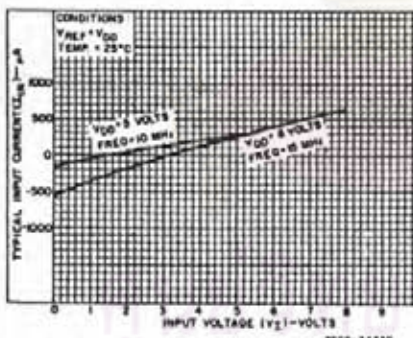


Fig. 7 - Typical input current versus input voltage as a function of supply voltage.

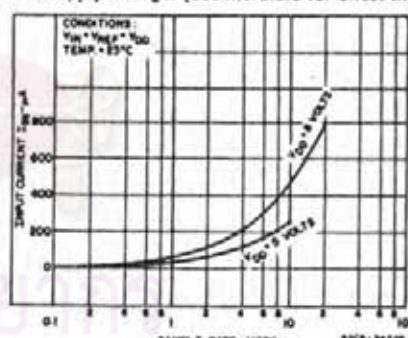


Fig. 8 - Typical input current versus sample rate as a function of supply voltage.

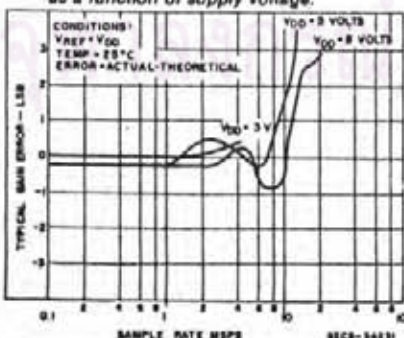


Fig. 9 - Typical gain error versus sample rate as a function of supply voltage. (See literature for gain trim.)

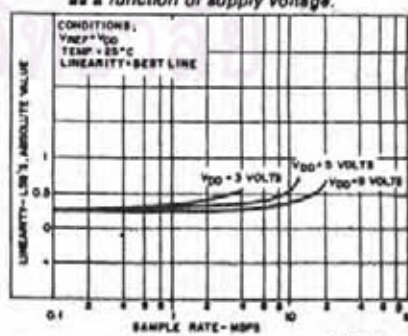


Fig. 10 - Typical linearity versus sample rate as a function of supply voltage.

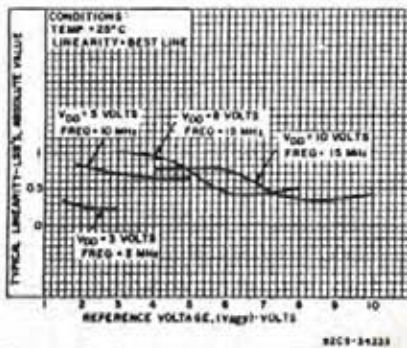


Fig. 11 - Typical linearity versus reference voltage as a function of supply voltage.

Device Operation

A sequential parallel technique is used by the CA3300 converter to obtain its high-speed operation. The sequence consists of the "Auto Balance" phase, $\beta 1$, and the "Sample Unknown" phase $\beta 2$. (Refer to the circuit diagram.) Each conversion takes one clock cycle. With the phase control pin 8) low, the "Auto Balance" ($\beta 1$) occurs during the High period of the clock cycle, and the "Sample Unknown" ($\beta 2$) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission switch is used to connect each of 64 commuting capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{tap}(N) = \left[\frac{V_{REF}}{64} \times N \right] - \left[\frac{V_{REF}}{2 \times 64} \right]$$

$$= \frac{V_{REF}(2N - 1)}{128}$$

Where: $V_{tap}(n)$ = reference ladder tap voltage at point n.
 V_{REF} = voltage across R^- to R^+
 N = tap number (1 through 64)

The other side of the capacitor is connected to a single stage amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately $(V_{DD} - V_{SS})/2$. The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are closed, the comparator amplifiers are no longer shorted, and V_{IN} is switch to all 64 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators with tap voltages greater than V_{IN} will drive the comparator outputs to a "low" state, all comparators with tap voltage lower than V_{IN} will drive the comparator outputs to a "high" state.

This device requires only a single phase clock. The terminology of $\beta 1$ and $\beta 2$ refers to the High and Low periods of the same clock.

The status of all these comparator amplifiers are stored at the end of this phase ($\beta 2$), by a secondary latching amplifier stage. Once latched, the status of the 64 comparators is decoded by a 64 to 7 bit decode array and the results are clocked into a storage register at the rising edge of the next $\beta 2$.

A 3-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. $CE1$ will independently disable B1 through B6 when it is in a high state. $CE2$ will independently disable B1 through B6 and the OF buffers when it is in the low state.

To facilitate usage of this device a phase control input is provided which can effectively complement the clock as it enters the chip. Also, an onboard zener is provided for use as a reference voltage.

Continuous Clock Operation

One complete conversion cycle can be traced through the CA3300 via the following steps. (Refer to timing diagram Fig. 2a.) With the phase control in a 'High' state, the rising edge of the clock input will start a "sample" phase. During this entire 'High' state of the clock, the 64 comparators will track the input voltage and the 64 latches will track the comparator outputs. At the falling edge of the clock, all 64 comparator outputs are captured by the 64 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this 'Low' state of the clock the output of the latches propagates through the decode array and a 7-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 7-bit code is shifted into the output registers and appears with time delay t_d as valid data at the output of the 3-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse Mode Operation

For sampling high-speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of two ways. The fastest method is to keep the converter in the Sample Unknown phase, $\beta 2$, during the standby state. The device can now be pulsed through the Auto Balance phase with as little as 33 ns. The analog value is captured on the leading edge of $\beta 1$ and is transferred into the output registers on the trailing edge of $\beta 1$. We are now back in the standby state, $\beta 2$, and another conversion can be started within 33 ns, but not later than 10 μs due to the eventual droop of the commuting capacitors. Another advantage of this method is that it has the potential of having the lowest power drain. The larger the time ratio between $\beta 2$ and $\beta 1$, the lower the power consumption. (See timing diagram Fig. 2b.)

The second method uses the Auto Balance phase, $\beta 1$, as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is performed by strobing the clock input with two $\beta 2$ pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge. A second $\beta 2$ pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the second pulse. The conversion now takes place in 67 ns, but the repetition rate may be as slow as desired. The disadvantage to this method is the higher device dissipation due to the low ratio of $\beta 2$ to $\beta 1$. (See timing diagram Fig. 2c.)

Increased Accuracy

In most cases the accuracy of the CA3300 should be

Linear Integrated Circuits

CA3300

sufficient without any adjustments. In applications where accuracy is of utmost importance, three adjustments can be made to obtain better accuracy; i.e., offset trim, gain trim, and midpoint trim.

Offset Trim

In general offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op-amp. When this is not possible the R^- (pin 10) input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $\frac{1}{2}$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = \frac{1}{2} \text{ LSB} = \frac{1}{2}(V_{REF}/64) \\ = V_{REF}/128$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50-ohm pot connected between R^- and ground will accomplish the adjustment. Set V_{IN} to $\frac{1}{2}$ LSB and trim the pot until the 0 to 1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50-ohm pot should be connected between R^- and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

Gain Trim

In general the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op-amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 63 to overflow transition. That voltage is $\frac{1}{2}$ LSB less than V_{REF} and is calculated as follows:

$$V_{IN} \text{ (63 to 64 transition)} = V_{REF} - V_{REF}/128 \\ = V_{REF} (127/128)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 63 to overflow transition. Now adjust V_{REF} until that transition occurs on the outputs.

Midpoint Trim

The reference center (RC), pin 16, is available to the user as the approximate midpoint of the resistor ladder. The actual

count that is brought out is count 33. To trim the midpoint the offset and gain trims should be done first. The theoretical transition from count 32 to 33 occurs at $32\frac{1}{2}$ LSB's. That voltage is as follows:

$$V_{IN} \text{ (32 to 33 transition)} = 32.5 (V_{REF}/64)$$

An adjustable voltage follower can be connected to the RC pin or a 2K pot can be connected between R^+ and R^- with the wiper connected to RC. Set V_{IN} to the 32 to 33 transition voltage, then adjust the voltage follower or the pot until the transition occurs on the output bits.

The Reference Center point can also be used to create some unique transfer functions. For example, if R^- is grounded, RC is connected to 3.25 volts, and R^+ is connected to 4.8 volts then the lower order counts, 1 through 33, will have an LSB value of 100 mV while the upper order counts, 34 through Overflow, will have an LSB value of 50 mV. This effectively provides twice the sensitivity in the upper counts as compared to the lower counts.

7-Bit Resolution

To obtain 7-bit resolution, two CA3300s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enabler controls—all of which are available on the CA3300.

The first step for connecting a 7-bit circuit is to totem-pole the ladder networks, as illustrated in Fig. 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the seventh bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the $CE1$ control of the lower a-d converter and the $CE2$ control of the upper a-d converter. The three-state outputs of the two devices (bits 1 through 6) are now connected in parallel to complete the circuitry. The complete circuit for a 7-bit a-d converter is shown in Fig. 14.

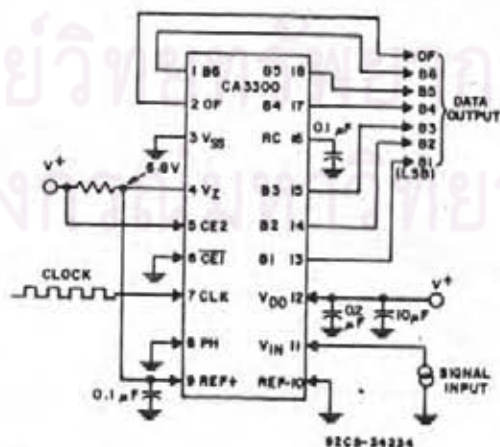


Fig. 12 - Typical CA3300 6-bit configuration 15-MHz sampling rate.

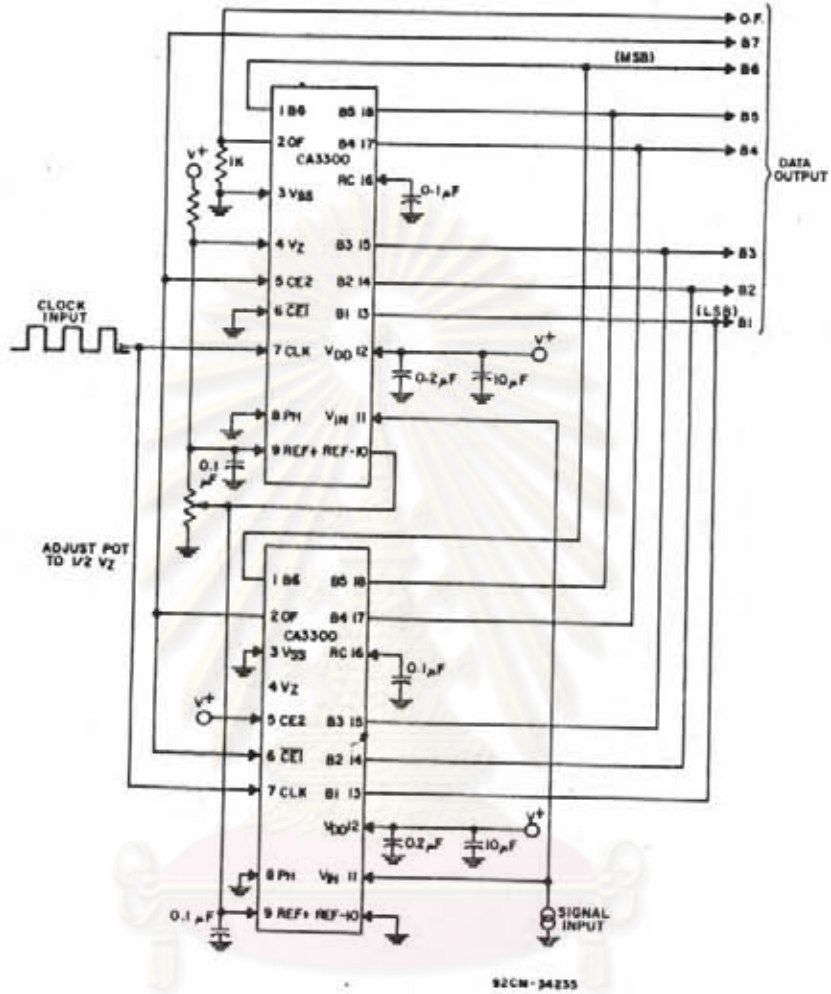


Fig. 13 - Typical CA3300 7-bit resolution configuration 15-MHz sampling rate.

ศูนย์วิทยุโทรคมนาคม
จุฬาลงกรณ์มหาวิทยาลัย

Linear Integrated Circuits

CA3300

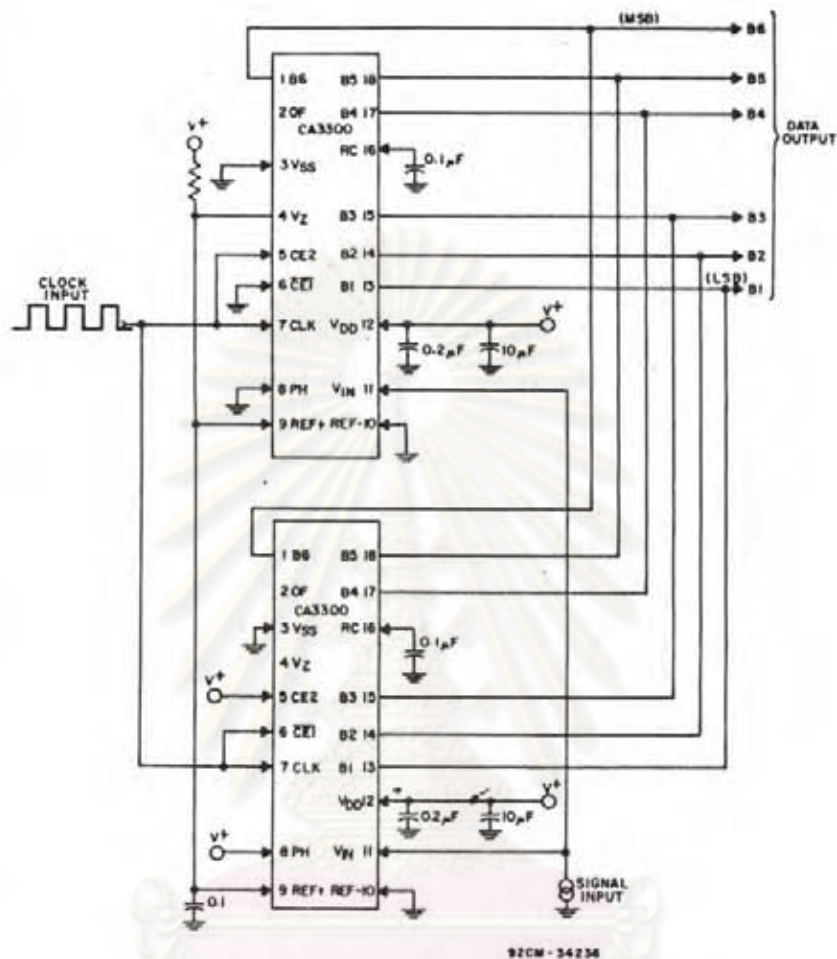


Fig. 14 - Typical CA3300 6-bit resolution configuration
30-MHz sampling rate.

8-Bit to 12-Bit Conversion Techniques

To obtain 8 to 12-bit resolution and accuracy, use a feed-forward conversion technique. Two a-d converters will be needed to convert up to 11 bits; three a-d converters to convert 12 bits. The high speed of the CA3300 allows 12-bit conversions in the 500 to 900-ns range.

The circuit diagram of a high-speed 12-bit a-d converter is shown in Fig. 15. In the feed-forward conversion method two sequential conversions are made. Converter A first does a coarse conversion to 6 bits. The output is applied to a 6-bit d-a converter whose accuracy level is good to 12 bits. The d-a converter output is then subtracted from the input voltage, multiplied by 32, and then converted by a second flash a-d converter, which is connected in a 7-bit

configuration. The answers from the first and second conversions are added together with bit 1 of the first conversion overlapping bit 7 of the second conversion.

When using this method, take care that:

- The linearity of the first converter is better than $\frac{1}{2}$ LSB.
- An offset bias of 1 LSB ($1/64$) is subtracted from the first conversion since the second converter is unipolar.
- The d-a converter and its reference are accurate to the total number of bits desired for the final conversion (the a-d converter need only be accurate to 6 bits).

The first converter can be offset-biased by adding a $20\text{-}\Omega$ resistor at the bottom of the ladder and increasing the reference voltage by 1 LSB. If a 6.40-voltage reference is used in the system, for example, then the first CA3300 will require a 6.5-V reference.

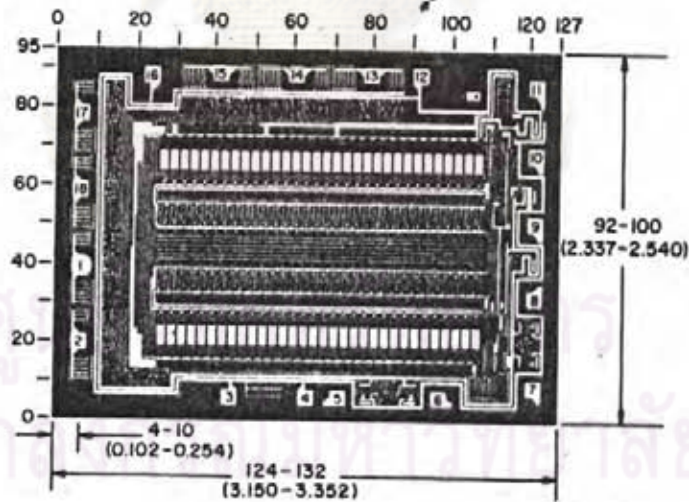
Linear Integrated Circuits

CA3300

OUTPUT CODE TABLE

CODE DESCRIPTION	INPUT VOLTAGE*				BINARY OUTPUT CODE (LSB)							DECIMAL COUNT
	VREF 7.68 (VOLTS)	VREF 6.40 (VOLTS)	VREF 5.12 (VOLTS)	VREF 3.20 (VOLTS)	0.F	B6	B5	B4	B3	B2	B1	
ZERO	0.00	0.00	0.00	0.00	0	0	0	0	0	0	0	0
1 LSB	0.12	0.10	0.08	0.05	0	0	0	0	0	0	1	1
2 LSB	0.24	0.20	0.16	0.10	0	0	0	0	0	1	0	2
⋮												
⋮												
1/2 Full Scale - 1 LSB	3.72	3.10	2.48	1.55	0	0	1	1	1	1	1	31
1/2 Full Scale	3.84	3.20	2.56	1.60	0	1	0	0	0	0	0	32
1/2 Full Scale + 1 LSB	3.96	3.30	2.64	1.65	0	1	0	0	0	0	1	33
⋮												
⋮												
Full Scale - 1 LSB	7.44	6.20	4.96	3.10	0	1	1	1	1	1	0	62
Full Scale	7.56	6.30	5.04	3.15	0	1	1	1	1	1	1	63
Overflow	7.68	6.40	5.12	3.20	1	1	1	1	1	1	1	127

*THE VOLTAGES LISTED BELOW ARE THE IDEAL CENTERS OF EACH OUTPUT CODE SHOWN AS A FUNCTION OF ITS ASSOCIATED REFERENCE VOLTAGE.



Dimensions and pad layout for CA3300H.

Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

The photographs and dimensions of each COS/MOS chip represent a chip when it is part of the wafer. When the wafer is cut into chips, the cleavage angles are 57° instead of 90° with respect to the face of the chip. Therefore, the isolated chip is actually 7 mils (0.17 mm) larger in both dimensions.

Data Conversion Circuits
CA3300

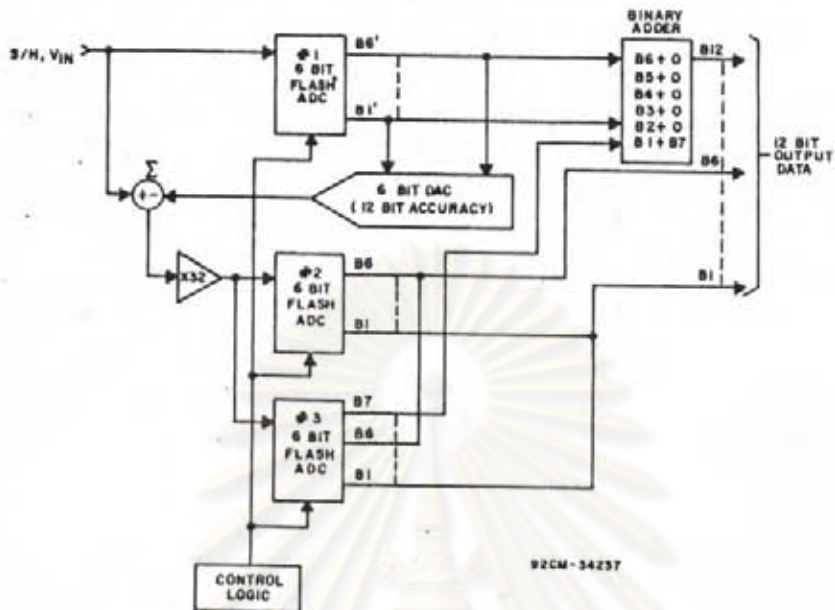


Fig. 15 - Typical CA3300 800-nanosecond 12-bit ADC system.

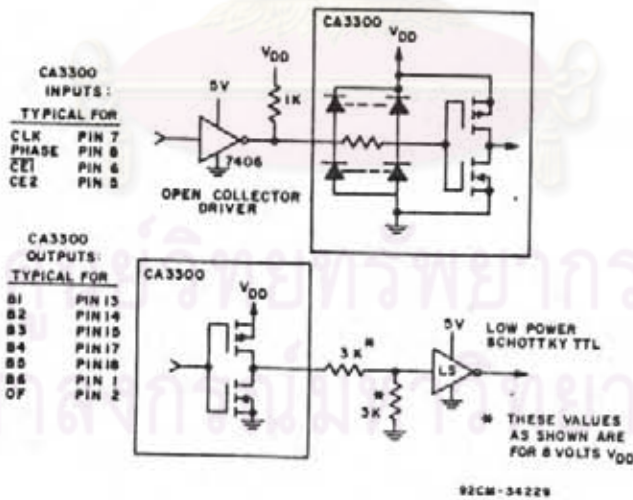


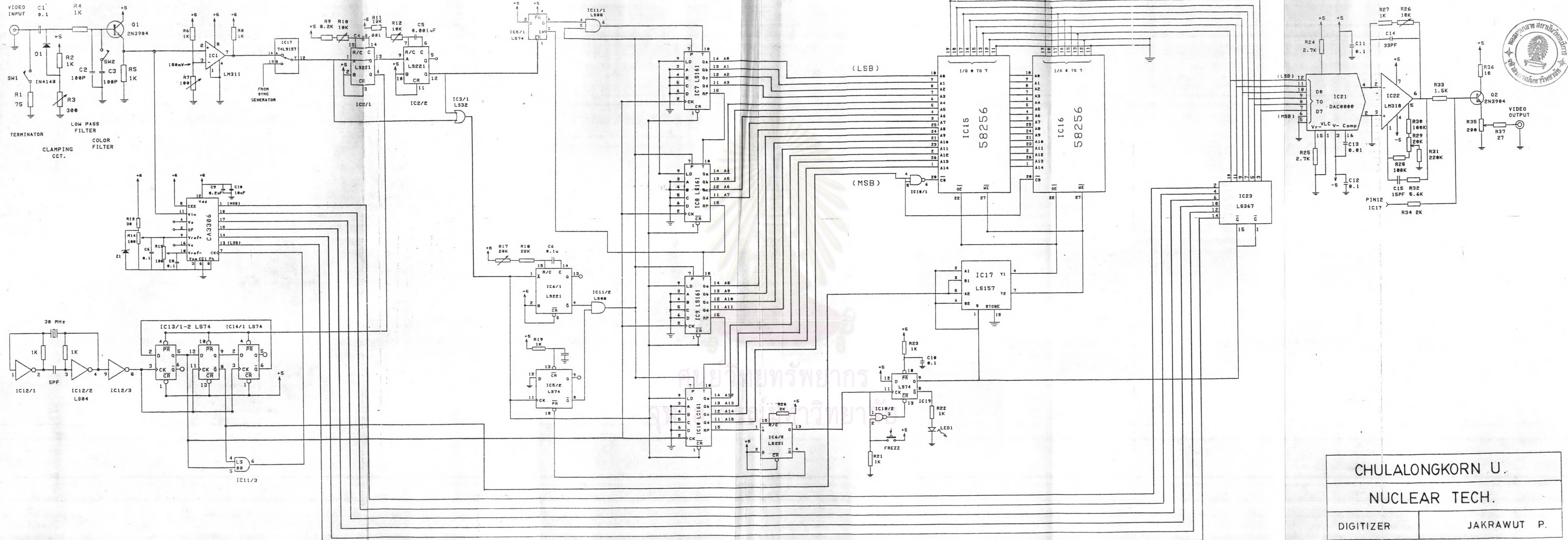
Fig. 16 - TTL interface circuit for V_{DD} > 5.5 volts.

ภาคผนวก ฉ

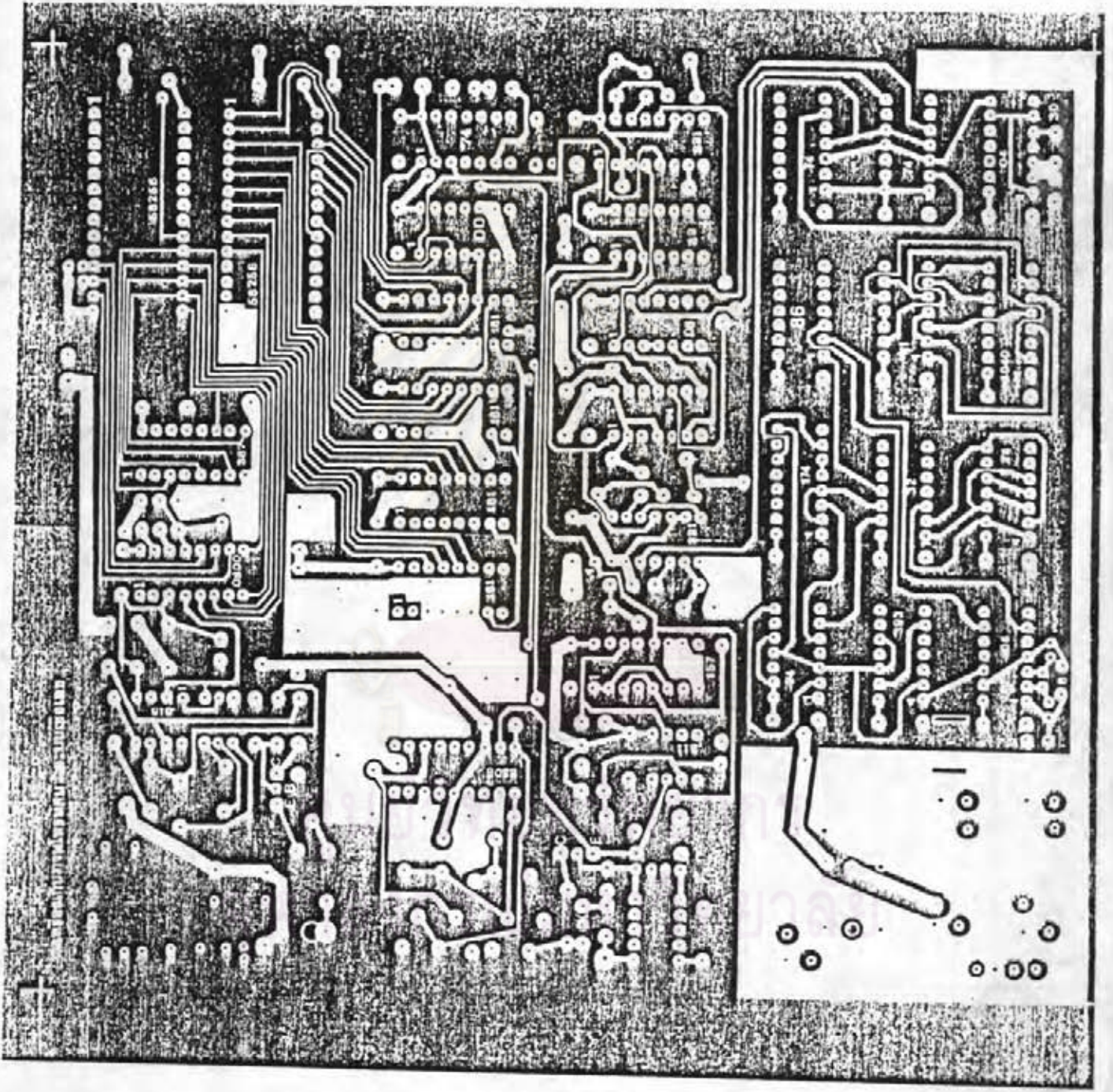
วงจรถิ่นทิวและลาตวงจรถิ่นทิว



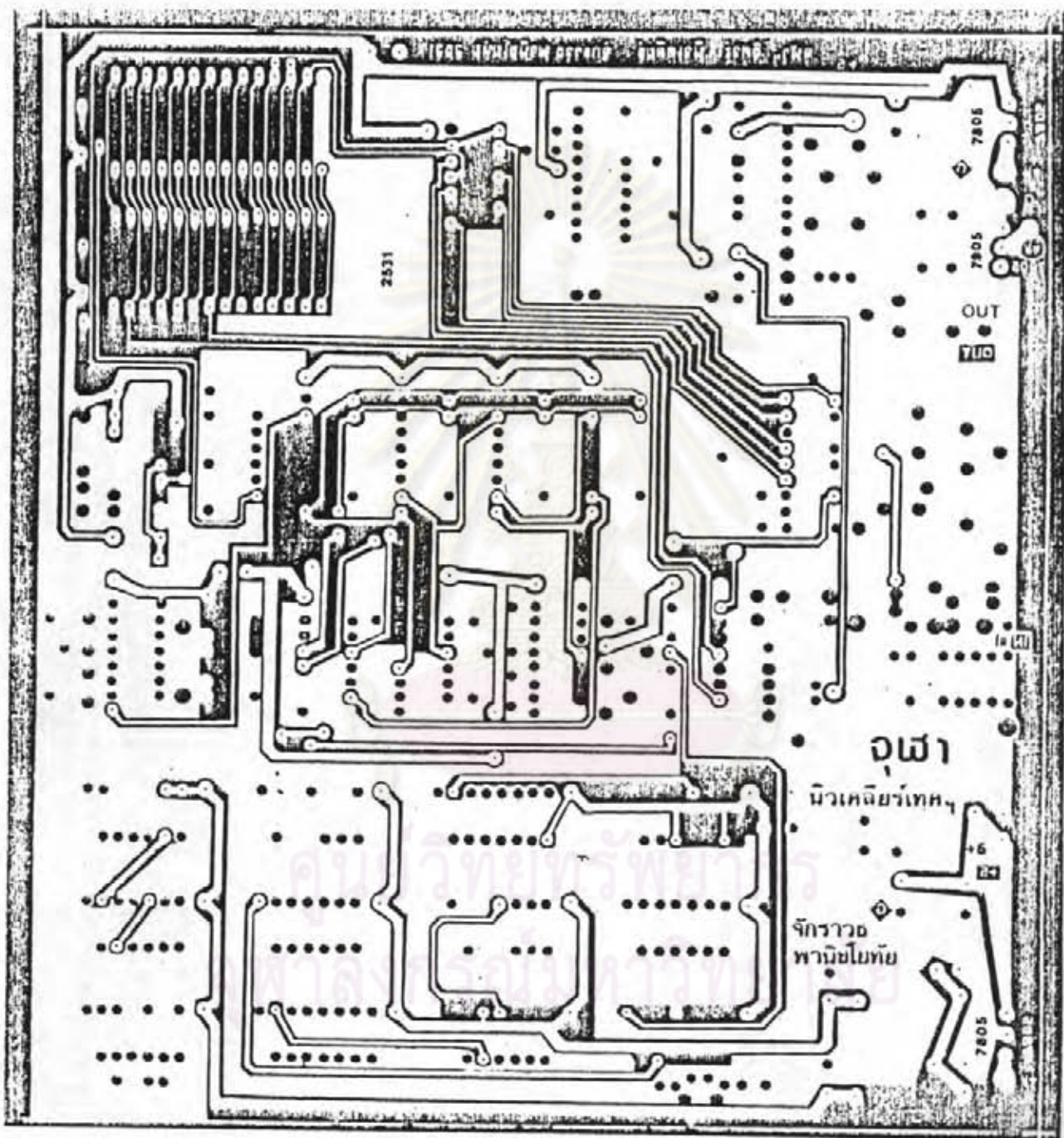
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



CHULALONGKORN U.
 NUCLEAR TECH.
 DIGITIZER JAKRAWUT P.



๓.๒ ลายแผ่นพิมพ์วงจรเก็บภาพด้านหน้า



๓.๓ ลายแผ่นพิมพ์วงจรเก็บภาพด้านหลัง



ประวัติผู้เขียน

นาย จักรราช พานิชโยทัย เกิดเมื่อวันที่ 6 เมษายน พ.ศ. 2503 ที่อำเภอเมือง จังหวัดนครราชสีมา จบการศึกษาระดับปริญญาตรีจาก ภาควิชารังสีเทคนิค คณะเทคนิคการแพทย์ สิริราชพยาบาล มหาวิทยาลัยมหิดล ได้รับปริญญาวิทยาศาสตรบัณฑิต (รังสีเทคนิค) ในปี พ.ศ. 2525 จากนั้นจึงได้เข้าศึกษาต่อที่ ภาควิชานิวเคลียร์ เทคโนโลยี คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปี พ.ศ. 2528

ประวัติการทำงาน

บริษัท เซริง(ประเทศไทย) จำกัด ในตำแหน่ง Contrast Media Detailer ในระหว่างปี พ.ศ. 2525 ถึงปี พ.ศ. 2526

โรงพยาบาล เพชรบุรีตัดใหม่ ในตำแหน่งนักรังสีเทคนิค ระหว่างปี พ.ศ. 2526 ถึงปี พ.ศ. 2527

โรงพยาบาล เปาโลเมโมเรียล ในตำแหน่งนักรังสีเทคนิคคนนอกเวลา ระหว่างปี พ.ศ. 2528 ถึง ปี พ.ศ. 2530

บริษัท สยามอิเล็กทรอนิกส์พาร์ท จำกัด ในตำแหน่งวิศวกรฝ่ายวิจัย ในระหว่างปี พ.ศ. 2532 ถึงปี พ.ศ. 2533

ผลงาน

ออกแบบเครื่องตรวจสอบ CDI unit ของรถจักรยานยนต์ฮาม่า

ออกแบบเครื่องบ่มอายุ CDI aging ของรถจักรยานยนต์ฮาม่า

ออกแบบเครื่องตรวจสอบความส่องสว่างหน้าปัทม์ Illumination tester

ของรถจักรยานยนต์ฮาม่า

Conceptual design เครื่อง Balancing และ เครื่อง Ignition

tester ของ Flywheel magneto rotor ของรถจักรยานยนต์ฮาม่า