หอสมุดกลาง
จุฬาลงกรณมหาวิทยาลัย

บทที่ ๒

ระบบเครื่องคอมพิวเตอร์ PDP-8/E

เครื่อง PDP-8/E[1] เป็นเครื่องคอมพิวเตอร์ขนาดเล็ก ผลิตโดยบริษัท Digital Equipment Coperation ออกแบบสำหรับใช้กับงานทั่วไป ลักษณะโครงสร้างของเครื่องสามารถขยายหรือเพิ่มเติม โมดูล (Module) พิเศษสำหรับงานเฉพาะอย่างลงไปได้ ลักษณะคำสั่งใช้ 12 bit-word มีขนาดส่วนความจำหลัก 4 K words เป็นระบบแรนดอมแอดเซส (Random Access) แบบวงแหวนแม่เหล็ก สามารถขยายส่วนความจำนี้เพิ่มขึ้นได้เต็มที่ 32 K words ในบทนี้จะศึกษาถึงส่วนประกอบของเครื่อง (Hardware) บางส่วนที่เกี่ยวข้องกับวิทยานิพนธ์ เพื่อเข้าใจวิธีการทำงานของเครื่องฯ สามารถนำไปพิจารณาในการออกแบบสัญญาณอินเตอร์เฟซ (Interface) ที่ใช้กับส่วนความจำแบบวัสดุกึ่งตัวนำ และวงจรควบคุมต่าง ๆ

[2] โอมนิบัส (OMNIBUS)

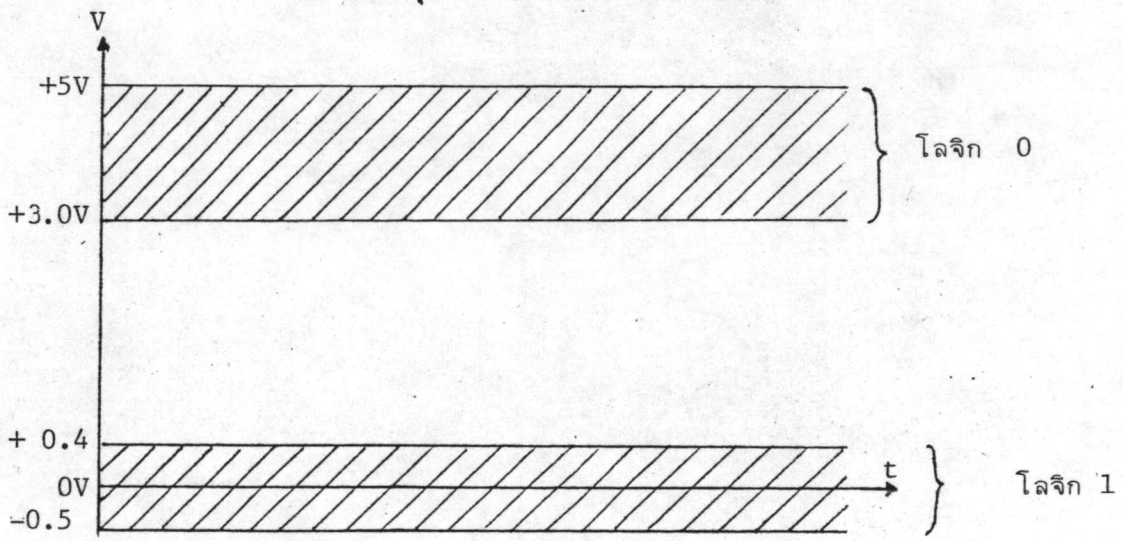
บัส (BUS) ที่ติดต่อกันภายในเครื่องคอมพิวเตอร์ ทำการส่งสัญญาณและคำสั่งจากโมดูลหนึ่งไปยังอีกโมดูลหนึ่ง DEC เรียกบัสนี้ด้วยชื่อเฉพาะว่า โอมนิบัส

โอมนิบัส มีลักษณะเป็นปรินท์ บอร์ด (Print Board) วางอยู่ส่วนล่างสุดของเครื่อง มีคอนเนคเตอร์ (Connector) ต่อเรียงแถวกันอยู่ใช้สำหรับเสียบแผ่นโมดูลต่าง ๆ ของระบบเครื่อง ทุก ๆ พิน (Pin) ในคอนเนคเตอร์ทุกตัวมีการกำหนดสัญญาณที่แน่นอน ๙๖ สัญญาณ ถูกสร้างโดยวงจรสร้างสัญญาณควบคุมเวลา (Timing Generator) ครอบคลุมถึงสัญญาณการส่งข้อมูลที่เกี่ยวกับที่อยู่ (Address) หรือ ข้อมูล (Content) เวลาใช้งานสามารถจะเอาแผ่น โมดูลใด ๆของเครื่องเสียบลงตำแหน่งใดก็ได้ เครื่องจะทำงานเหมือนเดิม จะเห็นว่าเมื่อต้องการออกแบบโมดูล เพื่อจะต่อเข้ากับเครื่อง ต้องศึกษาลักษณะของสัญญาณเหล่านี้อย่างละเอียดเสียก่อน ข้อดีของโอนิบัส ก็คือ ทุก ๆ คอนเนคเตอร์จะได้รับสัญญาณเหมือนกัน การใช้โอนิบัส จะลดความยุ่งยากจากการต่อสายระหว่างโมดูล

ต่อกับโมดูลลง และถ้าหากบางโอกาสที่ต้องการใช้ โมดูล มากกว่า ๑ แผ่น ก็สามารถจะต่อถึงกันได้ โดยใช้ คอนเนคเตอร์ แบบ ชีล เคเบิล (Shielded Cable) หรือ สายเคเบิลแฟลทริบบอน (Flat Ribbon) ทั้งนี้ ขึ้นกับความเหมาะสมกับงาน จะเห็นว่าการใช้โอนิบัสนี้ จะลดการเดินสายไฟลงให้น้อยที่สุด

ระดับสัญญาณที่ใช้กับโอมนิบัส เป็น เนคตีบโลจิก (Negative Logic) แบบ ทีทีแอล โดยมีระดับโลจิกดังนี้ (รูปที่ 1 ประกอบ)

โลจิก	1	ศักดาสูงสุด	เท่ากับ	0.4 Volt
		ศักดาต่ำสุด	เท่ากับ	-0.5 Volt
โลจิก	0	ศักดาสูงสุด	เท่ากับ	5.0 Volts
		ศักดาต่ำสุด	เท่ากับ	3.0 Volts



รูปที่ 1 แสดงระดับโลจิก

(2)

สัญญาณโอมนิบัส

ประกอบด้วยสัญญาณต่าง ๆ ๙๖ สัญญาณ การกำหนดพินบนคอนเนคเตอร์ ดังรูปที่ ๒ โดยสัญญลักษณ์ L และ H แสดงระดับสัญญาณที่ทำงาน คอนเนคเตอร์แบ่งออกเป็น ๔ ช่อง A,B,C,D และมี ๒ ด้าน เรียกด้าน ๑ และด้าน ๒ แต่ละช่วงของคอนเนคเตอร์ จะกำหนดพินจาก A ถึง V

ยกเว้น G, I, O และ Q เนื่องจากพยัญชนะและสระเหล่านี้ ลักษณะใกล้เคียงกับพยัญชนะและตัวเลขอื่น ๆ (รูปที่ ๒ ประกอบ)

การสร้างสัญญาณเวลา (Timing Generator)[1]

ระบบสร้างสัญญาณเวลา ตามรูปที่ ๓ จะเป็นตัวจัดสัญญาณใช้กับส่วนความจำ และโปรเซสเซอร์ โดยการทำงานของส่วนความจำแบบวงแหวนแม่เหล็กใช้สัญญาณทั้งหมด ๕ ตัว และการทำงานของ โปรเซสเซอร์ใช้สัญญาณ ๘ ตัว องค์ประกอบของระบบสร้างสัญญาณเวลานี้ ส่วนสำคัญคือ ชีฟ รีจิสเตอร์ (Shift Register) แบบเคลื่อนที่ไปทางขวาจำนวน ๒๘ บิท การเคลื่อนที่จะขึ้นอยู่กับสัญญาณคล๊อก (Clock) ที่สร้างขึ้นโดยใช้คริสตอล เป็นตัวออสซิเลเตอร์ (Oscillator) ขนาดความถี่ ๒๐ เมกกะเฮิสซ์ และมีช่วงกว้างของสัญญาณคล๊อกเท่ากับ 50 nsec

ดังนั้นช่วงวัฏจักรรอบของเวลาเท่ากับ 50 ns คูณ 28 บิทมีค่าเป็น 1400 ns และเมื่อสัญญาณตามโอมนิบัสสร้างครบในช่วง 1.4μSce นี้แล้ว ก็จะเริ่มวัฏจักรรอบเวลาใหม่อีกเช่นนี้เรื่อย ๆ ไป

ไดอะแกรมของเวลา (Timing Diagram)

ทั้งส่วนความจำ และโปรเซสเซอร์ มีวัฏจักรการทำงานอยู่ ๒ แบบ คือ วัฏจักรช้า (Slow Cycle) ใช้เวลา 1.4 μsec และวัฏจักรเร็ว (Fast Cycle) ในเวลา 1.2 μsec การทำงานโดยปกติของเครื่อง จะเป็นแบบวัฏจักรช้า และวัฏจักรเร็วจะใช้กับ การ FETCH และ DEFERL ระหว่างวัฏจักรช้าและเร็วนี้จะมีความเร็วต่างกัน 200 nsec

ก. วัฏจักรเวลาของโปรเซสเซอร์

จัดสัญญาณ Time State โดยใช้ R-S ฟลิปฟลอป ๔ ตัว ตามรูปที่ ๔ ฟลิปฟลอป แต่ละตัวเอา NOR เกท ๒ ตัว มาต่อไขว้กัน และควบคุมโดยสัญญาณที่มาจาก ชีฟ รีจิสเตอร์ สำหรับ Time Pulse เอามาจาก ชีฟ รีจิสเตอร์โดยตรง ผ่าน NOR gate ๔ ตัว สร้าง Time Pulse ได้ ๔ state ในกรณีที่มีสัญญาณ Power Preset L เกิดขึ้นจากการเปิด หรือปิดสวิทซ์เครื่อง

สัญญาณนี้จะไป พรีเซท ฟลิบฟลอบ TS1 และล้าง (Clear) ฟลิบฟลอบ TS2 TS3 และ TS4

ทั้งสัญญาณ Time State และ Time Pulse ทำหน้าที่ควบคุมการทำงานของเครื่องทั้งหมด

ข. <u>วัฏจักรเวลาของส่วนความจำแบบแหวนแม่เหล็ก</u>

สร้างสัญญาณควบคุมการนำเอาข้อมูลเข้าและออกจากส่วนความจำ โดยใช้สัญญาณทั้งหมด ๕ ตัว สัญญาณแต่ละตัวสร้างได้โดยเอา R-S ฟลิบฟลอบที่ใช้ NOR gate มาต่อ ตามรูปที่ ๕ ถูกควบคุมด้วยสัญญาณจาก ซีพรีจิสเตอร์ และเมื่อเปิดหรือปิดเครื่องสัญญาณ PRESETL จะล้างฟลิบ-ฟลอบทุกตัวให้เป็นสูญหมด

<u>ระบบความจำ</u>(1)

เครื่องคอมพิวเตอร์ PDP-8/E นี้ใช้วงแหวนแม่เหล็กแบบแรนดอม แอคเซส ลักษณะการจัดระบบเป็นแบบ 3D รายละเอียดดูได้จากหนังสือ คู่มือการซ่อมบำรุงรักษาเครื่อง PDP-8/E

ลำดับการทำงานของระบบความจำ

ก. แปลรหัสและเลือกตำแหน่งของส่วนความจำวงแหวนแม่เหล็ก จำนวน 12 bit-word ที่เก็บข้อมูลอยู่ หรือจะเอาข้อมูลใหม่เข้ามาเก็บ

ข. ทำการอ่านข้อมูลจำนวน 12 bit-word ในตำแหน่งของส่วนความจำวงแหวนแม่เหล็กที่ถูกเลือกเอาไว้แล้วออกไป

ค. การเขียนข้อมูลจำนวน 12 bit-word กลับเข้าไปใน ส่วนความจำวงแหวนแม่เหล็กในตำแหน่งเดิม

การทำงานนี้แสดงในรูปที่ ๖ และรูปที่ ๘ ในรอบของวัฏจักรเวลาของหน่วยความจำเริ่มต้นด้วยโปรเซสเซอร์ บอกตำแหน่งที่อยู่ให้ก่อนทุกครั้งก่อนทำการอ่านหรือเขียน โดยที่อยู่นี้จะถูกเก็บไว้ใน CPMA (Central Processor Memory Address) รีจิสเตอร์ และโหลด (Load) โดย Time pulse TP4 เข้าไปยัง MA line หลังจากนั้นจะแปลรหัส (Decode) เลือกหาตำแหน่งที่อยู่ในส่วนความจำวงแหวนแม่เหล็ก เมื่อมีสัญญาณ RETURN สัญญาณ SOURCE และสัญญาณ WRITE L

เกิดขึ้น ข้อมูลที่เก็บไว้ตามตำแหน่งที่อยู่ ที่หาได้แล้วจะถูกอ่านออกจากหน่วยความจำทั้ง 12 bit-word ไปเข้าวงจร Sense Amplifier ซึ่งจะทำหน้าที่ขยายสัญญาณให้มีระดับสูงขึ้นจากนั้น จะส่งข้อมูลต่อไปยังรีจิสเตอร์ส่วนความจำ (Memory Register) เพื่อเก็บข้อมูลเอาไว้ชั่วคราว โดยมีสัญญาณ MD DIR L เป็นตัวควบคุมการปิด หรือเปิดเกทให้กับรีจิสเตอร์ตัวนี้ ถ้าหากเป็นการนำข้อมูลจากภายนอกเข้าเก็บในส่วนความจำสัญญาณ MD DIR L จะมีสภาวะสูง (High) เพื่อเปิดเกทรีจิสเตอร์ส่วนความจำไม่ให้ข้อมูลเดิมในตำแหน่งที่อยู่ ที่ต้องการเอาข้อมูลเข้ามาเก็บ เขียนกลับเข้าไปในส่วนความจำในช่วง วัฏจักรการเขียน (write cycle) ฉะนั้นในกรณีของวัฏจักรการอ่าน (Read Cycle) สัญญาณ MA DIR L จะมีสภาวะต่ำ (LOW) เพื่อเปิดเกทแก่รีจิสเตอร์ส่วนความจำ และปิดเกทแก่รีจิสเตอร์ บัฟเฟอร์ส่วนความจำ (Memory Buffer Register) เพื่อมิให้ข้อมูลจากรีจิสเตอร์ตัวนี้ส่งเข้าไปยัง MD line (Memory Data Line) โดย MA Line ทำหน้าที่ ๒ ทาง คือ ส่งข้อมูลจากรีจิสเตอร์ส่วนความจำไปยัง รีจิสเตอร์บัฟเฟอร์ส่วนความจำ ในช่วงวัฏจักรการอ่าน และส่งข้อมูลจากรีจิสเตอร์บัฟเฟอร์ส่วนความจำไปยังวงจรอินฮิบิทไดรเวอร์ (Inhibit driver) ช่วงวัฏจักรการเขียน

สาเหตุที่ต้องมีวัฏจักรการเขียนก็เนื่องจาก ข้อมูลในส่วนความจำแบบวงแหวนแม่เหล็กนี้เมื่อทำการอ่านออกมา ข้อมูลจะมีการเปลี่ยนแปลง ดังนั้นจึงต้องเอาข้อมูลเดิมใส่เข้าไปอีก เพื่อให้ข้อมูลเหมือนเดิม

(1)
ทางเดินของสัญญาณ (Data Paths)

ใน โอมนิบัส ประกอบด้วยบัสหลาย ๆบัส มี MEMORY DATA (MD) BUS DATA BUS MEMORY ADDRESS (MA) BUS ยกเว้น MAJOR REGISTOR BUS ที่ไม่อยู่ใน โอมนิบัส รูปที่ ๙ แสดงทางเดินของสัญญาณภายในเครื่อง โดย MB บัส ทำหน้าที่ถ่ายเทข้อมูลระหว่าง รีจิสเตอร์ส่วนความจำ กับ รีจิสเตอร์บัฟเฟอร์ส่วนความจำ และ MA บัสจะทำหน้าที่รับข้อมูลที่เป็นตำแหน่งที่อยู่จากรีจิสเตอร์ CPMA ส่งต่อไปยังวงจรแปลรหัสที่อยู่ (Address Decoder) ให้แก่หน่วยความจำ สำหรับ DATA บัสจะรับข้อมูลจาก สวิทช์รีจิสเตอร์ (Switch Register) โดยกำหนดจากคีย์สวิทช์ (Key Switch) ที่โปรแกรมเมอร์คอนโซล (Programmer's Console) และถ่ายเทข้อมูลเข้าออก

ระหว่าง เฟอริเฟอรอล (Pheripheral) กับส่วนทำงานภายในเครื่อง ส่วนเมอเจอร์รีจีสเตอร์บัส (Major Register Bus) ทำหน้าที่เป็นทางเดินเชื่อมต่อระหว่าง DATA บัสกับ MD บัส เพื่อติดต่อกับรีจีสเตอร์อื่น ๆ

ฟร้อน พาแนล (Front Panel)[1]

เป็นส่วนที่ผู้ใช้จะติดต่อกับเครื่อง โดยการทำงานแบบแมนนวล (Mamual) แสดงผลโดยหลอดไฟที่แผงหน้าเครื่อง เพื่อให้ผู้ใช้เครื่องสามารถดูข้อมูล และรายละเอียดอื่น ๆที่เก็บอยู่โปรเซสเซอร์ และเมเจอร์รีจีสเตอร์ต่าง ๆ แสดงดังรูปที่ ๑๐ และ ๑๑

การทำงานแบบนี้ประกอบด้วย คีย์สวิทช์ที่ฟร้อนพาแนล

ก. Key Switch ทำหน้าที่กำเนิดสัญญาณต่าง ๆที่เกี่ยวข้องกับการทำงานของเครื่อง ได้แก่ Switch Register, ADD Load, EXTD Load, DEP, EXAM, CONT, CLEAR SING STEP, HALT การทำงานของ Key Switch ใช้ Negative logic

เมื่อ Key Close (กด) = +5 Volts

Key Open (ไม่กด) = o Volt

ข. Switch Register ใช้คีย์สวิทช์ ๑๒ ตัว สำหรับป้อนเป็นที่อยู่ และข้อมูลจำนวน ๑๒ บิท ให้แก่ รีจีสเตอร์ CPMA และรีจีสเตอร์บัฟเฟอร์ ส่วนความจำโดยทำงานร่วมกับคีย์ DEP, ADDR Load, EXTD Load ขึ้นอยู่กับว่าโปรแกรมเมอร์ต้องการควบคุมการทำงานอะไรในขณะนั้น

ค. ADDR Load Key ใช้โหลดข้อมูลที่เป็นที่อยู่จากสวิทช์รีจีสเตอร์คีย์ จำนวน ๑๒ บิท ให้แก่รีจีสเตอร์ CPMA

ง. EXTD Load Key ใช้โหลด สวิทช์รีจีสเตอร์คีย์ตำแหน่งบิทที่ ๖ ถึงบิทที่ ๘ ซึ่งเป็นตำแหน่งที่อยู่ที่ขยายเพิ่มขึ้น (Extended Address) เข้าไปยังฟิลด์ของคำสั่ง (Instruction field) และฟิลด์ของข้อมูล (Data field) ในโมดูล Km8-E ซึ่งเป็นโมดูลสำหรับขยายตำแหน่งที่อยู่ (Address) เมื่อต้องการขยายส่วนความจำเป็นเพิ่มขึ้น

จ. DEP Key ใช้นำข้อมูลที่สวิทช์รีจีสเตอร์ เข้าไปเก็บในส่วนความจำตามตำแหน่งที่กำหนดใน รีจีสเตอร์ CPMA

ฉ. EXAM Key ใช้นำข้อมูลที่เก็บไว้ใน Memory ตามตำแหน่งที่อยู่ที่รีจีสเตอร์ CPMA กำหนด ออกมาที่รีจีสเตอร์บัฟเฟอร์ส่วนความจำ (MB)

ช. CONT Key ใช้เมื่อเริ่มต้นการทำงานของวัฏจักรเวลา โดยสร้างสัญญาณ เริ่มต้นการทำงานของส่วนความจำขึ้น โดยสร้างสัญญาณ MEM START L ขึ้นมา

ซ. CLEAR Key สร้างสัญญาณเริ่มต้น INITIALIZE เพื่อล้าง AC LINK และเฟอริเฟอรอลแฟลก (pheripneral flag) อื่น ๆ

ฌ. SING STEP Switch และ HALT Switch เครื่องคอมพิวเตอร์สามารถหยุดโดยอัตโนมัติ เมื่อกดคีย์อันใดอันหนึ่ง โดยสร้างสัญญาณ STOP L ขึ้นมา เพื่อหยุดวัฏจักรเวลา หลังจากนั้นเครื่องจะหยุดการทำงาน

คีย์ทุกตัวดูได้ในภาคผนวก ก.

เทคนิคการควบคุมการโหลดที่อยู่ (Address) แก่ รีจีสเตอร์ CPMA

การโหลดที่อยู่ของเครื่อง PDD-8/E นี้ทำได้ ๒ วิธี คือ

ก. Direct Memory Access

ข. Processor Timing Cycle

ก. วิธี Direct Memory Access เมื่อทำการติดต่อกับเครื่องโดยผ่านฟร้อนพาแนลทางคีย์สวิทช์ ADDR Load และ EXTD Load โดยวิธีนี้ ข้อมูลที่เป็นที่อยู่ถูกเก็บใน CPMA และข้อมูลที่เป็นที่อยู่ที่ต้องการขยายออกไป (Extended Address) ถูกส่งไปยังโมดูล KM8-E เพื่อเตรียมการจัดฟิลด์ (Field Select) ให้แก่ส่วนความจำ

ข. วิธี Processor Timing Cycle เมื่อต้องการให้เครื่อง ทำการประมวลผล (RUN) การทำงานตามลักษณะนี้ วงจรสร้างสัญญาณควบคุม (Timing Generator) จะสร้างสัญญาณต่าง ๆ ตามวัฏจักรของโปรเซสเซอร์ ฉะนั้นการโหลดที่อยู่ของแต่ละคำสั่ง จะถูกโหลดเข้าไปเก็บใน

CPMA ในช่วง TP4 เท่านั้น และหลังจากนั้น เครื่องจะทำการอ่านและเขียนข้อมูลเข้า และออกจากหน่วยความจำคำสั่งที่เก็บไว้ในหน่วยความจำส่วนนี้ จนกระทั่งพบคำสั่งหยุด หรือผู้ใช้กดคีย์ SING STEP หรือ HALT เครื่องก็จะหยุดทำงาน

จากวงจรรูปที่ ๑๒ ผู้วิจัยทำการทดลองสัญญาณต่าง ๆ ที่เกี่ยวข้องกับการโหลด CPMA เพื่อหาข้อมูล และได้ผลจากการทดลองตามตารางที่ ๑ สามารถสรุปได้ดังนี้

๑. กรณีกดคีย์ EXTD Load สัญญาณ KEY CONT L อยู่ในสภาวะต่ำ (Low) ดังนั้น CPMA ไม่ถูก enable ด้วยสัญญาณ PULSE LOAD ผลที่ได้คือ บิทที่ ๖ ถึง ๘ ของสวิทช์รีจีสเตอร์ ถูกโหลดเข้าไปยังโมดูลขยายตำแหน่งที่อยู่ เพื่อเลือกฟิลด์การทำงานให้แก่ส่วนความจำ เนื่องจากการทำงานของเครื่องจะให้ทำงานที่ละ 4 K-words จนกระทั่งถึง 32 K-words แบ่งออกเป็น ๘ ฟิลด์ ดังนั้น ถ้าหากขยายส่วนความจำเพิ่มขึ้นจาก 4 K-words จะต้องกำหนดฟิลล์ให้แก่ส่วนความจำที่เพิ่มขึ้นโดยเพิ่มที่ละ 4 K-words ฟิลด์อื่นที่ไม่ถูกเลือกส่วนของความจำส่วนนั้นก็จะไม่ทำงาน

๒. กรณีกด ADDR Load สัญญาณ PULSE Load จะ enable แก่ CPMA เนื่องจาก KEY CON L อยู่ในสภาวะสูง (High) ดังนั้น ตำแหน่งที่อยู่ที่กำหนดขึ้นด้วยสวิทช์ รีจีสเตอร์ ทั้ง ๑๒ บิท จะถูกเก็บอยู่ในรีจีสเตอร์

๓. กรณีกด CONT Key,DEP Key และ EXAM Key การทำงานของรีจีสเตอร์ CPMA จะเป็นไปตามวัฏจักรโปรเซสเซอร์ ข้อมูลที่เป็นอยู่จะถูกโหลดเข้าไปใน CPMA ในช่วง TP_4

<u>เทคนิคการควบคุมการโหลดแก่ รีจีสเตอร์ บัฟเฟอร์ส่วนความจำ (M B Registor)</u>

การโหลด รีจีสเตอร์ MB นี้ เกิดในช่วง วัฏจักรโปรเซสเซอร์ TP_2 โดยที่เอาท์พุท (Output) ของรีจีสเตอร์นี้ถูกควบคุมโดยสัญญาณ MD DIR จะเปิดเกทให้เมื่อ MD DIR อยู่ในสภาวะสูง (High) เท่านั้น

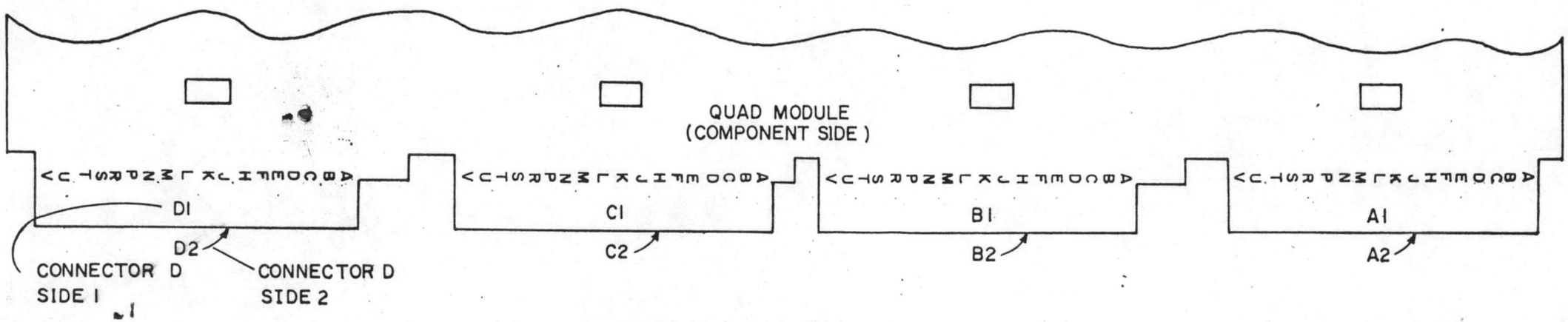
<u>สัญญาณควบคุมการถ่ายเทข้อมูลระหว่าง รีจีสเตอร์ MB กับส่วนความจำหลัก</u>

สัญญาณ MD DIR L ทำหน้าที่ควบคุมการถ่ายเทข้อมูลจากรีจีสเตอร์ MB เข้าสู่ MD

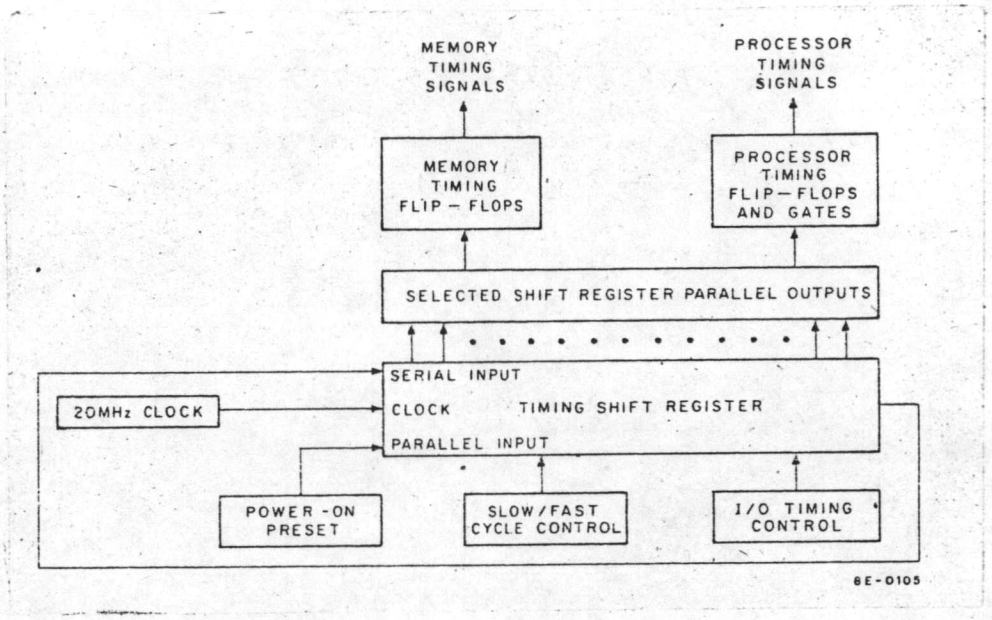
BUS ในช่วงวัฏจักรการเขียน ระดับของสัญญาณ MD DIR L ขึ้นอยู่กับวัฏจักรการทำงานขณะนั้นว่าเป็นแบบใด ถ้าหากเป็น FETCH หรือ DEFER L แล้ว ในช่วงวัฏจักรการเขียน (Write-Cycle) สัญญาณ MD DIR L อยู่ในสภาวะต่ำ (Low) ส่วนวัฏจักรการทำงานประเภทอื่น ๆ นอกจากวัฏจักรอ่าน (Read Cycle) MD DIR L จะอยู่ในสภาวะสูง (High) และสัญญาณนี้สร้างขึ้นในช่วงวัฏจักรโปรเซสเซอร์ที่ TP_2 การล้าง (clear) สัญญาณนี้จะล้างในวัฏจักรโปรเซสเซอร์ถัดไป โดยล้างใน Time State TS_1 วงจรการสร้างสัญญาณ MD DIR L แสดงดังรูปที่ ๑๔

PIN	D1	D2	C1	C2	B1	B2	A1	A2
A	TP	+15V	TP	+5V	TP	+5V	TP	+5V
B	TP	-15V	TP	-15V	TP	-15V	TP	-15V
C	GND	GND	GND	GND	GND	GND	SP GND *	GND
D	MA8L	IRØL	I/O PAUSE L	TP1H	MA4L	INT STROBE H	MAØL	EMAØL
E	MA9L	IRIL	CØL	TP2H	MA5L	BRK IN PROG L	MAIL	EMAIL
F	GND	GND	GND	GND	GND	GND	GND	GND
H	MAIØL	IR2L	CIL	TP3H	MA6L	MA,MS LOAD CONT L	MA2L	EMA2L
J	MAIIL	FL	C2L	TP4H	MA7L	OVERFLOW L	MA3L	MEM START L
K	MD8L	DL	BUS STROBE L	TS1L	MD4L	BREAK DATA CONT L	MDØL	MD DIR L
L	MD9L	EL	INTERNAL I/O L	TS2L	MD5L	BREAK CYCLE L	MDIL	SOURCE H
M	MDIØL	USER MODE H	NOT LAST XFER L	TS3L	MD6L	LA ENABLE L	MD2L	STROBE H
N	GND	GND	GND	GND	GND	GND	GND	GND
P	MDIIL	F SET L	INT ROST L	TS4L	MD7L	INT IN PROG H	MD3L	INHIBIT H
R	DATA 8L	PULSE LA H	INITIALIZE H	LINK DATA L	DATA 4 L	RES1H	DATA ØL	RETURN H
S	DATA 9L	STOP L	SKIP L	LINK LOAD L	DATA5L	RES2H	DATA1L	WRITE H
T	GND	GND	GND	GND	GND	GND	GND	GND
U	DATA 10L	KEY CONTROL L	CPMA DISABLE L	IND1L	DATA6L	RUN L	DATA2L	ROM ADDRESS L
V	DATA 11L	SW	MS,IR DISABLE L	IND2L	DATA 7L	POWER OK H	DATA3L	LINK L

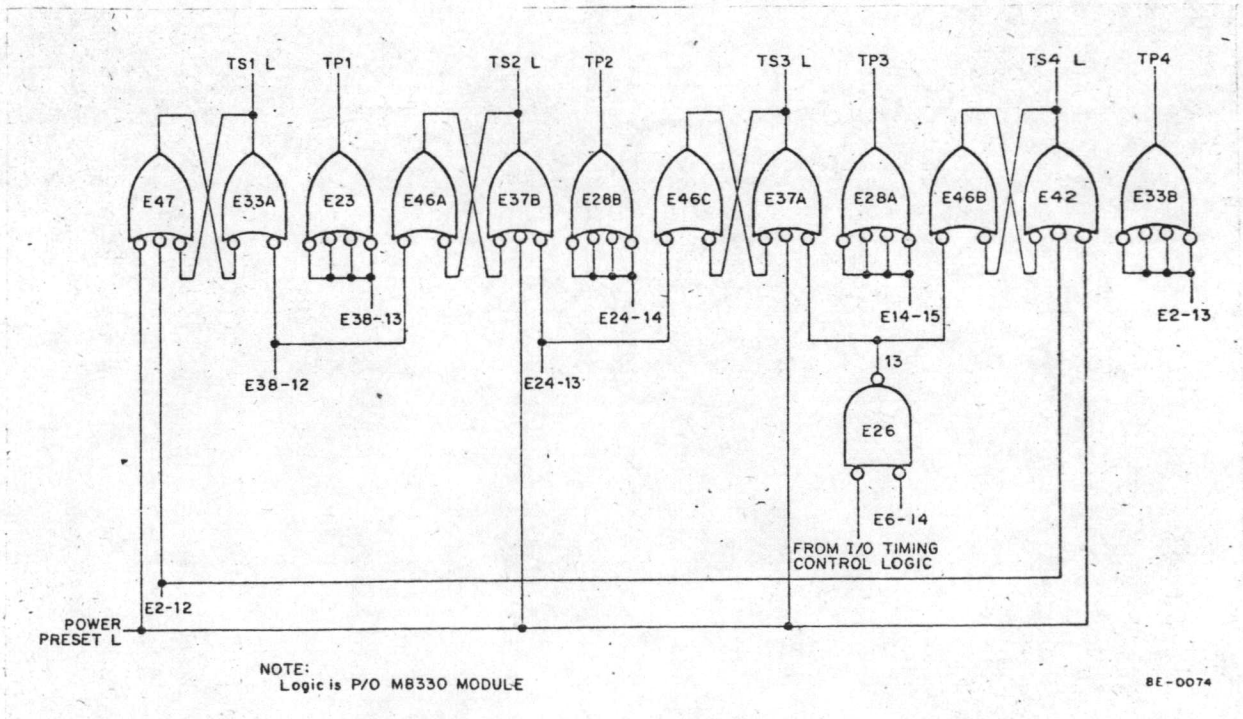
* THIS PIN CONNECTED TO GROUND ON THE BUS, BUT SERVES AS A LOGIC SIGNAL WITHIN MODULES TO FACILITATE TESTING.



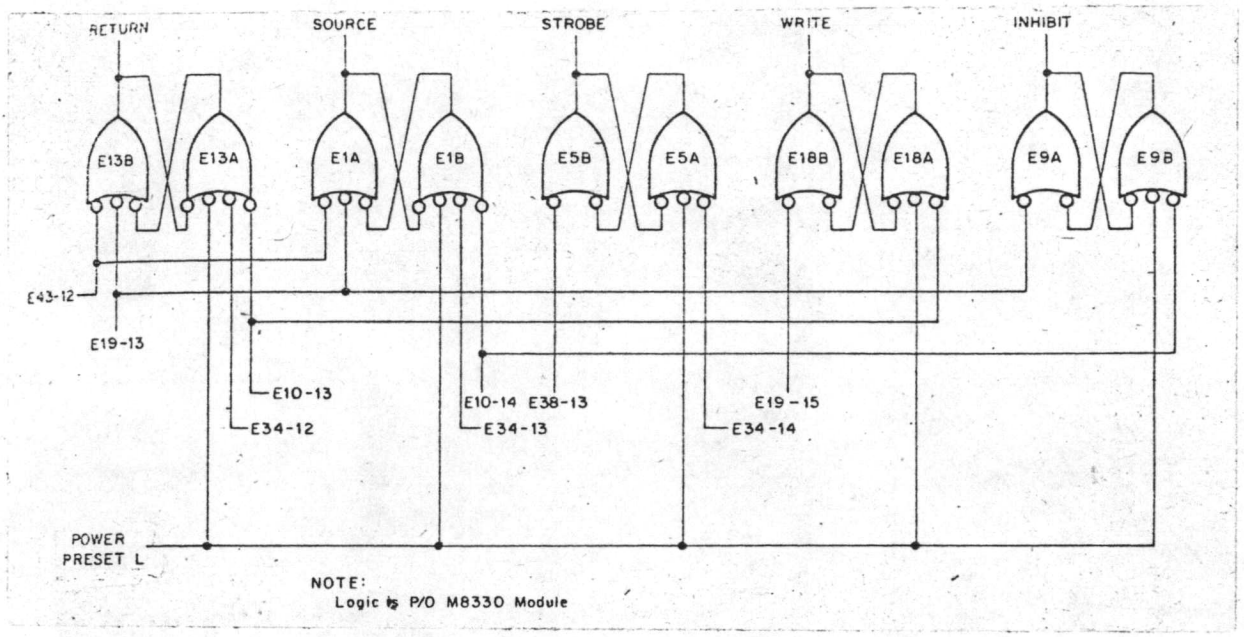
รูปที่ ๒ OMNIBUS Pin Assignment



รูปที่ ๓ แสดงองค์ประกอบของระบบสร้างสัญญานควบคุมเวลา

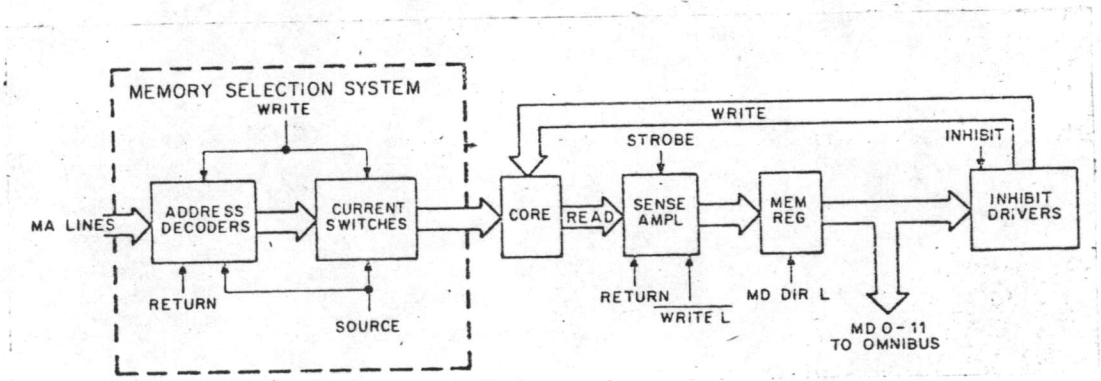


รูปที่ ๔ แสดงวงจรสร้างวัฏจักรเวลาของโปรเซสเซอร์

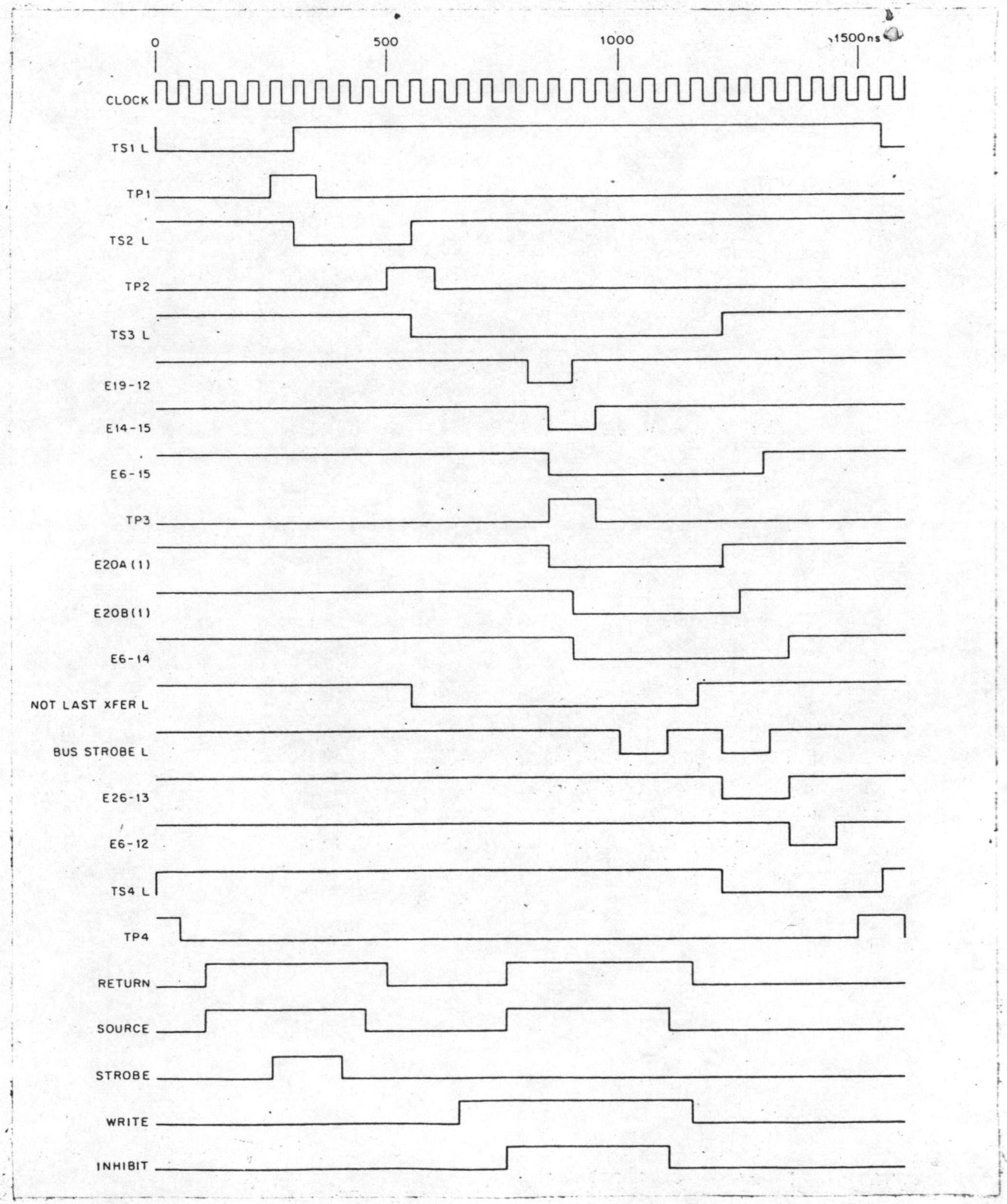


รูปที่ ๕ แสดงวงจรสร้างวัฏจักร เวลาส่วนความจำ

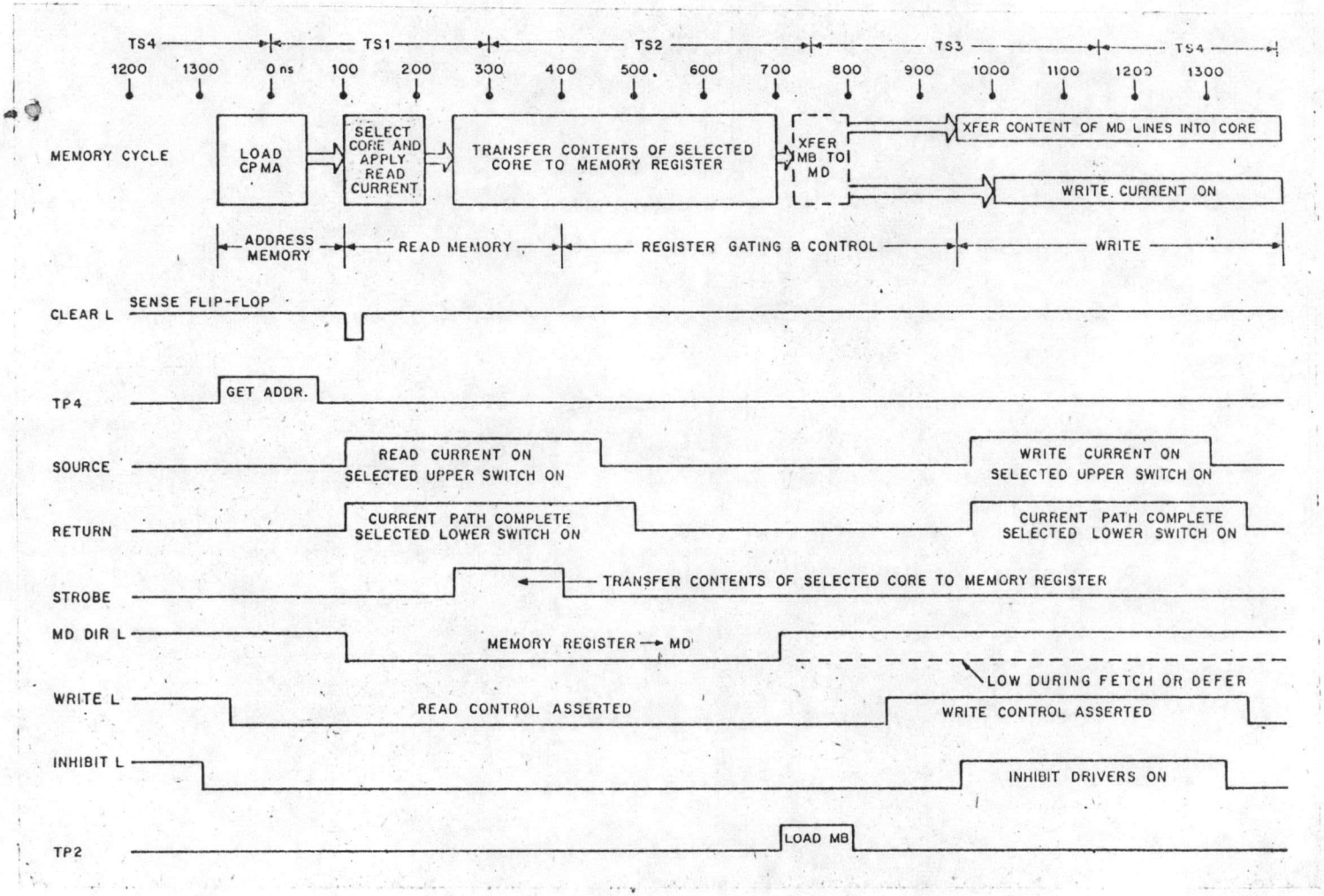
005796



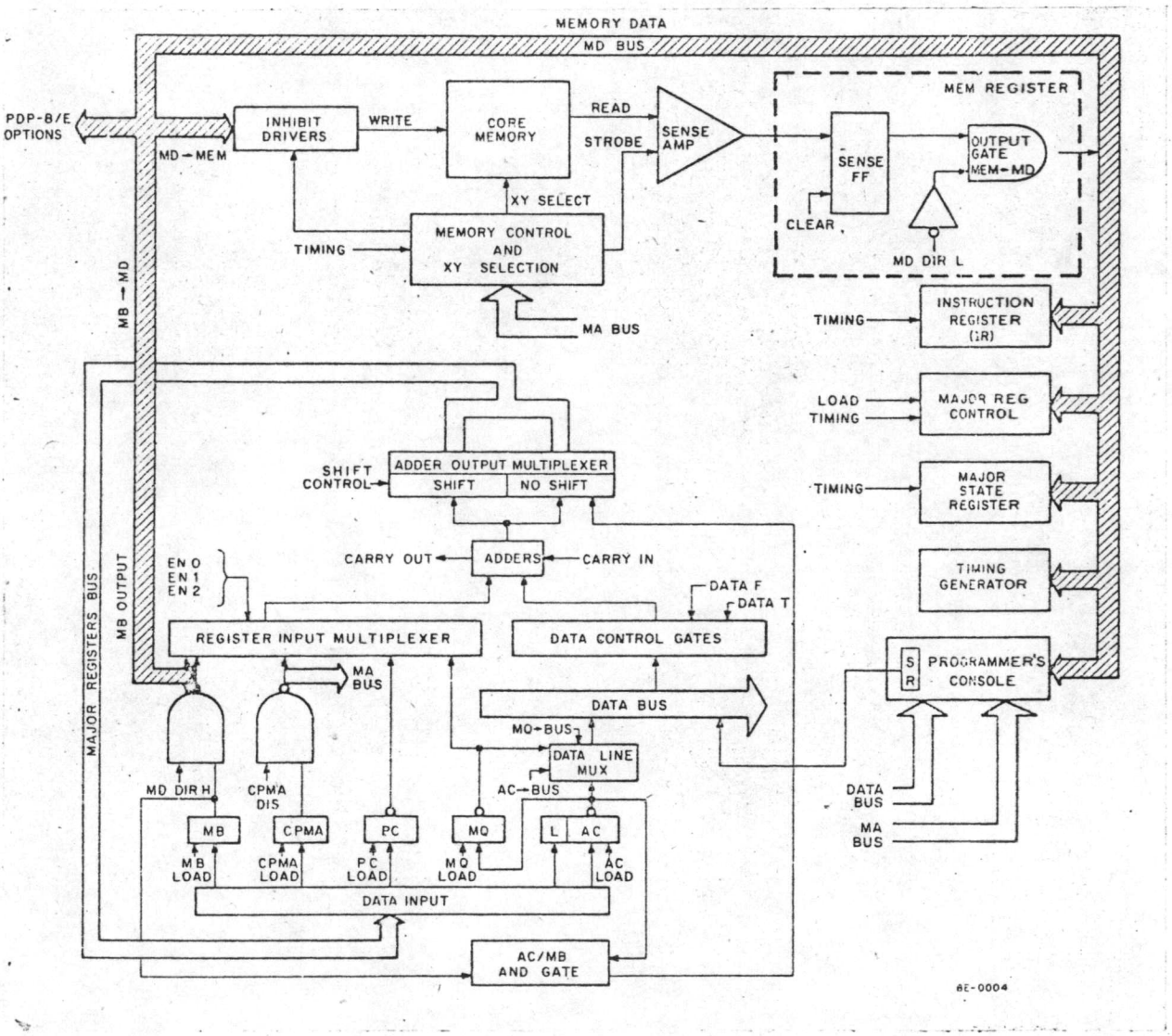
รูปที่ ๖ แสดง Memory System Functional flow diagram



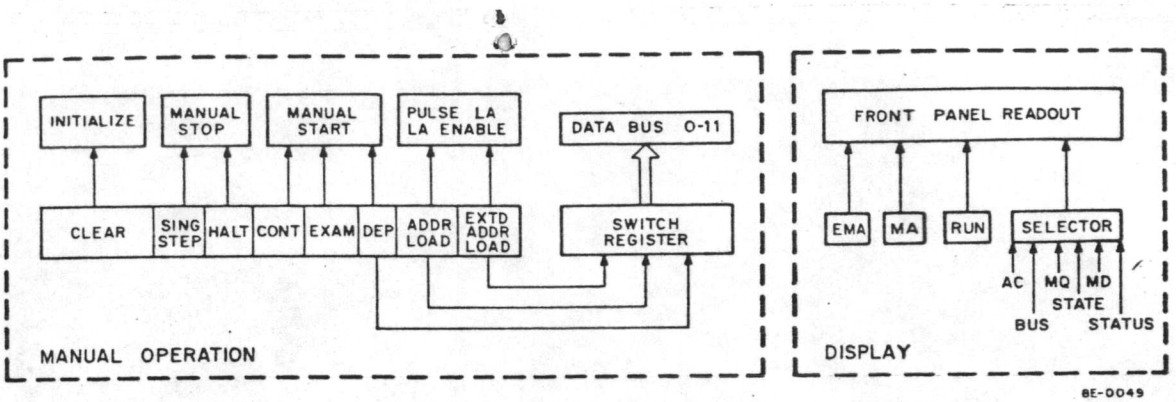
รูปที่ ๗ แสดงไดอะแกรมสัญญาณเวลาวัฏจักรส่วนความจำ และโปรเซสเซอร์



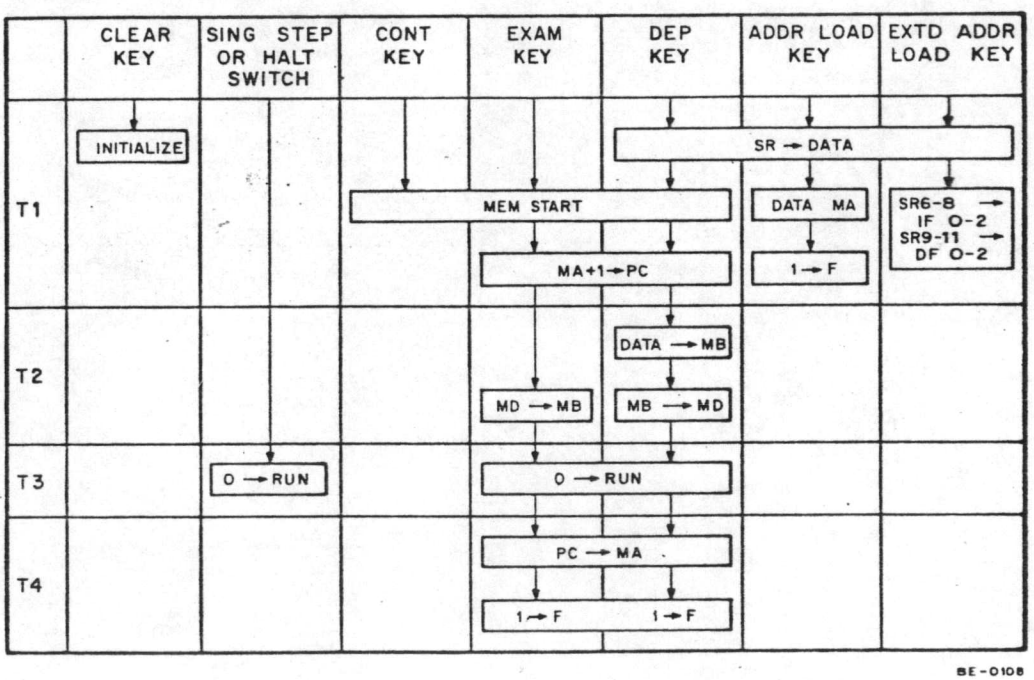
รูปที่ ๘ แสดงวัฏจักรเวลาส่วนความจำ



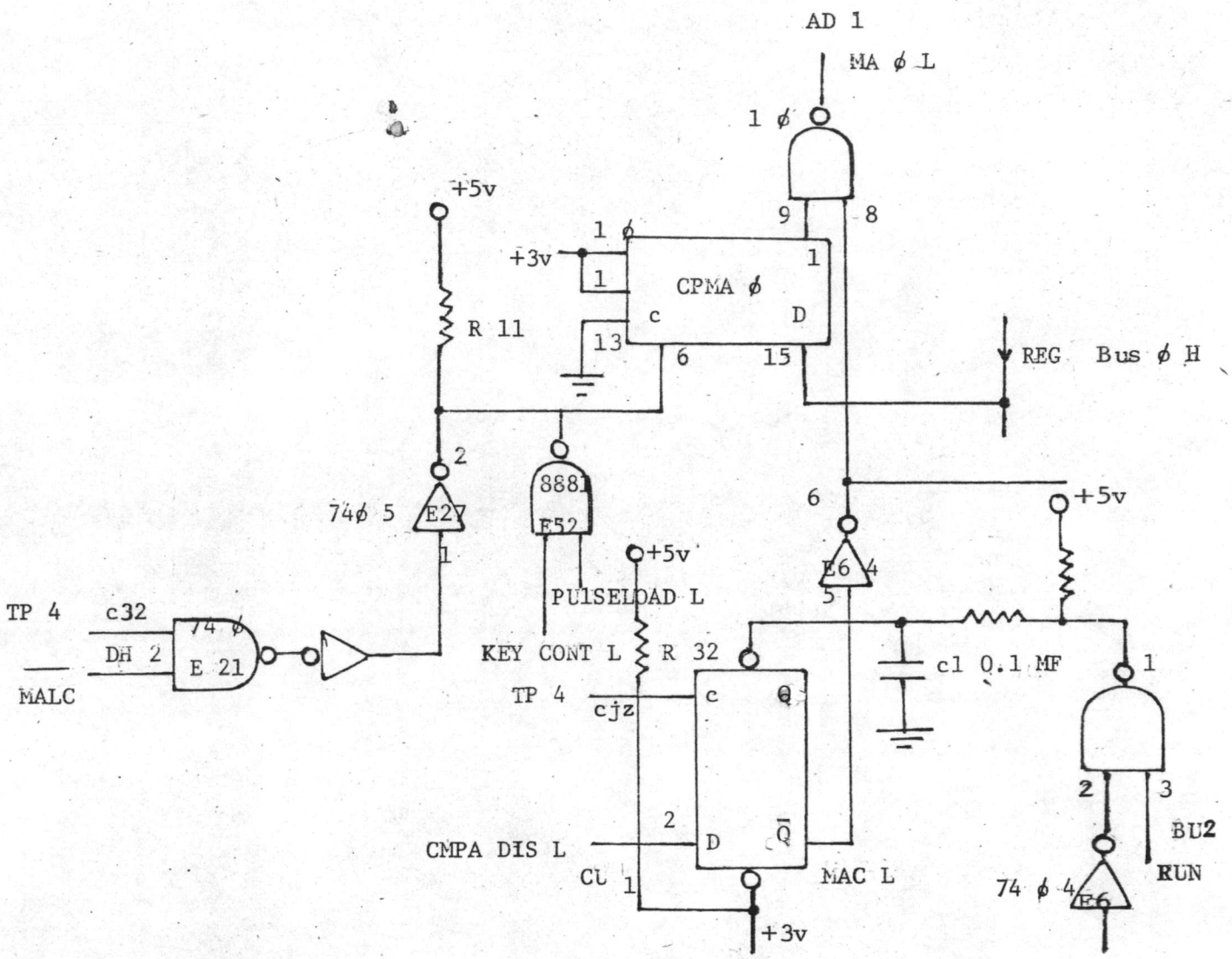
รูปที่ ๙ แสดงทางเดินของสัญญาน



รูปที่ ๑๐ แสดงบล๊อกไดอะแกรม ของโปรแกรมเมอร์ คอนโซล



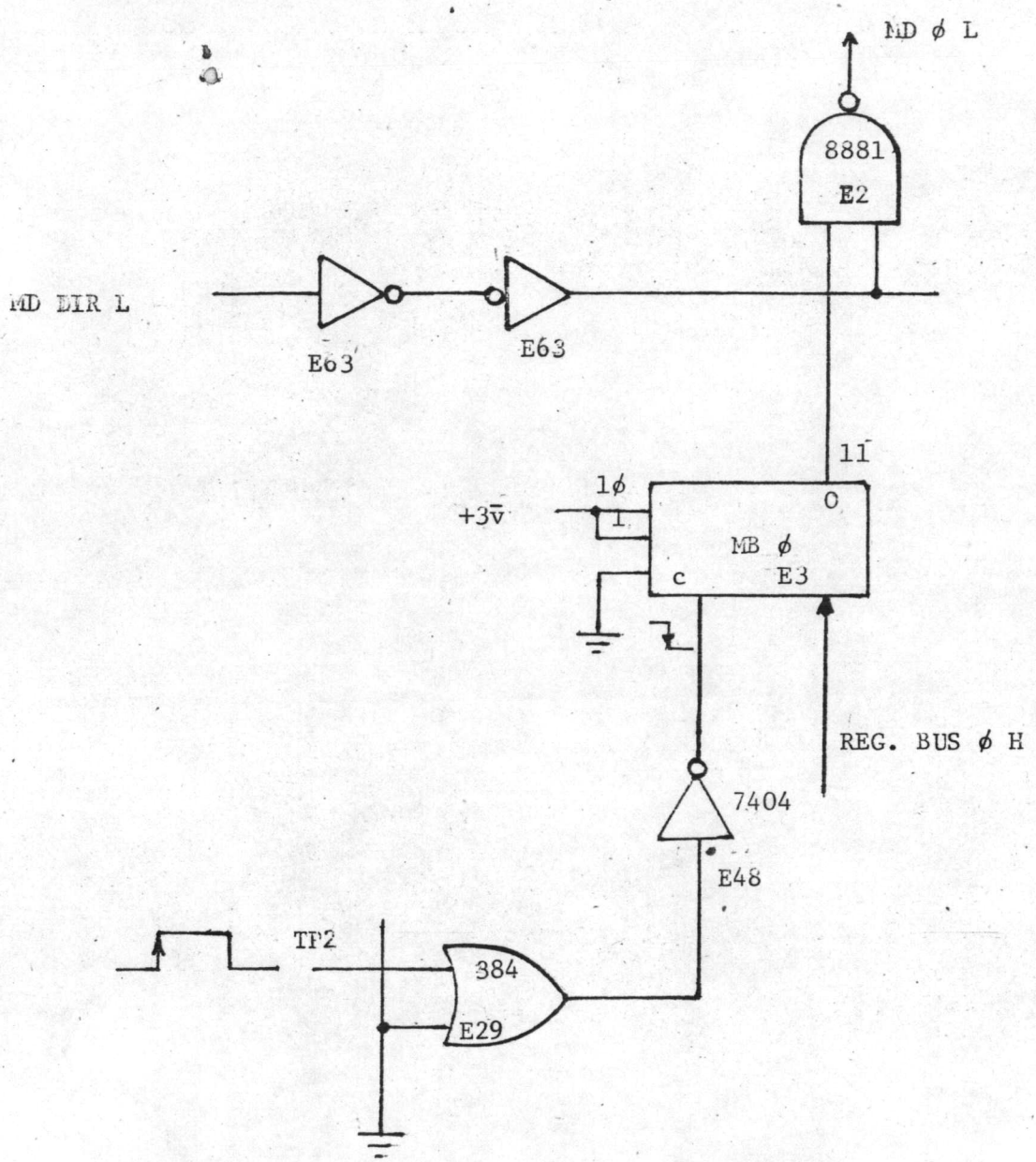
รูปที่ ๑๑ แสดง Flow Diagram ของการทำงานแบบแมนนวล



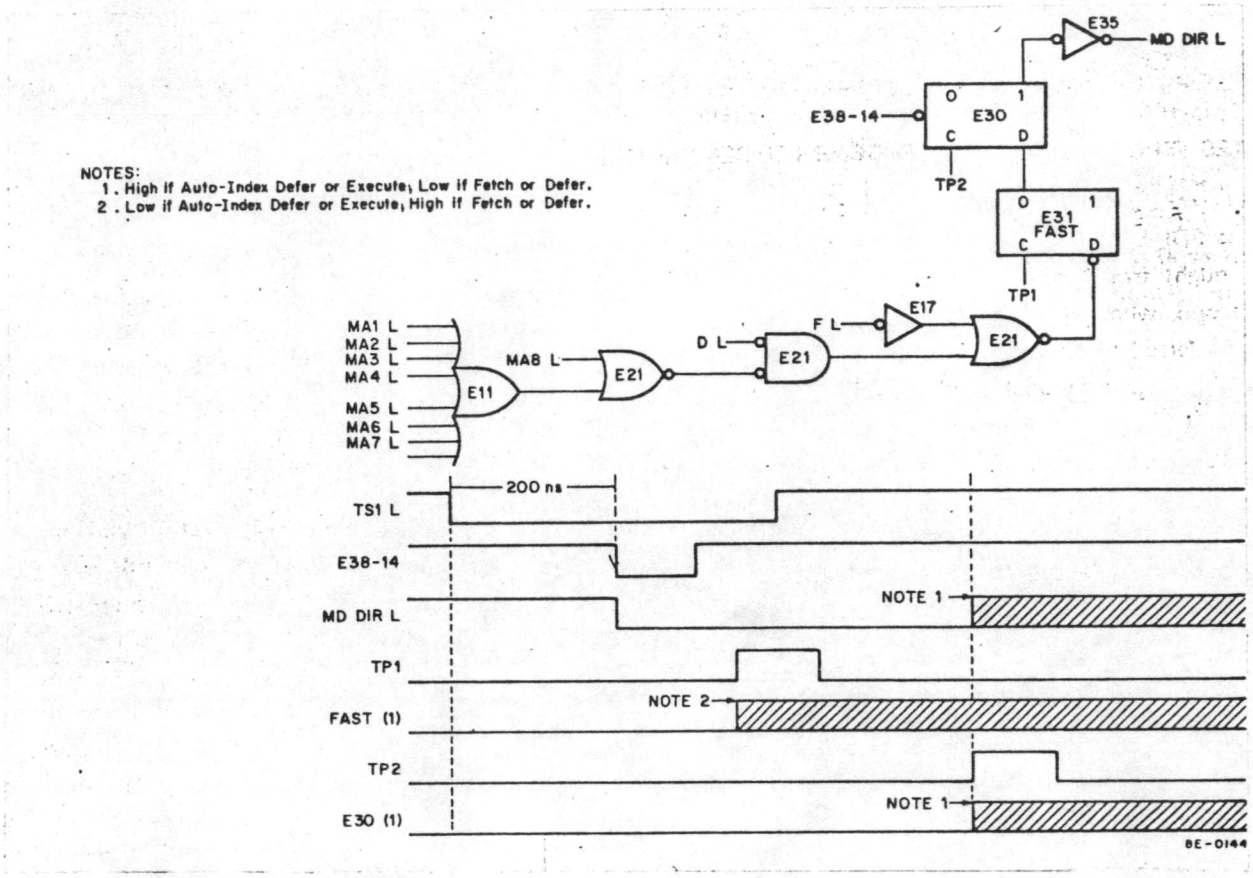
รูปที่ ๑๒ แสดงวงจรควบคุมการโหลดรีจิสเตอร์ CPMA

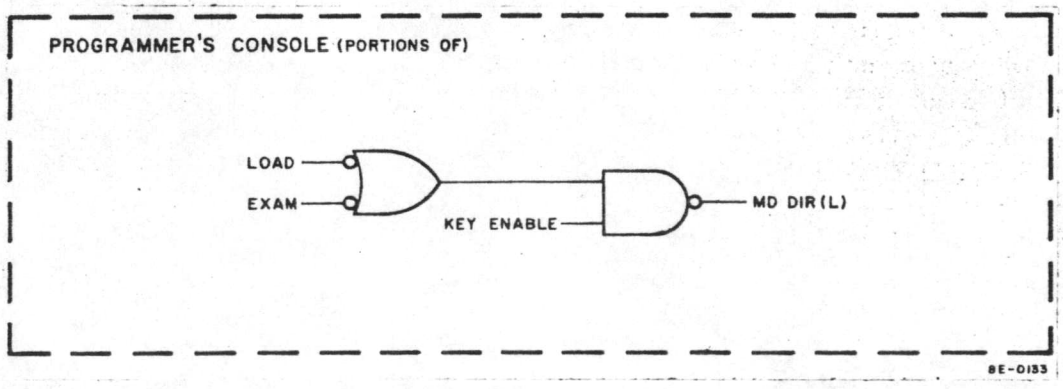
Key Control Front Panl.	TP4	--- MALC	KEY CONT.	PULSE LOAD	CPMA DISL	CPMA EN.	RUN	PWROK
Extend Load	-	H	L	400 ns	H	H	H	H
ADDR Load	-	H	H		H		H	H
Con KEY DEP Exam Key	100 ns	H	L	L	H		H	H

ตารางที่ ๑ แสดงผลทดลองโหลดคีย์ต่าง ๆ ที่เกี่ยวกับการโหลด CPMA



รูปที่ ๑๓ แสดงวงจรควบคุมการโหลด MB Register





รูปที่ ๑๔ แสดงวงจรสร้างสัญญาน MD DIR L