การพัฒนาเครื่องมือสำหรับออกแบบวงจรตรรกะเชิงลำดับ โดยใช้แนวคิดเชิงวัตถุ

นางสาว เพชรรัตน์ บูรพาธนะ

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2549

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

DEVELOPING SEQUENTIAL LOGIC CIRCUIT DESIGN TOOL USING OBJECT-ORIENTED CONCEPT

Miss Petcharat Burapathana

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering Program in Computer Engineering

Department of Computer Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2006

Copyright of Chulalongkorn University

491798

DEVELOPING SEQUENTIAL LOGIC CIRCUIT DESIGN TOOL USING OBJECT-ORIENTED CONCEPT

Miss Petcharat Burapathana

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering in Computer Engineering

Department of Computer Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2006

Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์	การพัฒนาเครื่องมือสำหรับออกแบบวงจรตรรกะเชิงลำดับ โดยใช้แนวคิดเชิงวัตถุ
โดย	นางสาว เพชรรัตน์ บูรพาธนะ
สาขาวิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวณิชกุล
อาจารย์ที่ปรึกษาร่วม	อาจารย์ ดร.โปรดปราน บุณยพุกกณะ

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.ดิเรก ลาวัณย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.วิวัฒน์ วัฒนาวุฒิ)

..... อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวณิชกุล)

.....อาจารย์ที่ปรึกษาร่วม
(อาจารย์ ดร.โปรดปราน บุณยพุกกณะ)

.....กรรมการ
(อาจารย์ ดร.อติวงศ์ สุชาโต)

.....กรรมการ
(อาจารย์ สมโชค เรืองอิทธินันท์)

เพชรรัตน์ บูรพาธนะ : การพัฒนาเครื่องมือสำหรับออกแบบวงจรตรรกะเชิงลำดับ โดยใช้แนวคิดเชิงวัตถุ. (DEVELOPING SEQUENTIAL LOGIC CIRCUIT DESIGN TOOL USING OBJECT-ORIENTED CONCEPT) อ.ที่ปรึกษา : ผศ. บุญชัย โสวรรณวณิชกุล, อ.ที่ปรึกษาร่วม : อ. ดร.โปรดปราน บุณยพุกกณะ, 89 หน้า.

การออกแบบฮาร์ดแวร์ในปัจจุบันมีความยุ่งยากและซับซ้อนมากขึ้น เนื่องจากการพัฒนาเทคโนโลยีที่เพิ่มขึ้นอย่างรวดเร็ว นักออกแบบฮาร์ดแวร์จึงควรใช้เวลาไม่มากในการออกแบบ นอกจากนั้น หากเกิดความผิดพลาดในการออกแบบวงจรแม้เพียงเล็กน้อย นักออกแบบจะสูญเสียเวลาในการรื้อและแก้ไขวงจรทั้งหมด จากปัญหาดังกล่าวนี้ มีงานวิจัยหลายงานได้นำเสนอเครื่องมือที่ช่วยนักออกแบบวงจรทางฮาร์ดแวร์ โดยนำแนวความคิดต่างๆ ในการออกแบบซอฟต์แวร์มาประยุกต์ใช้ เช่น การประยุกต์ใช้แนวคิดเชิงวัตถุในการออกแบบวงจรตรรกะเชิงผสม ซึ่งพบว่าสามารถช่วยลดเวลาและความซับซ้อนในขั้นตอนการออกแบบวงจรตรรกะเชิงผสมได้ส่วนหนึ่ง และไม่พบว่ามีงานวิจัยใดที่นำแนวคิดเชิงวัตถุมาประยุกต์ใช้กับการออกแบบวงจรตรรกะเชิงลำดับ ดังนั้นงานวิจัยนี้ จึงนำแนวคิดเชิงวัตถุมาประยุกต์ใช้ในการสร้างเครื่องมือออกแบบวงจรตรรกะเชิงลำดับที่ช่วยลดเวลาและแรงงานในการออกแบบวงจรฮาร์ดแวร์ได้

แนวคิดเชิงวัตถุที่นำมาใช้ในการออกแบบเครื่องมือประกอบด้วย แนวคิดการห่อหุ้ม แนวคิดการถ่ายทอด และแนวคิดการนำกลับมาใช้ โดยเครื่องมือออกแบบวงจรตรรกะเชิงลำดับแบบแนวคิดเชิงวัตถุที่ได้ออกแบบและสร้างขึ้นในวิทยานิพนธ์นี้ประกอบด้วย ส่วนออกแบบวงจรแบบกราฟิกซึ่งนำแนวคิดทั้งสามมาใช้ในการออกแบบ เครื่องมือสังเคราะห์วงจร และส่วนเชื่อมต่อกับเครื่องมือจำลองการทำงาน VeriLogger Pro™ 7.3a ผลการออกแบบและสังเคราะห์วงจรพบว่าสามารถสังเคราะห์วงจรได้ถูกต้องตามหลักการสังเคราะห์วงจรของวงจรมาตรฐาน International Symposium on Circuits and Systems 1989 (ISCAS89)

ภาควิชา.....วิศวกรรมคอมพิวเตอร์.....ลายมือชื่อนิสิต.....เพชรรัตน์ บูรพาธนะ.....

สาขาวิชา.....วิศวกรรมคอมพิวเตอร์.....ลายมือชื่ออาจารย์ที่ปรึกษา.....

ปีการศึกษา.....2549.....ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

4770391621 : MAJOR COMPUTER ENGINEERING

KEY WORD: OBJECT ORIENTED CONCEPT / INHERITANCE / REUSABILITY / ENCAPSULATION / SEQUENTIAL LOGIC DESIGN

PETCHARAT BURAPATHANA : DEVELOPING SEQUENTIAL LOGIC CIRCUIT DESIGN TOOL USING OBJECT-ORIENTED CONCEPT. THESIS ADVISOR : ASST. PROF. BOONCHAI SOWANWANICHKUL, THESIS COADVISOR : PROADPRAN PUNYABUKKANA, Ph.D., 89 pp.

Hardware design is a complex task that demands hardware designer to redesign the circuit each time the specification changes. Previous research offered the use of OO reusability, inheritance, and encapsulation to help hardware designers in the process of hardware design, specifically to the combinational logic design. To contribute to this line of work, this research proposes the application of OO reusability, inheritance, and encapsulation to the design of hardware, particularly the sequential logic design, aiming to increase design performance.

This proposed tool that combines the concept of reusability, inheritance, and encapsulation, encompasses a hardware design GUI drawing tool, a synthesizer, and a simulator that connects to VeriLogger Pro™ 7.3a. The output from the tool produces the same result as the standard International Symposium on Circuits and Systems 1989.

Department.....Computer Engineering.....Student's signature.....

Field of study.....Computer Engineering.....Advisor's signature.....

Academic year.....2006.....Co-advisor's signature.....

กิตติกรรมประกาศ

ขอขอบพระคุณ อาจารย์ ดร.โปรดปราน บุณยพุกกณะ ผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวณิชกุล ผู้ช่วยศาสตราจารย์ ดร. วิวัฒน์ วัฒนาวุฒิ อาจารย์ ดร.อติวงศ์ สุชาโต และอาจารย์ สมโชค เรืองอิทธินันท์ ที่กรุณาให้ความปรึกษาและความช่วยเหลือในด้านต่างๆ ตลอดระยะเวลาที่ทำวิทยานิพนธ์ชิ้นนี้

ขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.เอกชัย ลีลารัศมี ที่กรุณาให้ข้อมูลที่เกี่ยวกับงานวิจัยในภาควิชาวิศวกรรมไฟฟ้า

ขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.ธาราทิพย์ สุวรรณศาสตร์ นายวิบูลย์ บูรพาธนะ นางบุบผา บูรพาธนะ นางสาวศิมาพร บูรพาธนะ นายอริยะ ทวนทอง นางสาวมฑุปายาส ทองมาก นายศรัณย์ ชัยวรวิทย์กุล นายนิพนธ์ ชินะธิมาตร์มงคล นางสาวศิรินุช บุญสุข นายศิรส สุภาวิตา นางสาวเพียงจิต ดารีเยาะห์ สำหรับความช่วยเหลือในด้านต่างๆ คำแนะนำต่างๆ และกำลังใจ

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง
บทคัดย่อภาษาอังกฤษ ..... จ
กิตติกรรมประกาศ ..... ฉ
สารบัญ ..... ช
สารบัญตาราง ..... ฌ
สารบัญรูป ..... ญ
บทที่ 1 บทนำ 1
ความเป็นมาและความสำคัญของปัญหา 1
วัตถุประสงค์ของการวิจัย 4
ขอบเขตของการวิจัย 4
ประโยชน์ที่คาดว่าจะได้รับ 4
วิธีดำเนินการวิจัย 5
บทที่ 2 เอกสารและงานวิจัยที่เกี่ยวข้อง 6
แนวคิดและทฤษฎี 6
เอกสารและงานวิจัยที่เกี่ยวข้อง 10
บทที่ 3 การออกแบบด้วยแนวคิดเชิงวัตถุในการออกแบบวงจรตรรกะเชิงลำดับ 13
แนวคิดการห่อหุ้ม 13
แนวคิดการถ่ายทอด 13
แนวคิดการนำกลับมาใช้ใหม่ 16
บทที่ 4 ขั้นตอนการออกแบบเครื่องมือ สำหรับการออกแบบวงจรตรรกะเชิงลำดับโดยใช้แนวคิดเชิงวัตถุ 18
ส่วนออกแบบวงจรตรรกะเชิงลำดับแบบกราฟิกและการสังเคราะห์วงจร 18
ส่วนเครื่องมือจำลองการทำงาน 33
บทที่ 5 การประยุกต์ใช้แนวคิดเชิงวัตถุ เพื่อช่วยในการออกแบบวงจรในเครื่องมือออกแบบวงจรตรรกะเชิงลำดับ 35
การประยุกต์ใช้คุณสมบัติการห่อหุ้ม (Encapsulation) 35
การประยุกต์ใช้คุณสมบัติการถ่ายทอด (Inheritance) 35
การประยุกต์ใช้คุณสมบัติการนำกลับมาใช้ใหม่ (Reusability) 40

บทที่ 6 การทดลองการออกแบบวงจรตรรกะเชิงลำดับโดยใช้แนวคิดเชิงวัตถุ 43
สภาพแวดล้อมการทดลอง 43
วงจรที่ใช้ในการทดลอง 43
ขั้นตอนการทดลองและผลการทดลอง 43
ประสิทธิภาพของการทำงาน 63
บทที่ 7 บทวิเคราะห์การออกแบบวงจรตรรกะเชิงลำดับโดยใช้แนวคิดเชิงวัตถุ 65
แนวคิดการห่อหุ้ม 65
แนวคิดการถ่ายทอด 65
แนวคิดการนำกลับมาใช้ 66
บทที่ 8 บทสรุป 67
บทสรุป 67
ข้อเสนอแนะ 68
รายการอ้างอิง 70
ภาคผนวก 72
ภาคผนวก ก วิธีการใช้เครื่องมือออกแบบ วงจรตรรกะเชิงลำดับโดยใช้แนวคิดเชิงวัตถุ 73
ก.1 การติดตั้งเครื่องมือที่พัฒนาขึ้นในโปรแกรม 73
ก.2 การเรียกใช้งานเครื่องมือออกแบบวงจรตรรกะเชิงลำดับ 73
ก.3 การใช้งานส่วนออกแบบวงจรแบบกราฟิก 73
ก.3.1 การใช้เกทสำหรับออกแบบวงจร 74
ก.3.2 การใช้สายสัญญาณสำหรับออกแบบวงจร 75
ก.3.3 การใช้จุดเชื่อมต่อสำหรับออกแบบวงจร 76
ก.3.4 การใช้วงจรบล็อกสำหรับออกแบบวงจร 78
ก.4 การใช้งานเครื่องมือสังเคราะห์วงจร 79
ก.5 การใช้งานเครื่องมือจำลองการทำงาน Verilogger Pro 79
ภาคผนวก ข 82
ผลงานตีพิมพ์ 82
ประวัติผู้เขียนวิทยานิพนธ์ 89

สารบัญตาราง

หน้า

ตารางที่ 1 แสดงการเปรียบเทียบข้อดีข้อเสียของไลบรารีช่วยในการพัฒนาเครื่องมือชนิดต่างๆ..32
ตารางที่ 2 แสดงความสัมพันธ์ระหว่างจำนวนบิท(จำนวนเกท)และเวลาที่ใช้ในการสังเคราะห์วงจร และจำลองการทำงานเป็นวินาทีและนาที ตามลำดับ และเทียบกับเวลาที่ใช้ในงานวิจัยก่อนหน้า 64
ตารางที่ 3 แสดงการเปรียบเทียบความสามารถในการทำงานระหว่างเครื่องมือจำลองการทำงาน เครื่องมือออกแบบวงจรตรรกะเชิงผสม และเครื่องมือออกแบบวงจรตรรกะเชิงลำดับ.....64

สารบัญรูป

หน้า

รูปที่ 1.1 แสดงการออกแบบซีพียูเบื้องต้น....2
รูปที่ 1.2 แสดงขั้นตอนการออกแบบวงจรฮาร์ดแวร์....2
รูปที่ 2.1 แสดงเกทชนิดต่างๆ....7
รูปที่ 2.2 แสดงฟลิปฟลอปชนิดต่างๆ....8
รูปที่ 2.3 แสดงตัวอย่างสมการเน็ตลิสต์ของวงจรตรรกะเชิงลำดับ....11
รูปที่ 3.1 แสดงคลาสของเกทเบื้องต้นที่ใช้ในการออกแบบวงจร....13
รูปที่ 3.2 แสดงการถ่ายทอดของคลาสอุปกรณ์....15
รูปที่ 3.3 แสดงการถ่ายทอดของคลาสแอนด์เกทเป็นคลาสแอนด์อินเวอร์เตอร์เกท....16
รูปที่ 3.4 แสดงวงจรดีฟลิปฟลอปซึ่งสร้างจากเกทพื้นฐานที่ถูกสร้างเป็นวงจรบล็อก....16
รูปที่ 3.5 แสดงตัวอย่างการนำวงจรบล็อกดีฟลิปฟลอปกลับมาใช้....17
รูปที่ 3.6 แสดง Aggregation ของคลาส AndNot....17
รูปที่ 4.1 แสดงขั้นตอนของเครื่องมือสำหรับการออกแบบวงจรตรรกะเชิงลำดับ....18
รูปที่ 4.2 แสดงตัวอย่างไลบรารี Graphic Editor....19
รูปที่ 4.3 แสดงคลาสไดอะแกรมของการพัฒนาเครื่องมือจากไลบรารี Graphic Editor....20
รูปที่ 4.4 แสดงตัวอย่างการพัฒนาไลบรารี Graphic Editor เพื่อสร้างเครื่องมือออกแบบวงจรตรรกะเชิงลำดับ....21
รูปที่ 4.5 แสดงตัวอย่างคำสั่งที่ใช้งานของไลบรารี LEADTOOLS® VCL....22
รูปที่ 4.6 แสดงตัวอย่างการใช้ไลบรารี Image++....22
รูปที่ 4.7 แสดงตัวอย่างการใช้ไลบรารี FlexGraphics....23
รูปที่ 4.8 แสดงการวาดเกททั้งแปดชนิด....24
รูปที่ 4.9 แสดงการวาดฟลิปฟลอปทั้ง 3 ชนิด....25
รูปที่ 4.10 แสดงการเชื่อมต่อสายให้อุปกรณ์แอนด์เกท....26
รูปที่ 4.11 แสดงการเชื่อมต่อสายสัญญาณเพิ่มเป็นแอนด์สามอินพุต....26
รูปที่ 4.12 แสดงการเชื่อมต่อสายสัญญาณ....26
รูปที่ 4.13 แสดงการเลือกวงจรจากไลบรารีเพื่อสร้างวงจรบล็อก....27
รูปที่ 4.14 แสดงการกำหนดการเชื่อมต่อสายสัญญาณกับอุปกรณ์จากไลบรารี....28
รูปที่ 4.15 แสดงการกรอกจำนวนวงจรบล็อกและการต่อกันภายในวงจรบล็อก....29
รูปที่ 4.16 แสดงการเชื่อมต่อระหว่างสายสัญญาณและกลุ่มวงจรบล็อก....30

รูปที่ 4.17 แสดงการเลือกวงจรที่ได้สร้างไว้แล้ว นำมาแก้ไข 31
รูปที่ 4.18 แสดงตัวอย่างการนำวงจรที่สร้างแล้วมาแก้ไขใหม่ 31
รูปที่ 4.19 แสดงการเพิ่มฟอร์มการถ่ายทอดและการกำหนดรายละเอียดให้เกทต่างๆ 32
รูปที่ 4.20 แสดงตัวอย่างการจำลองการทำงานในรูปไฟล์ข้อความ 34
รูปที่ 4.21 แสดงตัวอย่างการจำลองการทำงานของวงจรบล็อกดีฟลิปฟลอปโดยใช้ Verilogger Pro 34
รูปที่ 5.1 การแสดงชื่อบนอุปกรณ์ 35
รูปที่ 5.2 แสดงการนำไลบรารีมาใช้ โดยกำหนดให้มีหลายบิท 36
รูปที่ 5.3 แสดงการนำไลบรารีมาใช้ โดยสร้างแบบหลายบิทด้วยวิธีเดิม 36
รูปที่ 5.4 แสดงตารางการถ่ายทอดคลาสของวงจร 37
รูปที่ 5.5 แสดงการถ่ายทอดจากแอนด์เกท 37
รูปที่ 5.6 แสดงรูปไลบรารีที่ได้รับการถ่ายทอดจากแนนด์เกท 38
รูปที่ 5.7 แสดงการเลือกคลาสแม่ในขณะจัดเก็บวงจร 39
รูปที่ 5.8 แสดงฟอร์มเตือนผู้ใช้ว่าคลาสลูกใดที่ต้องได้รับการแก้ไข 39
รูปที่ 5.9 ฟอร์มเตือนผู้ใช้ว่าอุปกรณ์ใดที่ไม่ปรากฏอยู่ในคลาสลูก 40
รูปที่ 5.10 แสดงฟอร์มเตือนผู้ใช้ขณะเลือกคลาสลูกที่คลาสแม่มีการเปลี่ยนแปลง 41
รูปที่ 5.11 แสดงรายละเอียดของคลาสวงจรที่เลือก 42
รูปที่ 5.12 แสดงการเพิ่มรายละเอียดของคลาสวงจร 42
รูปที่ 6.1 แสดงการสร้างวงจรดีฟลิปฟลอปแบบกราฟิก 44
รูปที่ 6.2 แสดงการเก็บวงจรอยู่ในไลบรารี 45
รูปที่ 6.3 แสดงการเลือกคลาสที่ได้รับการถ่ายทอดจากตารางการถ่ายทอด 45
รูปที่ 6.4 แสดงผลจากการสังเคราะห์วงจรอยู่ในรูปแบบของไฟล์เน็ตลิสต์ 46
รูปที่ 6.5 แสดงการวาดวงจรบล็อก DFlipFlop ลงในเครื่องมือ 47
รูปที่ 6.6 แสดงการกำหนดการเชื่อมต่อระหว่างสายสัญญาณด้านอินพุตกับวงจรบล็อก 47
รูปที่ 6.7 แสดงการกำหนดการเชื่อมต่อระหว่างสายสัญญาณด้านอินพุตกับวงจรบล็อก 48
รูปที่ 6.8 แสดงการกำหนดการเชื่อมต่อระหว่างสายสัญญาณด้านเอาต์พุตกับวงจรบล็อก 48
รูปที่ 6.9 แสดงผลการสังเคราะห์วงจร TestD.netlist 49
รูปที่ 6.10 แสดงการสร้างวงจรดีฟลิปฟลอปโดยใช้ฟลิปฟลอปดีโดยตรง 50
รูปที่ 6.11 แสดงการสร้างวงจรดีฟลิปฟลอปโดยใช้ฟลิปฟลอปดีโดยตรง(ต่อ) 50
รูปที่ 6.12 แสดงการสร้างวงจรดีฟลิปฟลอปโดยใช้ฟลิปฟลอปดีโดยตรง(ต่อ) 51
รูปที่ 6.13 แสดงผลการสังเคราะห์วงจรดีฟลิปฟลอปโดยใช้ฟลิปฟลอปดีสร้างโดยตรง 51

รูปที่ 6.14 แสดงการเลือกวงจรบล็อกตัวอย่างดีฟลิปฟลอปเพื่อวาดลงในส่วนกราฟิก 52
รูปที่ 6.15 แสดงการวาดวงจรบล็อกตัวอย่างดีฟลิปฟลอปลงในส่วนกราฟิก 53
รูปที่ 6.16 แสดงการเลือกวงจรบล็อกตัวอย่างเจเคฟลิปฟลอปเพื่อวาดลงในส่วนกราฟิก 53
รูปที่ 6.17 แสดงการวาดวงจรบล็อกตัวอย่างเจเคฟลิปฟลอปลงในส่วนกราฟิก.....54
รูปที่ 6.18 แสดงการกำหนดการเชื่อมต่อของสายสัญญาณระหว่างวงจรบล็อก 55
รูปที่ 6.19 แสดงการเชื่อมต่อสายสัญญาณอื่นๆ ของวงจรบล็อกตัวอย่าง.....55
รูปที่ 6.20 แสดงผลการสังเคราะห์วงจรจากวงจรบล็อกตัวอย่าง.....56
รูปที่ 6.21 แสดงการสร้างวงจรจากอุปกรณ์ฟลิปฟลอปดีและเจเค.....57
รูปที่ 6.22 แสดงผลการสังเคราะห์วงจรที่สร้างจากอุปกรณ์ฟลิปฟลอปดีและเจเค.....57
รูปที่ 6.23 แสดงการสร้างวงจรดีและวงจรเจเคด้วยวิธีปกติ 58
รูปที่ 6.24 แสดงวงจรนับ 4 บิทโดยใช้เจเคฟลิปฟลอป.....58
รูปที่ 6.25 แสดงการเพิ่มวงจรบล็อกลงในวงจร 59
รูปที่ 6.26 แสดงการกำหนดจำนวนวงจรบล็อกภายในวงจรนับ และการเชื่อมต่อระหว่างวงจรบล็อกภายในวงจรนับ 60
รูปที่ 6.27 แสดงการเชื่อมต่อระหว่างสายสัญญาณเอาต์พุตภายในวงจรนับ ไปยังสายสัญญาณภายนอก.....61
รูปที่ 6.28 แสดงผลการสังเคราะห์วงจรนับที่สร้างขึ้นจากวงจรบล็อกเจเคฟลิปฟลอป 62
รูปที่ 6.29 แสดงการสร้างวงจร s28 63
รูปที่ ก.1 แสดงเมนูรายการอุปกรณ์และหน้าต่างสำหรับออกแบบวงจร.....74
รูปที่ ก.2 แสดงการวาดอุปกรณ์แอนด์เกท 75
รูปที่ ก.3 แสดงการเชื่อมต่อสายสัญญาณเพื่อเป็นอินพุตให้แอนด์เกท 76
รูปที่ ก.4 แสดงวงกลมสีฟ้าที่จะแสดง เมื่อมีเมาส์ผ่านตรงบริเวณเชื่อมต่อระหว่างอุปกรณ์กับสายสัญญาณ 76
รูปที่ ก.5 แสดงการใช้งานจุดเชื่อมต่อ.....77
รูปที่ ก.6 แสดงวาดจุดเชื่อมต่อ 77
รูปที่ ก.7 แสดงการลากสายสัญญาณเข้าจุดเชื่อมต่อ 77
รูปที่ ก.8 แสดงลากสายสัญญาณออกจากจุดเชื่อมต่อ 78
รูปที่ ก.9 แสดงการเลือกวงจรจากตารางการถ่ายทอดเพื่อสร้างวงจรบล็อก.....78
รูปที่ ก.10 แสดงการวาดวงจรบล็อกลงในหน้าต่างการออกแบบ 79
รูปที่ ก.11 แสดงผลการจำลองการทำงานในรูปไฟล์ข้อความ 80
รูปที่ ก.12 แสดงผลการจำลองการทำงานของวงจรบล็อกดีฟลิปฟลอปโดยใช้ Verilogger Pro...81